

ВЕРИФИКАЦИЯ ПРОЕКТОВ СБИС: ПРОБЛЕМЫ И РЕШЕНИЯ

Л.А. ЗОЛОТОРЕВИЧ

*Белорусский государственный университет информатики и радиоэлектроники
ул. П. Бровки, 6, г. Минск, 220013, Республика Беларусь
zolotorevichla@bsuir.by*

Дается анализ состояния проблемы верификации проектов СБИС. Рассматриваются вопросы построения тестов на основе функциональных и структурных моделей.

Ключевые слова: верификация проектов СБИС, построение тестов, применение методики АВУ.

Разработка методов верификации проектов, моделирования и построения тестов контроля цифровых устройств и систем являются наиболее сложными, наукоемкими и многоплановыми задачами проектирования функционально-сложных объектов.

По мере возрастания объема и функциональной сложности проектов время, требуемое на верификацию, увеличивается и в отдельных случаях достигает 90% и более от всего времени разработки проекта. Моделирование остается широко применяемым на практике методом верификации проектов, при этом полнота применяемых тестов определяет полноту верификации проектов.

Исторически сложилось, что на начальных этапах развития цифровой электроники основным методом контроля объектов на всех этапах жизненного цикла была проверка реализации устройств заданных функций, основанная на применении функциональных тестов. При этом не учитывалась структура аппаратной реализации, возможные ошибки проектирования, а также дефекты, возможные в реальном объекте. На определенном этапе оказалось, что построить функциональный тест, который способен обеспечить требуемое покрытие в указанном спектре проблем практически невозможно. В результате этого усилия исследователей оказались направленными на построение тестов контроля схемных реализаций цифровых структур.

В литературе наиболее широко исследуются вопросы разработки тестов в различных классах логических неисправностей. При этом рассматриваются разные уровни представления исследуемого проекта, от структурного представления до системного уровня и уровня межрегистровых передач. Разработаны методы и программные средства построения тестов контроля объектов, в основном, в классе неисправностей константного типа. В то же время полученные результаты оказались далеко не удовлетворительными для решения задач проектирования сложно-функциональных объектов большого объема по следующим причинам:

- 1) Отсутствуют практически пригодные методы для построения тестов контроля последовательностных устройств;
- 2) Программные средства генерации тестов не работают применительно к цифровым системам большого объема;
- 3) Все полученные решения направлены разработку тестов контроля неисправностей константного типа. В то же время эти тесты покрывают не все возможные неисправности других классов (обрыва, замыкания, типа ПЗТ (постоянно закрытый транзистор)) и др. Высокие требования к обеспечению надежности систем требуют обеспечения контроля всех возможных дефектов.

На сегодняшний день построение тестов и верификация проектов современных цифровых сложно-функциональных систем лежит в плоскостях как функционального,

так и структурного синтеза тестов, во многом использует подходы, основанные на эрудиции и интуиции и доступно лишь высококвалифицированному составу разработчиков.

Разработан метод направленного построения тестов контроля на начальных этапах проектирования, основанный на иерархическом подходе и использующий тесты функциональных блоков, которые являются компонентами механизмов реализации операторов программного кода описания объекта. Для решения данной задачи необходимы средства построения тестов контроля объектов, представленных в разных системах идентификации (списком связности компонентов структуры, некоторым представлением булевой функции и др.).

Рассматриваются неисправности типа задержки, которые способны влиять на корректность системы синхронизации синхронных структур. Класс неисправностей задержки относится к классам не перечислимых неисправностей. Неисправности задержки могут вызываться ошибками проектирования, в результате которых нарушаются условия синхронизации работы блоков и системы в целом. На этапе производства корректность функционирования системы синхронизации может нарушаться вследствие неточности технологии, влияния ряда конструктивно-технологических факторов. Кроме того, на этапе эксплуатации под воздействием дестабилизирующих факторов влияния внешней среды могут изменяться задержки на срабатывание элементов. Важным является то, что неисправности задержки приводят не только и не столько к понижению быстродействия объекта, а к нарушению алгоритмов его функционирования. Поэтому построению тестов контроля неисправностей задержки в литературе уделяется много внимания. Особенно актуальна данная задача при разработке систем на кристалле.

Разработан алгоритм построения теста для контроля неисправностей задержки цифровой структуры, основанный на моделировании процесса распространения фронта сигнала от входа к выходу методом моделирования неисправности константного типа объекта в двух временных интервалах функционирования.

Рассмотрены особенности квазистатического моделирования цифровых устройств в разных алфавитах с целью анализа состязаний сигналов. Показано, что увеличение числа переменных в логической модели ограничивает скорость моделирования и не позволяет достичь точности получаемых моделей, достаточной для верификации проектов. Предложен метод квазистатического моделирования цифровых устройств при построении тестов контроля объектов с высокоимпедансными линиями связи, основанный на применении четырехзначного алфавита. Метод может быть применен при построении тестов на основе методов многозначного моделирования.

В последнем десятилетии произошел возврат к применению первоначального подхода к построению тестов – функциональному тестированию. Данный подход получил развитие на основе новой платформы, основанной на применении ассертов (утверждений), проверка которых закладывается в описание объекта. Для реализации идеи разработаны языки SystemVerilog Assertions и PSL – Property Specification Language.

Основная идея верификации на основе применения ассертов заключается в том, чтобы формализовать знания разработчика о работе проекта и использовать её при моделировании в автоматическом режиме.

В докладе рассматривается практическое применение подхода и его взаимосвязь с методами построения тестов.