

**ВНУТРЕННИЕ ЭЛЕМЕНТЫ ЗАЩИТЫ
ИНТЕГРАЛЬНЫХ СХЕМ ОТ ВОЗДЕЙСТВИЯ
ЭЛЕКТРОСТАТИЧЕСКИХ РАЗРЯДОВ**

Быковский С.И., Шинтар А.В., Пискун Г.А., Алексеев В.Ф.

DOI: 10.12737/14837

Аннотация. Представлена классификация базовых встроенных элементов защиты интегральных схем. Исследованы свойства защиты на базе МОП-транзистора: *n*-МОП транзистора с заземленным затвором (*Grounded Gate NMOS Transistor, GGNMOST*).

Ключевые слова: электростатический разряд (ЭСР), интегральная схема (ИС), МОП-транзистор, подложка, эпитаксиальный слой.

В настоящее время микросхемы памяти занимают одну из наиболее широких областей применения, в частности, на базе микроконтроллеров построено практически все вычислительные системы, технологическое и медицинское оборудование и т.д. Однако данные быстродействующие ИС обладают повышенной чувствительностью к воздействию ЭСР [1].

Микросхемы значительную часть производственного цикла проводят вне плат, в составе которых будут функционировать впоследствии, а некоторые – например, центральные процессоры, оперативная память, остаются без защиты вплоть до поступления к конечному пользователю и, соответственно, монтажа. В связи с этим, вопрос взаимодействия ИС с оператором (пользователем) неизбежно приведет к появлению и последующему воздействию разрядов статического электричества [2].

Одним из важнейших требований, предъявляемых при проектировании схем защиты – не ухудшать параметры самой ИС. Однако немаловажными являются такие требования, как [3]:

- небольшая площадь, занимаемая схемой;
- способность эффективно ограничивать напряжение разряда, подаваемого на схему;
- возможность шунтировать напряжение и токи перегрузки, возникающие при ЭСР;

– ограничение физической области схемы на кристалле, на которую воздействует ЭСР;

– максимально быстрое время срабатывания и минимальное время задержки при нормальной работе ИС в диапазоне изменений питающего напряжения.

Наиболее распространенными элементами встроенной защиты интегральных схем от воздействия ЭСР, которые частично или полностью удовлетворяют вышеизложенным требованиям, являются следующие [3]:

– *n*-МОП транзисторы с толстым подзатворным окислом (*Thick Field Oxide, TFO*);

– *n*-МОП транзисторы с заземлённым затвором (*Grounded Gate NMOS Transistor, GGNMOST*);

– устройство защиты на основе тиристорного эффекта (*Silicon-Controlled Rectifier, SCR*);

– устройство, основанное на эффекте смыкания областей пространственного заряда (*Punchthrough-Induced Protection Element, PIPE*);

– диод Зенера (*Zener diode*), защита посредством технологии слабого подлегирования областей стока и истока (*Lightly-Doped Drain, LDD*).

Перечисленные элементы являются основой для разработки более сложных и надежных встроенных схем защиты ИС от воздействия ЭСР.

Необходимость использования специальных схемотехнических и технологических решений, в первую очередь, вызвана уязвимостью тонкого подзатворного окисла входных и выходных КМОП-структур и связанной с ними металлизацией. Это обусловлено снижением глубин залегания переходов, уменьшением толщины подзатворного окисла и толщины разводки. Важно также уменьшить дополнительную нагрузочную емкость защищаемого устройства путем изменения паразитного сопротивления и емкости схемы защиты. Таким образом, по схемотехнической и технологической реализации можно выделить следующие решения [3]:

– совмещение в защитном схеме управляемого диода с низким напряжением защелкивания (*Low-Voltage-Threshold Silicon-Controlled Rectifier, LVT SCR*) и *n*-МОП транзистора с затвором, связанным с контактной площадкой через конденсатор (*Gate-Coupled NMOS, GCNMOS*);

– схема, включающая n -МОП транзистор с заземленным затвором, управляемый латеральным паразитным p - n - p -транзистором (p - n - p Driven NMOS, PDNMOS) или элемент «PDMOS»;

– схема, состоящая из n -МОП транзистора с толстым подзатворным окислом, причем карман, в котором этот элемент выполнен, соединен с контактной площадкой через конденсатор (*Well-Coupled Field-Oxide Device, WCFOD*).

В КМОП ИС, наиболее подверженных действию ЭСР, применяются встроенные диодные элементы защиты или элементы защиты из МОП- транзисторов, выполненных на кристалле интегральной схемы в едином технологическом процессе. При проектировании таких схем трудно оценить их поведение при воздействии дестабилизирующих факторов.

Наиболее широкое использование нашли схемы защиты на базе *GGNMOST*, которая заключается в том, что большое напряжение ЭСР, приложенного к контактной площадке, приводит к генерации дырочного тока в области обратносмещенного перехода стока n -МОП транзистора, который течет в подложку. Этот ток повышает локальный потенциал подложки за счет ее сопротивления. При определенном напряжении первого пробоя, поданном на вход, начинает работать паразитный латеральный биполярный n - p - n -транзистор. Под действием напряжения он защелкивается и сразу же начинает работать в низкоомной области. После вступления в низкоомную область ВАХ транзистор начинает проводить большую часть тока стока, не допуская его в защищаемое устройство [3].

Одним из важнейших аспектов работы n -МОП-транзистора во время ЭСР является время его включения. Оно определяется временем пролета базы паразитного биполярного транзистора. При длине канала менее 1 мкм время включения биполярного транзистора составляет менее 250 пс, в то время как время роста ЭСР-стресса по модели тела человека и по машинной модели составляет более 1 нс. Паразитный биполярный транзистор может не включиться при воздействии ЭСР по модели заряженного прибора, время роста импульса которого составляет менее 250 пс.

Список литературы

1. Кечиев, Л.Н. Защита электронных средств от воздействия статического электричества / Л.Н. Кечиев, Е.Д. Пожидаев. М.: Изд. дом «Технологии», 2005. 352 с.

2. Пискун, Г.А. Контроль функционирования микроконтроллеров при воздействии электростатического разряда / Г.А. Пискун, В.Ф. Алексеев // Доклады БГУИР. 2012. № 6 (68). С. 12–18.

3. Вонг, Б.П. Нано-КМОП-схемы и проектирование на физическом уровне / Б.П. Вонг, А. Миттал, Ю. Цао, Г. Старр. М.: Техносфера, 2014. – 432 с.

Быковский Сергей Игоревич, студент 4-го курса факультета компьютерного проектирования Белорусского государственного университета информатики и радиоэлектроники, г. Минск, Беларусь

Шинтар Андрей Владимирович, магистрант факультета компьютерного проектирования Белорусского государственного университета информатики и радиоэлектроники, г. Минск, Беларусь

Научные руководители:

Пискун Геннадий Адамович, кандидат технических наук, доцент кафедры проектирования информационно-компьютерных систем Белорусского государственного университета информатики и радиоэлектроники, г. Минск, Беларусь

Алексеев Виктор Федорович, кандидат технических наук, доцент кафедры проектирования информационно-компьютерных систем Белорусского государственного университета информатики и радиоэлектроники, г. Минск, Беларусь

УДК 664.346

МАТЕМАТИЧЕСКАЯ МОДЕЛЬ ФИЛЬТРАЦИИ МАСЛА В ЗЕЕРНОЙ ЗОНЕ ШНЕКОВОГО МАСЛОПРЕССА

Василенко В.Н., Фролова Л.Н., Копылов М.В.

DOI: 10.12737/14838

Аннотация. Посредством математического моделирования была рассмотрена фильтрация масла в зерной зоне шнекового маслопресса, получено уравнение позволяющее определить концентрацию масла на выходе.