



УДК 004.93, 004.272

## ПАРАЛЛЕЛЬНЫЕ ПРОЦЕССОРЫ ДЛЯ ПОСТРОЕНИЯ ИНТЕЛЛЕКТУАЛЬНЫХ СИСТЕМ

С.А.Байрак\*, Д.Н.Одинец\*, М.М.Татур\*, Ф.Филипов\*\*, Марио Мунос\*\*\*

\* *Белорусский государственный университет информатики и радиоэлектроники, г. Минск, Республика Беларусь*

tatur@i-proc.com

dima\_odin@i-proc.com

info@i-proc.com

\*\* *Национальный Институт Геофизики, Геодезии, Географии-Болгарская Академия Наук, г. София, Болгария*

philip.philipoff@gmail.com

*Мадридский Университет имени Карлоса III, г. Мадрид, Испания*

munozm@it.uc3m.es

В настоящей работе изложены результаты научного исследования, практическим итогом которого явилось создание прототипа параллельного процессора, ориентированного на решение задач классификации. Опыт разработки обобщен в виде методологии проектирования проблемно-ориентированных процессоров.

**Ключевые слова:** параллельный процессор, задача классификации, распознавание образов.

### Введение

В настоящей работе под «интеллектуальными вычислениями», будем понимать распознавание образов в различных областях, например, распознавание изображений, звуковых либо электромагнитных сигналов, динамических характеристик (графиков) и т.п. Образы, как правило, представлены в виде слабоструктурированных данных информативных признаков, состав которых определяется уникально для каждой прикладной системы. Образ – это абстрактный вектор, который характеризуется лишь типом данных (количественные, логические, порядковые, номинальные), форматом представления данных и естественно – размером  $n$ .

Интеллектуальным ядром системы распознавания является классификатор, принимающий решения – к какому классу объектов принадлежит входной образ. Обычно, схему формального вычислительного процесса классификации изображают в виде полносвязного двудольного графа, рис.1., где  $n$  – число обрабатываемых признаков  $x_i$ , а  $k$  – число классов  $Z_j$ . Способы решения задач классификации различаются применяемым алгоритмом или

математическим методом (моделью) -  $\Psi$ , среди которых наиболее известными являются классификация по минимуму расстояния между образами, нейронные сети, нечеткий вывод и др. [Кохонен, 2008].

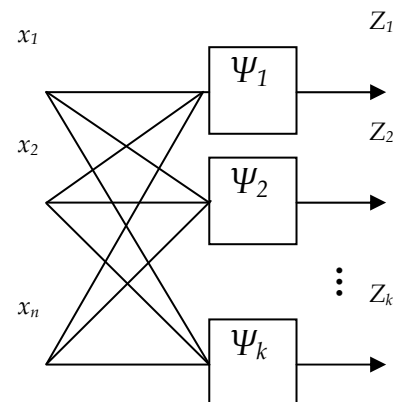


Рисунок 1 – Граф вычислений для задач классификации

Очевидно, что при построении «интеллектуальных» информационных систем с применением обычных РС с последовательной архитектурой существует проблема обеспечения

режима реального времени в тех случаях, когда  $n$  и  $k$  значительно возрастают, а необходимое время обработки - ограничено. Возможные пути повышения производительности - это применение унифицированных параллельных компьютеров (графических процессоров, суперкомпьютеров и т.п.) либо создание специализированных компьютеров. В первом случае ограничения на модель  $III$  не накладываются, но тогда сложность и стоимость процессорного элемента - велики. Во втором случае - наоборот, за счет ограничений на функционал  $III$  оказывается возможным существенно сократить сложность процессорного элемента и реализовать десятки и сотни процессорных элементов в одном чипе. Наиболее часто исследователи в качестве функционала  $III$  используют модель какой-либо нейронной сети. Поэтому рынок электроники откликнулся созданием целого ряда нейрочипов и нейрокомпьютеров на их основе [Аляутдинов и др., 2008]. Но эффективность нейросетевого hardware оказалась не столь высокой как ожидалось, и поэтому при всей известности термина «нейрокомпьютер» его редко используют в прикладных системах, особенно в системах медицинского и специального применения.

В числе основных сдерживающих факторов массового применения нейрокомпьютеров в «интеллектуальных» вычислениях можно назвать следующие:

- нейросетевые классификаторы по сути являются «черными ящиками», в которых не решена проблема «определения глобального минимума», а входы настроек не обладают физическим смыслом, т.е. являются не интерпретируемыми [Том и др., 2008];

- нейросетевые классификаторы, как правило, имеют многоуровневую, нерегулярную и не стандартизованную топологию, как следствие существует проблема непосредственной либо виртуальной коммутации процессорных элементов (формальных нейронов) в произвольную сеть [Кирсанов, 2004];

- разработчику сложно отобразить (запрограммировать) реализуемую нейронную сеть на заданной архитектуре нейрокомпьютера, получить экспресс-оценки характеристик системы по точности классификации и производительности для используемой аппаратной платформы.

Как результат, известные нейрокомпьютеры не позволяют существенно сократить время и стоимость разработки интеллектуальной системы в целом, скорее отдельные нейрокомпьютеры создаются под конкретную прикладную задачу, тогда экономический фактор, естественно не является преобладающим. С учетом сделанных замечаний, представляется актуальной проблема создания специализированных параллельных компьютеров для решения задач интеллектуальных задач классификации образов, альтернативных классическим нейрокомпьютерам. При этом, выдвигаются следующие основные показатели эффективности:

- унификация в решении различных задач

классификации;

- интерпретируемость процесса обучения и результатов классификации;

- возможность наращивания и гибкого изменения числа информативных признаков -  $n$  и числа классов -  $k$ ;

- возможность увеличения производительности за счет каскадного включения процессорных элементов;

- низкая стоимость и малое время разработки завершённой интеллектуальной системы на базе параллельного процессора.

Очевидно, что первый и второй показатели будут определяться математической моделью классификации, а третий и четвертый - архитектурными особенностями процессора. Пятый показатель является интегральным следствием от первых четырех.

В работах [Tatur et al., 2010], [Татур и др., 2010a] предложена и исследована модель классификации ( $Z$ -модель), которая обладает необходимыми свойствами, чтобы быть положенной в основу таких параллельных процессоров, а в [Татур и др., 2010b] определено место данной модели среди известных методов классификации.

В настоящей работе излагаются результаты построения и испытаний экспериментального образца параллельного процессора-классификатора, основанного на указанной модели. Рассматриваются способы его применения в различных областях. При этом необходимо принять во внимание, что по сути реализованного математического метода рассматриваемая архитектура не рассчитана на отображение какой-либо нейросети, поэтому термины «нейрочип-нейропроцессор-нейрокомпьютер» будут неточно соответствовать сути предлагаемых технических решений. Скорее речь пойдет о нейроподобном (нейронечетком) процессоре, основанном на оригинальной математической идентификации (условно,  $Z$ -модели), поэтому в дальнейшем в работе будем называть его  $Z$ -процессором.

## 1. МАТЕМАТИЧЕСКАЯ МОДЕЛЬ ИДЕНТИФИКАЦИИ ( $Z$ -МОДЕЛЬ)

В одной из своих работ Т.Кохонен обращал внимание на возможность значительного улучшения классификации за счет использования всех доступных априорных знаний: - «Во многих случаях ... на основе физических или других свойств наблюдаемых величин, их распределение имеет ту или иную определенную форму. В результате становится возможным получать математические выражения для дискриминантных (разделяющих) поверхностей, оптимальных со статистической точки зрения». Авторы полностью разделяют эту точку зрения и в своих работах [Tatur et al., 2010], [Татур и др., 2010a], [Татур и др., 2010c] предложили объединить линейную дискриминантную функцию с элементами нечеткого вывода, тем самым обеспечив возможность записи априорных данных о задаче в обобщенной модели идентификации.

Ниже приведен аннотированный вариант описания модели. Назовем:

$$Z = F(X, Y), \quad (1)$$

идеальным классификатором, где  $X$  – вектор входных информативных признаков;  $Y$  – вектор констант – настроек классификатора для решения конкретной задачи, причем функционал  $F$  и настройки  $Y$  – априори известны.

Тогда разработка алгоритма будет сведена к настройке либо уточнению параметров  $Y$  некоторой модели идеального классификатора (т.е. к обучению). В качестве обобщенной математической модели идентификации предложен функционал (2):

$$Z = Q \cdot L, \quad (2)$$

где

$$Q = \begin{cases} 1, & S(X) > p_2 \\ \frac{S(X) - p_1}{p_2 - p_1}, & p_1 \leq S(X) \leq p_2, \\ 0, & S(X) < p_1 \end{cases}$$

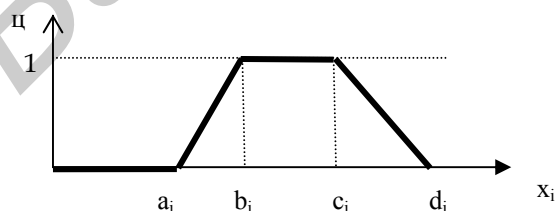
$$S(X) = \sum_{i=1}^n w_i \varphi(x_i, a_i, b_i, c_i, d_i),$$

$$\varphi(x_i, a_i, b_i, c_i, d_i) = \begin{cases} 0, & a_i > x_i, x_i > d_i \\ \frac{d_i - x_i}{d_i - c_i}, & c_i \leq x_i \leq d_i \\ 1, & b_i < x_i < c_i \\ \frac{x_i - a_i}{b_i - a_i}, & a_i \leq x_i \leq b_i \end{cases}$$

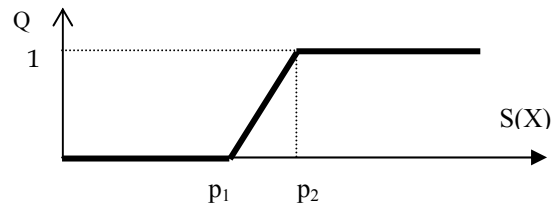
$$L = \min_{i=1}^n \varphi'(x_i, a_i, b_i, c_i, d_i)$$

$$\varphi'(x_i, a_i, b_i, c_i, d_i) = \begin{cases} \varphi(x_i, a_i, b_i, c_i, d_i), & i \in N' \\ 1, & i \notin N' \end{cases}$$

где  $a_i, b_i, c_i, d_i$  – параметры линейно-аппроксимированной функции принадлежности ( $i=1 \dots n$ ):



$w_i$  – вес  $i$ -го признака в принятии решения;  
 $N'$  – подмножество ключевых признаков;  
 $p_1, p_2$  – параметры линейно-аппроксимированного нечеткого порога:



Графически модель идентификации может быть представлена, как показано на рис.2.

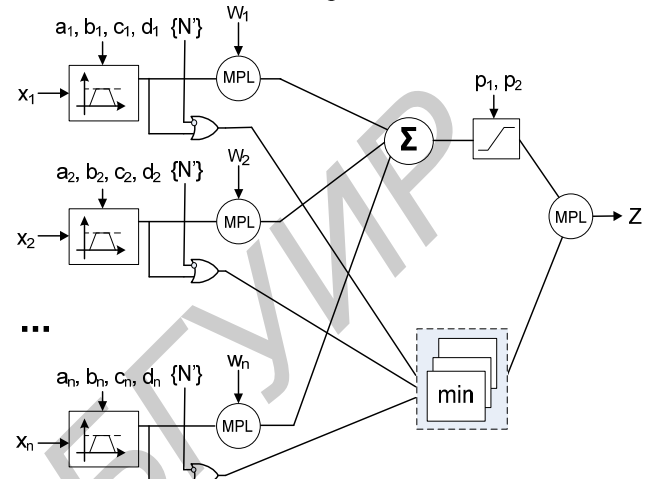


Рисунок 2 – Граф-схема обобщенной модели идентификации

Все настройки модели  $W, A, B, C, D, N', p_1, p_2$ , в соответствии с принятым обозначением являются подмножеством вектора  $Y(Y')$ . Синтез алгоритмов классификации заключается в составлении перечня априори известных сведений (зависимостей, ограничений) о прикладной задаче. Настройки модели обладают физическим смыслом (являются интерпретируемыми), поэтому наряду с формальным обучением, классификаторы на основе  $Z$ -модели могут настраиваться экспертом. А за счет нечеткой параметризации информативных признаков достигается нелинейность формируемых разделяющих поверхностей. Таким образом, предложенная модель обладает с одной стороны необходимыми функциональными свойствами, а с другой стороны регулярным вычислительным графом, что позволяет положить ее в основу унифицированной архитектуры параллельного процессора.

## 2.АРХИТЕКТУРА Z-ПРОЦЕССОРА

Архитектура процессора разрабатывалась с учетом решения целого ряда оптимизационных задач и представлена на рис.3. [Татур и др., 2010с]. В целом, архитектура относится к SIMD-типу (Single Instruction Multiply Data) и характеризуется следующими основными возможностями.

В архитектуре реализован способ распараллеливания, согласно которого: информативные признаки обрабатываются последовательно, классы – параллельно, либо параллельно-последовательно.

Процессорный элемент (ПЭ) является базовым вычислительным модулем, аппаратно реализующим одну Z-модель идентификации на  $n$ -входов. Процессорные элементы расположены в линейку с обеспечением возможности параллельно-последовательного режима работы;

Наращивание числа обрабатываемых признаков и числа классов осуществляется за счет увеличения емкости памяти коэффициентов. Наращивание производительности процессора осуществляется за счет каскадного включения дополнительных ПЭ. Архитектура с группой из  $N_k$  ПЭ рассчитана на параллельное решение задач классификации если  $k \leq N_k$ , и параллельно-последовательно (за  $m$  циклов), если  $k > N_k$ :

$$m = \lceil k / N_k \rceil$$

Память коэффициентов содержит все настройки  $Y$ , которые заносятся перед началом работы. Память разделена на фреймы по числу ПЭ с емкостью  $n \cdot m$  каждый. В ходе вычислений коэффициенты последовательно извлекаются и участвуют в обработке соответствующего информативного признака.

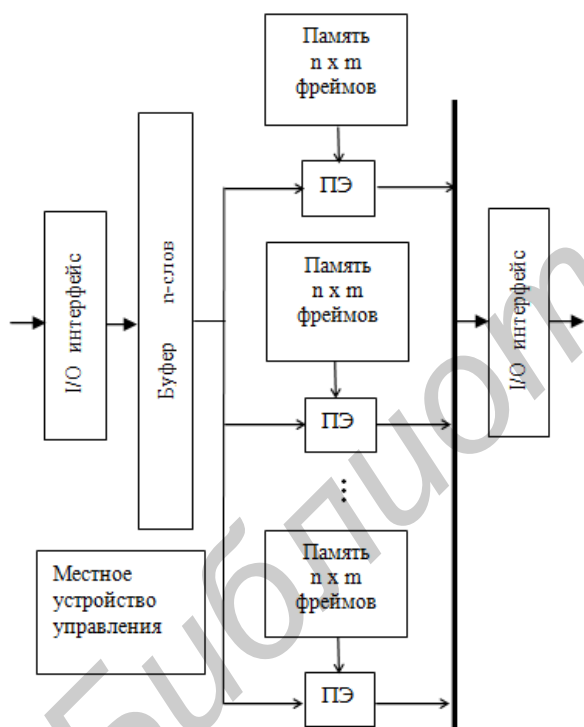


Рисунок 3 – Архитектура параллельного Z-процессора

Автоматическая перестройка временных диаграмм управления процессором в зависимости от параметров  $n$  и  $k$  осуществляется местным управляющим автоматом.

### 3. ЭКСПЕРИМЕНТАЛЬНАЯ ВЫЧИСЛИТЕЛЬНАЯ СИСТЕМА НА БАЗЕ Z-ПРОЦЕССОРА

Современные FPGA, содержащие встроенные аппаратные умножители и блочную память, представляют собой эффективное средство для быстрого создания аппаратных прототипов. Так, разработанная архитектура была реализована на базе FPGA Xilinx Spartan 6 со следующими выходными характеристиками: 8 ПЭ с объемом фрейма памяти - 2 кБ и временем вычисления по одному признаку - 50 нс. Общее время классификации ( $T$ ), непосредственно характеризующее производительность процессора, определяется из выражения (3).

$$T \approx (50nk) / N_k \quad (3)$$

Таким образом, процессор представляет собой унифицированное программно-настраиваемое вычислительное устройство, позволяющее решать различные задачи классификации в диапазоне параметров  $n$  и  $k$ , ограниченном емкостью фрейма памяти, и представленного соотношением  $n \cdot k = 100$ . При необходимости расширить функциональные возможности процессора достаточно либо использовать более мощную (ресурсоемкую) FPGA, либо разместить проект в нескольких FPGA, при минимальных издержках на архитектурное и структурное перепроектирование.

Очевидно, что для демонстрации функциональных возможностей процессора и проведения натурных испытаний необходимо формировать поток входных данных, принимать результаты промежуточных вычислений, управлять критериями принятия решений и выполнять ряд других сервисных функций. С этой целью была создана экспериментальная вычислительная система, в рамках которой функции ввода-вывода данных, обучения и конечного принятия решений возлагаются на универсальный компьютер, а массовые функции идентификации – на проблемно-ориентированный сопроцессор. На рис.4 представлена обобщенная схема вычислительного комплекса. Host-компьютер и сопроцессор обмениваются командами и данными по стандартным интерфейсам (USB). Такое архитектурное решение позволяет сконцентрировать усилия на исследовании программно-аппаратной реализации классификаторов, при этом реализована возможность удобно обеспечивать общее управление, пользовательский интерфейс и при необходимости предобработку и постобработку обычными программными средствами. Таким образом, вычислительный комплекс позволяет создавать и исследовать широкий класс систем распознавания. Классификатор, разработанный и апробированный в рамках данных инструментальных средств может быть быстро и с минимальными затратами адаптирован к конкретной прикладной системе, к конкретным

конструктивным особенностям (в виде автономного блока или сопроцессора).

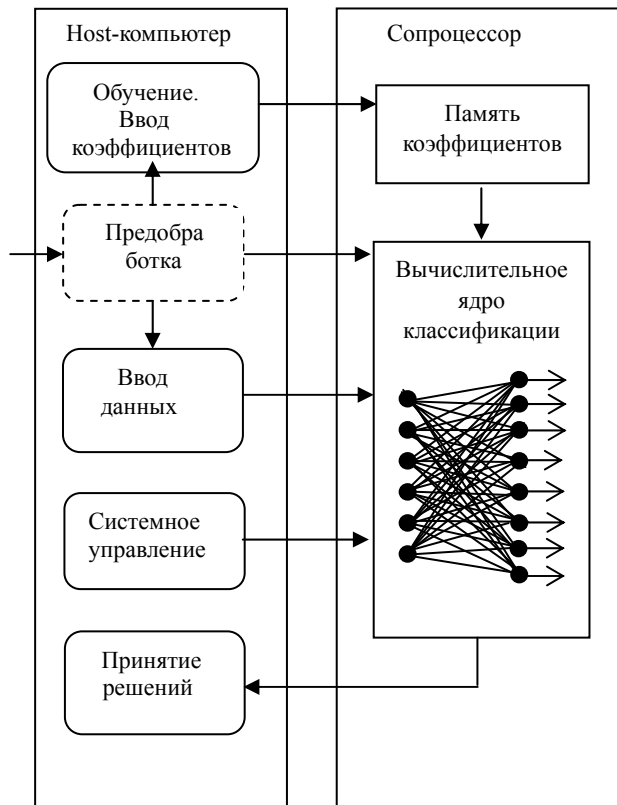


Рисунок 4 – Блок схема вычислительного комплекса

## Заключение

В настоящей работе изложены результаты научного исследования, практическим итогом которого явилось создание прототипа параллельного процессора, ориентированного на решение задач классификации. Данный процессор обладает рядом отличительных и в то же время полезных свойств.

1. Процессорный элемент рассчитан на реализацию строго определенной модели классификации. По сути, процессорный элемент – это спецпроцессор, что позволяет обеспечить максимальное быстродействие и упростить его структуру. При этом выбранная математическая модель обеспечивает необходимую унификацию на алгоритмическом уровне и выгодно отличает представленный процессор от нейрокомпьютеров и устройств логического/нечеткого вывода.

2. Архитектура процессора позволяет с минимальными настройками, без программирования, решать задачи классификации в широком диапазоне количественных параметров: входов (информативных признаков) и выходов (классов).

3. Архитектура процессора позволяет легко наращивать производительность за счет каскадного включения дополнительных процессорных элементов.

Следуя классическим путем познания от частного к общему, постараемся обобщить полученный опыт и сформулировать его в виде следующих тезисов по методологии проектирования проблемно-ориентированных процессоров.

Прежде чем приступить к разработке оригинальной аппаратной платформы под какой-либо класс задач следует принять во внимание следующие аргументы:

-существует ли необходимость повышения производительности за счет распараллеливания вычислительного процесса?

существуют ли причины отказа от универсальных параллельных процессоров на базе многоядерных CPU, GPU, DSP в пользу разработки оригинальной архитектуры?

Разработка оригинальной архитектуры процессора потребует значительных временных, трудовых, а следовательно и материальных ресурсов. С целью обеспечения рентабельности проекта в целом необходимо стремиться обеспечить унификацию процессора в «некоторых» рамках. Формально установить эти рамки не представляется возможным, и поэтому жизнеспособность проекта будет зависеть от того, насколько удачно эти рамки будут определены и насколько удачно архитектура будет унифицирована в этих рамках.

Универсальность, как свойство процессора может и должна быть заложена на самом верхнем – идеологическом уровне, на среднем – алгоритмическом и на нижнем – архитектурно-аппаратном уровне. При этом, достигаемые технические характеристики и издержки на обеспечение универсальности оригинальной архитектуры должны быть конкурентными по сравнению со спецпроцессорами и серийными параллельными процессорами (многоядерными CPU, GPU, DSP).

При разработке спецпроцессоров, равно как и универсальных параллельных вычислительных систем присутствует сложившееся разделение труда: математики и алгоритмисты решают задачу на своем – верхнем уровне, разработчики «железа» – на своем. При создании проблемно-ориентированных процессоров с конкурентными технико-экономическими показателями разработчикам необходимо глубоко и скрупулезно владеть предметом как в области математических методов решения задач, так и в области аппаратного проектирования. И в этом состоит одна из ключевых проблем.

По мнению авторов сделанные выводы будут актуальны при создании новых оригинальных архитектур проблемно-ориентированных процессоров, таких как семантические процессоры, ассоциативные процессоры [Голенков и др., 2001], видеопроцессоры, самоорганизующиеся клеточные процессоры, процессоры цифровой обработки сигналов [Philipoff et al., 2010] и др., применимые для построения интеллектуальных систем.

## Библиографический список

- [Кохонен, 2008] Самоорганизующиеся карты / Т. Кохонен; под ред. Ю.В.Тюменцева// М.: БИНОМ, . – 655 с.
- [Аляутдинов и др., 2008] Нейрокомпьютеры: от программной к аппаратной реализации/ Аляутдинов М.А. [и др.]; – М.: Горячая линия – Телеком, 2008. – 152 с.
- [Том и др., 2008] Методы интеллектуального анализа многомерных данных для решения задач классификации/ Том И.Э. [и др.]; – Минск, ОИПИ НАН Беларуси, 2011. – 233 с.
- [Кирсанов, 2004] Нейрокомпьютеры с параллельной архитектурой / Э.Ю.Кирсанов. // М.: Радиотехника, 2004. – 221 с.
- [Tatur et al., 2010] Synthesis and Analysis of Classifiers Based on Generalized Model of Identification/ M.Tatur, D. Adzinets, M.Lukashevich, S.Bairak // Advances in intelligent and soft computing. – 2010. - Vol. 71. – P.529-536.
- [Татур и др., 2010а] Классификаторы на основе Z-модели идентификации/ М.М.Татур, Д.Н.Одинец, В.В.Островский, Д.А.Лавникович // Доклады БГУИР. – 2010. -№ 5 (51). – С. 76-81.
- [Татур и др., 2010б] О систематизации методов классификации данных и знаний/ М.М.Татур, Д.Н.Одинец // Информатика. – 2010. - № 3(27). – С.103-113.
- [Татур и др., 2010с] Классификаторы в системах распознавания: прикладные аспекты синтеза и анализа/ М.М.Татур, Д.Н. Одинец. - Минск, Бестпринт, 2008, - 164 с.
- [Голенков и др., 2001] Программирование в ассоциативных машинах/ В.В.Голенков, Г.С.Осипов, Н.А.Гулякина и др. – Мн.: БГУИР, 2001. – 276 с.
- [Philipoff et al., 2010] Spectral Analysis of Real Symmetric Function//P. Philipoff, A.Ivanov, M. Mucoz, G.Raikova, M.Tatur , P.Michaylov// Proc. Of 10-th International Conference VSU'2011, Sofia.

## PARALLEL PROCESSORS FOR INTELLIGENT SYSTEMS DEVELOPMENT

Bairak S<sup>\*</sup>, Adzinets D<sup>\*</sup>, Tatur M.<sup>\*</sup>,  
Philipoff P.<sup>\*\*</sup>, Munoz M.<sup>\*\*\*</sup>

*\*Belarusian State University of Informatics and  
Radioelectronics, Minsk, Republic of Belarus*

tatur@i-proc.com  
dima\_odin@i-proc.com  
info@i-proc.com

*\*\* National Institute for Geophysics, Geodesy,  
Geography-Bulgarian Academy of Sciences, Sofia,  
Bulgaria*

philip.philipoff@gmail.com

*\*\*\* Universidad Carlos III de Madrid, Madrid,  
España*

munozm@it.uc3m.es

## Introduction

Classifier makes decision on what class the pattern belong to and it is intelligent core of any recognition systems. Usually the computing diagram of classification process is shown as graph on fig.1, where  $n$  - is number of processed features  $x_i$ , and  $k$  – is number of classes  $Z_j$ . There is the problem to provide the real time processing in intelligent IT-systems with sequence computer architecture for that cases when  $n$  and  $k$  increase significantly and needed processing time was restricted.

## Main part

Authors have proposed the original identification model (1,2), which combines the properties of linear discriminant function with aspects of fuzzy conclusion. It provides the possibilities for a priory data recording in model. Graphical diagram of proposed identification model is shown in fig.2. So, this model possess the number essential properties (including nonlinear discrimination) and has regular computing graph that to put it into basis of parallel processor's architecture unification.

The original architecture belongs to SIMD-kind (Single Instruction and Multiply Data) was developed (fig.3) and it is characterized with the following properties. The increasing of processed features number is provided by means of growing up of the internal memory volume for coefficients solving. Increasing of computer performance is executed by cascade connecting of additional processor elements.

Proposed architecture has been realized with FPGA Xilinx Spartan 6 basis with following output parameters: 8 processor elements with 2 KB memory for each frame; process time for one feature is 50 ns. The full time of classification ( $T$ ) which determines processor's performance is calculated by (3). To demonstrate the processor's functional possibilities the experimental computer system has been created (fig.4). The control function, learning, preprocessing and post processing are realized by universal computer and mass identification functions – by developed coprocessor.

## Conclusion

In given paper the results of scientific researches with practical output on creating of parallel processor prototype oriented to solving of classification problem are presented. The development experience has been generalized as methodology of design for problem oriented processors.