

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Факультет телекоммуникаций

Кафедра систем телекоммуникаций

П. А. Капура

ЦИФРОВЫЕ ФУНКЦИОНАЛЬНЫЕ УСТРОЙСТВА В ТЕЛЕКОММУНИКАЦИЯХ

В двух частях

Часть 2

ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ ФУНКЦИОНАЛЬНЫХ УСТРОЙСТВ

*Рекомендовано УМО по образованию в области информатики
и радиоэлектроники в качестве учебно-методического пособия
для направлений специальности 1-45 01 01-01 «Инфокоммуникационные
технологии (системы телекоммуникаций)»,
1-45 01 01-03 «Инфокоммуникационные технологии (системы телекоммуникаций
специального назначения)», 1-45 01 01-04 «Инфокоммуникационные
технологии (цифровое теле- и радиовещание)»*

Минск БГУИР 2016

УДК 004.312:621.391(076)
ББК 32.973.26-04я73+32.811я73
К20

Рецензенты:
кафедра связи учреждения образования
«Военная академия Республики Беларусь»
(протокол №16 от 13.04.2015);

заведующий кафедрой телекоммуникационных систем
учреждения образования «Белорусская государственная академия связи»,
кандидат технических наук, доцент К. И. Пирогов

Капуρο, П. А.

К20

Цифровые функциональные устройства в телекоммуникациях.
В 2 ч. Ч. 2 : Элементная база цифровых функциональных устройств :
учеб.-метод. пособие / П. А. Капуρο. – Минск : БГУИР, 2016. – 76 с. : ил.
ISBN 978-985-543-202-0 (ч. 2).

Изложены принципы схемной реализации счетчиков, генераторов прямоугольных импульсов, рассмотрены особенности построения и использования в качестве элементной базы цифровых устройств интегральных схем ТТЛ и КМОП стандартных цифровых серий и различных типов программируемых логических интегральных схем, запоминающих устройств, аналого-цифровых и цифроаналоговых преобразователей.

Часть 1 издана в БГУИР в 2014 году.

УДК 004.312:621.391(076)
ББК 32.973.26-04я73+32.811я73

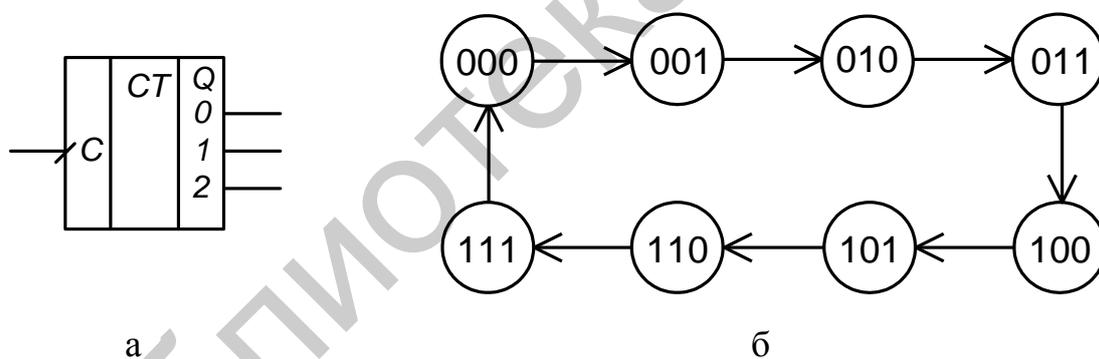
ISBN 978-985-543-202-0 (ч. 2)
ISBN 978-985-543-021-7

© Капуρο П. А., 2016
© УО «Белорусский государственный университет информатики и радиоэлектроники», 2016

1 СЧЕТЧИКИ

Счетчик (counter) – цифровое функциональное устройство, предназначенное для подсчета числа импульсов, поданных на его тактовый вход, и выдачи информации об их текущем количестве в каком-либо двоичном коде. Условное графическое обозначение счетчика представлено на рисунке 1.1, а. В простейшем случае счетчик имеет один импульсный тактовый вход C и несколько выходов $Q_{N-1} \dots Q_0$, количество которых определяет разрядность выходного кода счетчика. С целью расширения функциональных возможностей счетчиков их зачастую проектируют с дополнительными входами (например, асинхронного сброса, предварительной установки и т. п.) и выходом индикации переполнения (окончания счета).

Счетчики в основном реализуются на базе линейки синхронных импульсных D -, T - или JK -триггеров с цепями возбуждения их входов управления. Отличительной особенностью счетчика как последовательного автомата является то, что граф его переходов имеет замкнутый (кольцевой) вид (рисунок 1.1, б).



а – условное графическое обозначение;

б – граф переходов

Рисунок 1.1 – Трехразрядный двоичный счетчик

Основными параметрами счетчика являются коэффициент (модуль) счета и быстродействие.

Коэффициент счета $K_{сч}$ (модуль счета – $mod K$) характеризует число устойчивых состояний счетчика, т. е. предельное число импульсов, которое может быть сосчитано счетчиком между повторениями его выходного кода.

Быстродействие счетчика определяется двумя параметрами: разрешающей способностью t_{PA3P} (максимальная частота счета $F_{MAX} = 1 / t_{PA3P}$) и временем установки кода счетчика $t_{УСТ}$. Под разрешающей способностью подразумевается минимальное время между двумя входными импульсами, при котором еще не происходит нарушений в последовательности изменения выходного кода счетчика. Время установки кода – временной интервал между моментом поступления на тактовый вход импульса и моментом установления нового кодового слова на выходах счетчика.

Быстродействие счетчиков зависит от временных характеристик триггеров и их включения в схему: способа подачи входных тактовых импульсов на входы синхронизации и построения цепей формирования сигналов управления режимами.

Цифровые счетчики классифицируются по ряду признаков:

1) по типу выходного кода:

- двоичные (прямой двоичный код);
- двоично-десятичные (двоично-десятичный код);
- с другим типом кода (например, код Грея, унитарный и т. п.);

2) по направлению счета:

- однонаправленные:

- суммирующие (номер выходного кодового слова по такту увеличивается на единицу);
- вычитающие (номер выходного кодового слова по такту уменьшается на единицу);

- двунаправленные или реверсивные;

3) по способу внутреннего тактирования:

- асинхронные;
- синхронные;

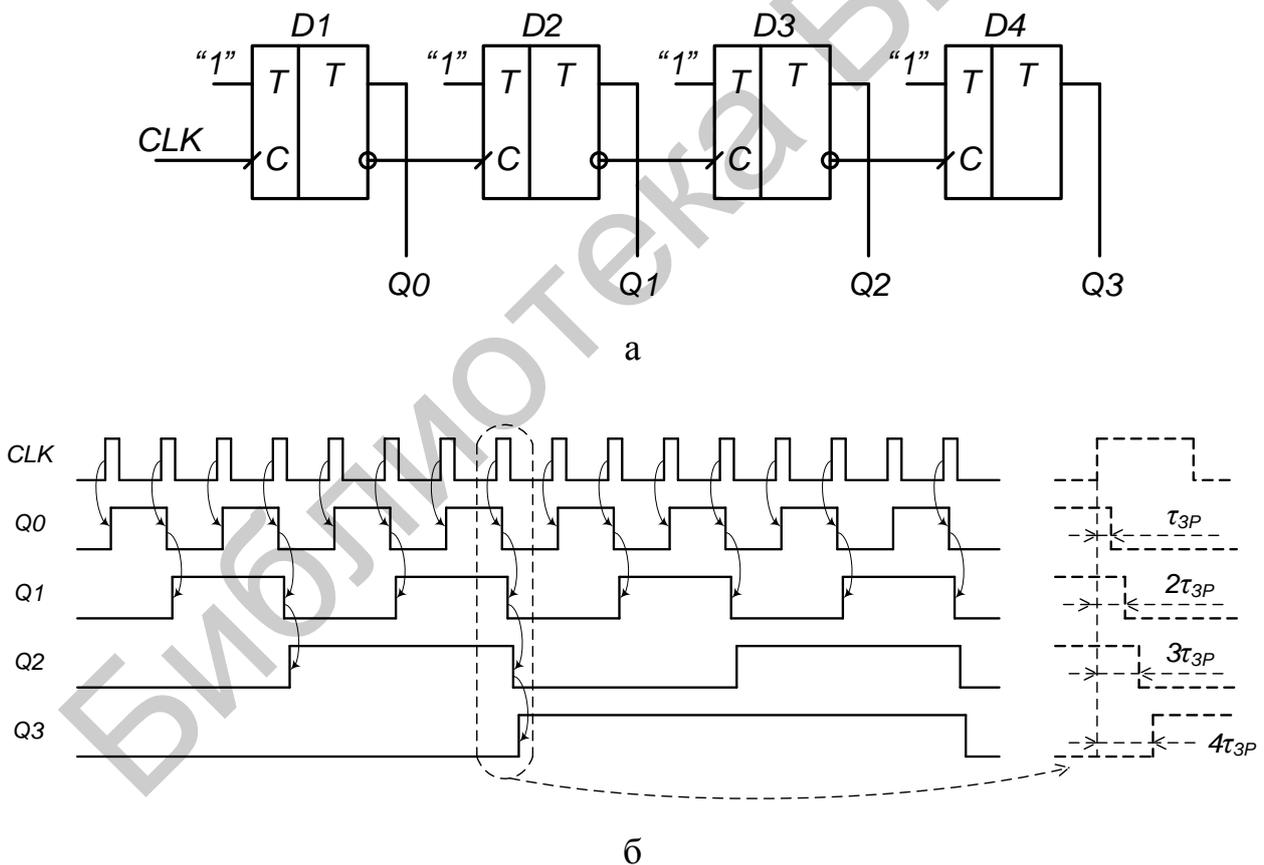
4) по способу формирования сигналов возбуждения триггеров:

- с параллельным переносом;
- с последовательным переносом;
- с параллельно-последовательным переносом.

Классификационные признаки независимы и могут встречаться в разных сочетаниях.

1.1 Асинхронные счетчики

Счетчик, построенный из синхронных триггеров, на тактовые входы которых подается не один и тот же, а два или большее число сигналов является асинхронным. Пример построения такого счетчика на базе T -триггеров, постоянно работающих в режиме инверсии, и временные диаграммы, поясняющие принцип его работы, представлены на рисунке 1.2. Несмотря на простоту реализации, такие счетчики обладают существенными недостатками – из-за последовательного тактирования триггеров с увеличением номера выхода счетчика накапливается задержка его переключения, что приводит к снижению быстродействия и появлению (пусть и кратковременному) паразитных состояний выхода. Например, переход из состояния выходов 0111 в состояние 1000 осуществляется последовательно через состояния 0110, 0100 и 0000 (рисунок 1.2, б).



а – функциональная схема;
б – временные диаграммы работы

Рисунок 1.2 – Четырехразрядный двоичный асинхронный счетчик

В качестве примера осуществим синтез схем трехразрядного суммирующего двоичного синхронного счетчика с $K_{СЧ} = 8$, граф переходов которого представлен на рисунке 1.1, б, на базе синхронных импульсных T -триггеров. Таблица переключений такого счетчика и требуемые значения функций возбуждения T_2, T_1, T_0 входов управления и выходного сигнала переполнения (окончания счета) P представлены в таблице 1.1.

Таблица 1.1 – Таблица переключений трехразрядного суммирующего двоичного счетчика

Q_2	Q_1	Q_0	Q^{+2}	Q^{+1}	Q^{+0}	T_2	T_1	T_0	P
0	0	0	0	0	1	0	0	1	0
0	0	1	0	1	0	0	1	1	0
0	1	0	0	1	1	0	0	1	0
0	1	1	1	0	0	1	1	1	0
1	0	0	1	0	1	0	0	1	0
1	0	1	1	1	0	0	1	1	0
1	1	0	1	1	1	0	0	1	0
1	1	1	0	0	0	1	1	1	1

Проведя минимизацию функций T_0, T_1, T_2 и P , получаем

$$T_0 = 1; \quad T_1 = Q_0; \quad T_2 = Q_1 \cdot Q_0; \quad P = Q_2 \cdot Q_1 \cdot Q_0. \quad (1.1)$$

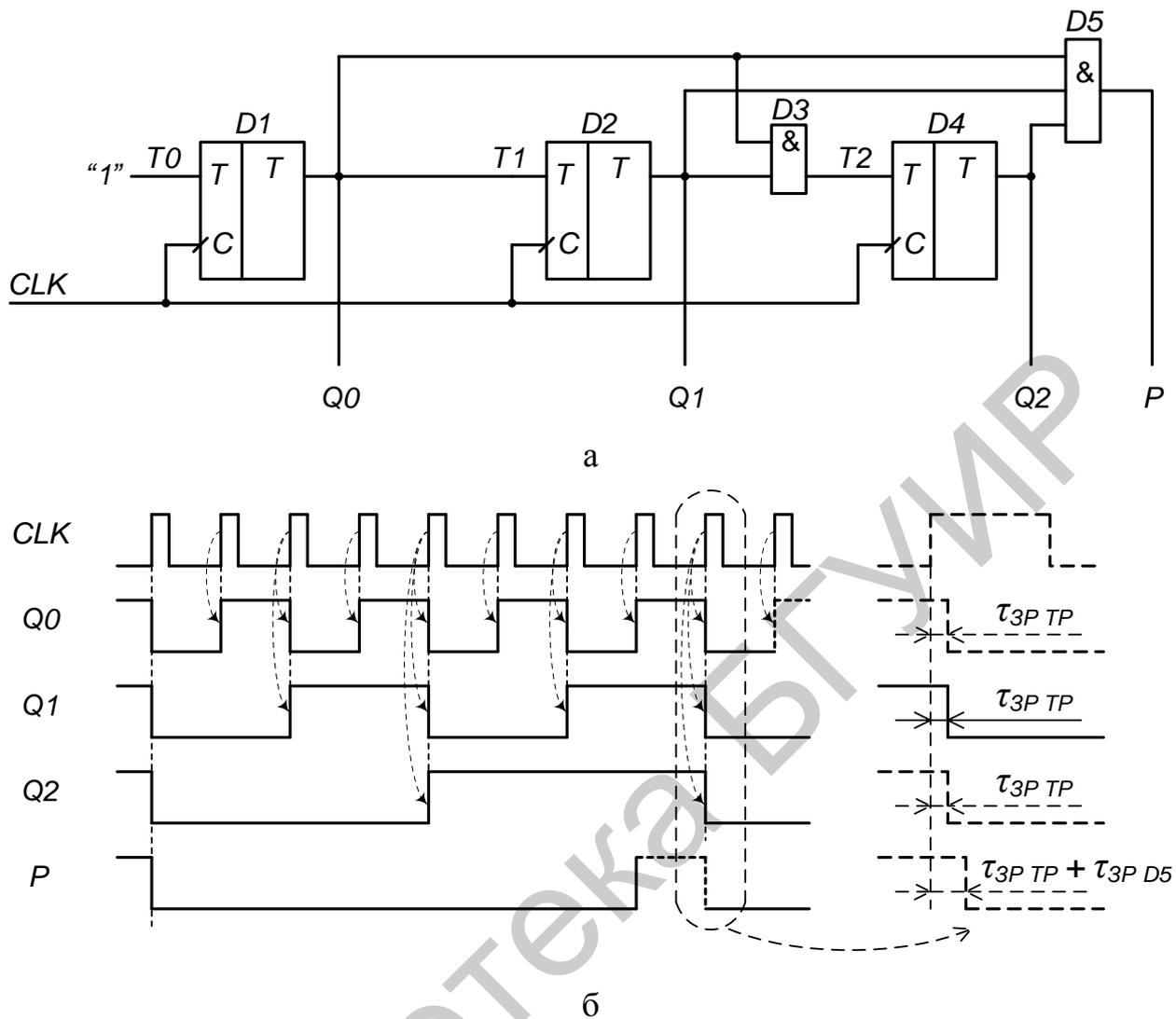
Схема спроектированного счетчика и временные диаграммы его работы представлены на рисунке 1.4. В схеме функция возбуждения T_2 триггера $D4$ реализуется элементом $D3$, а сигнал переполнения P – элементом $D5$.

Легко показать, что двоичный счетчик с $K_{СЧ} = 16$ описывается функциями:

$$T_0 = 1; \quad T_1 = Q_0; \quad T_2 = Q_1 \cdot Q_0; \quad T_3 = Q_2 \cdot Q_1 \cdot Q_0; \quad P = Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0. \quad (1.2)$$

Из сравнения выражений (1.1) и (1.2) следует, что функции возбуждения T_0, T_1, T_2 не изменились. Это дает основание сделать общий вывод, что функции возбуждения триггеров счетчика по $\text{mod } 2^M$, состоящего из M триггеров, определяются соотношениями:

$$T_0 = 1; \quad T_r = \prod_{j=0}^{r-1} Q_j; \quad P = \prod_{j=0}^r Q_j. \quad (1.3)$$



а – функциональная схема;
 б – временные диаграммы работы

Рисунок 1.4 – Трехразрядный синхронный двоичный счетчик

При большом числе M триггеров в счетчике функции возбуждения получаются весьма сложными, что является недостатком таких счетчиков. Соотношения (1.3) можно привести к виду

$$T_0 = 1; \quad T_r = T_{r-1} \cdot Q_{r-1}; \quad P = T_r \cdot Q_r. \quad (1.4)$$

На рисунке 1.5 показана схема двоичного четырехразрядного счетчика, соответствующая данным формам функций возбуждения T -триггеров. Ее недостаток – последовательное прохождение переносов от младших разрядов к старшим через логические элементы (ЛЭ) И, что снижает быстродействие счет-

чика. Схема на рисунке 1.5 также иллюстрирует метод каскадирования одно-разрядных синхронных двоичных счетчиков. Сегмент, выделенный штриховой линией, описывается общими для всех таких сегментов функциями $T = P_0$ и $P_1 = P_0 \cdot Q$, где P_0 – перенос из предыдущего разряда, P_1 – перенос в следующий разряд, и представляет собой одноразрядный счетчик. Первый разряд счетчика получается подстановкой $P_0 = 1$, что дает $T_1 = 1$ и $P_1 = Q_0$. Таким образом, счетчик любой разрядности может быть построен с помощью последовательного соединения одноразрядных счетчиков. Такие счетчики называются счетчиками с *последовательным переносом*.

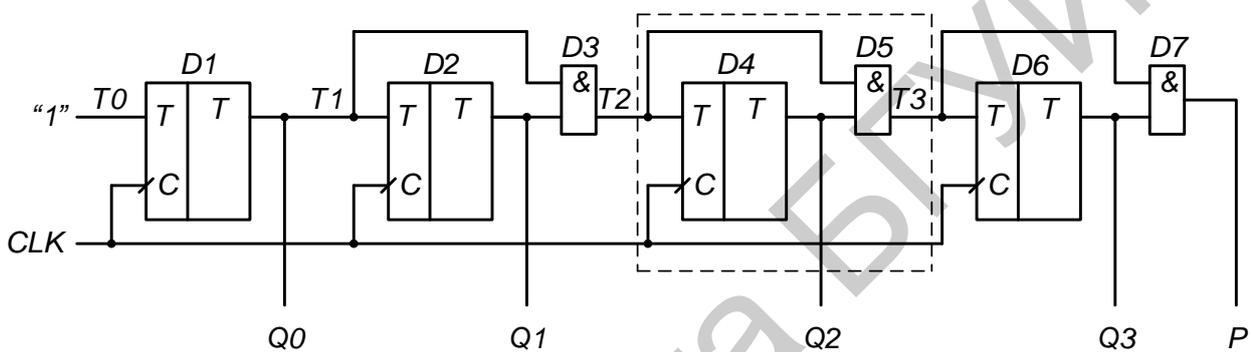


Рисунок 1.5 – Схема четырехразрядного двоичного счетчика с последовательным переносом

Функции (1.3) описывают синхронные двоичные счетчики с *параллельным переносом*. На практике широкое применение находят счетчики с *параллельно-последовательным переносом*, когда одинаковые N -разрядные (например четырехразрядные) двоичные счетчики выполняются с параллельным переносом, а при соединении нескольких таких счетчиков используется последовательный перенос.

Применив описанную методику проектирования, легко определить, что в случае реализации суммирующего счетчика на базе D -триггеров их функции возбуждения имеют вид

$$D_0 = \overline{Q_0}; \quad D_r = \left(\prod_{j=0}^{r-1} Q_j \right) \oplus Q_r; \quad P = \prod_{j=0}^r Q_j. \quad (1.5)$$

Граф переходов трехразрядного *вычитающего* двоичного синхронного счетчика с $K_{сч} = 8$ представлен на рисунке 1.6, а значения функций переключений и возбуждения синхронных импульсных T -триггеров – в таблице 1.2.

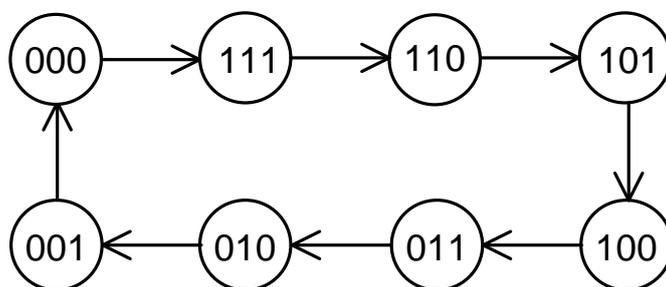


Рисунок 1.6 – Граф переходов трехразрядного вычитающего двоичного счетчика

Таблица 1.2 – Таблица переключений трехразрядного вычитающего двоичного счетчика

Q_2	Q_1	Q_0	Q^+2	Q^+1	Q^+0	T_2	T_1	T_0	P
0	0	0	1	1	1	1	1	1	1
1	1	1	1	1	0	0	0	1	0
1	1	0	1	0	1	0	1	1	0
1	0	1	1	0	0	0	0	1	0
1	0	0	0	1	1	1	1	1	0
0	1	1	0	1	0	0	0	1	0
0	1	0	0	0	1	0	1	1	0
0	0	1	0	0	0	0	0	1	0

Проведя минимизацию функций T_0 , T_1 , T_2 и P для этого счетчика, получаем выражения:

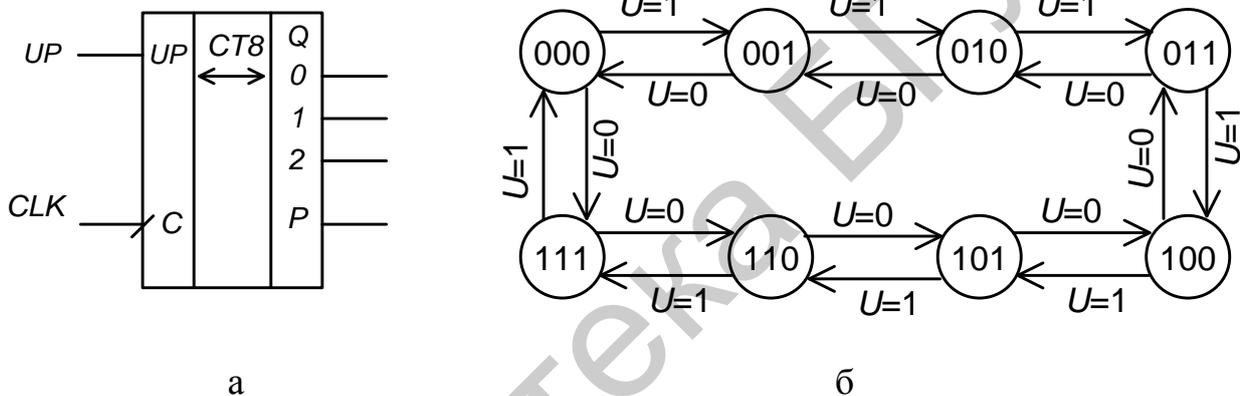
$$T_0 = 1; \quad T_1 = \overline{Q_0}; \quad T_2 = \overline{Q_0} \cdot \overline{Q_1}; \quad P = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}, \quad (1.6)$$

в соответствии с которыми и синтезируется схема.

Для реализации *двунаправленного (реверсивного)* счетчика необходимо предусмотреть наличие в нем дополнительного входа, обозначив его, например, UP (рисунок 1.7, а) и приняв, что при сигнале на этом входе $UP = 0$ осуществляется счет на уменьшение – «вниз», а при $UP = 1$ – счет на увеличение –

«вверх». Затем по заданному графу переходов (рисунок 1.7, б) определяются функции возбуждения триггеров для каждого режима и реализуются схемы с учетом сигнала UP . Так, используя функции возбуждения суммирующего (выражения (1.1)) и вычитающего (выражения (1.6)) трехразрядного двоичного счетчика для реверсивного счетчика, получаем

$$\begin{aligned}
 T_0 &= 1; \\
 T_1 &= UP \cdot Q_0 \vee \overline{UP} \cdot \overline{Q_0}; \\
 T_2 &= UP \cdot Q_1 \cdot Q_0 \vee \overline{UP} \cdot \overline{Q_0} \cdot \overline{Q_1}; \\
 P &= UP \cdot Q_2 \cdot Q_1 \cdot Q_0 \vee \overline{UP} \cdot \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}.
 \end{aligned}
 \tag{1.7}$$



а – условное графическое обозначение;

б – граф переходов

Рисунок 1.7 – Трехразрядный реверсивный двоичный счетчик

Для осуществления счета в десятичной системе счисления чаще всего используются *двоично-десятичные* счетчики, кодирование внутренних состояний которых производится в соответствии с двоично-десятичным кодом 8-4-2-1. Граф переходов таких счетчиков показан на рисунке 1.8 (с целью сокращения записи состояния описываются не двоичным кодом, а соответствующим ему десятичным значением). По таблице переключений (таблица 1.3) определяем значения функций возбуждения T -триггеров и сигнала переноса, учитывая, что $P = 1$ только в состоянии 9 (1001) счетчика. При минимизации функций T_0 , T_1 , T_2 , T_3 и P учитываем, что в таблице 1.3 описаны только 10 состояний из 16

возможных для четырехразрядного счетчика (следовательно, при заполнении карты Карно останутся пустые ячейки, которые можно использовать как заполненные «1» или «0», исходя из удобства минимизации) и получаем

$$\begin{aligned}
 T_0 &= 1; \\
 T_1 &= \overline{Q_3} \cdot Q_0; \\
 T_2 &= Q_1 \cdot Q_0; \\
 T_3 &= Q_2 \cdot Q_1 \cdot Q_0 \vee Q_3 \cdot Q_0; \\
 P &= Q_3 \cdot Q_0.
 \end{aligned}
 \tag{1.8}$$

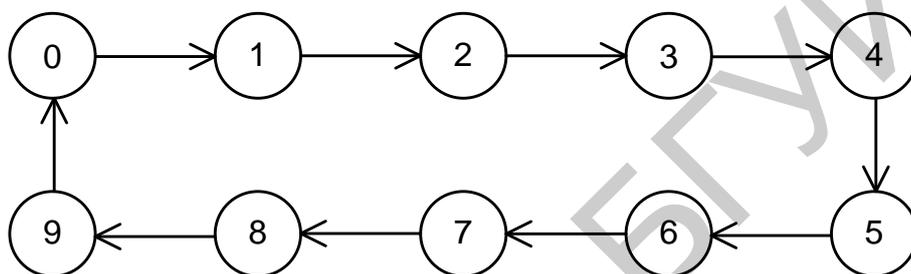


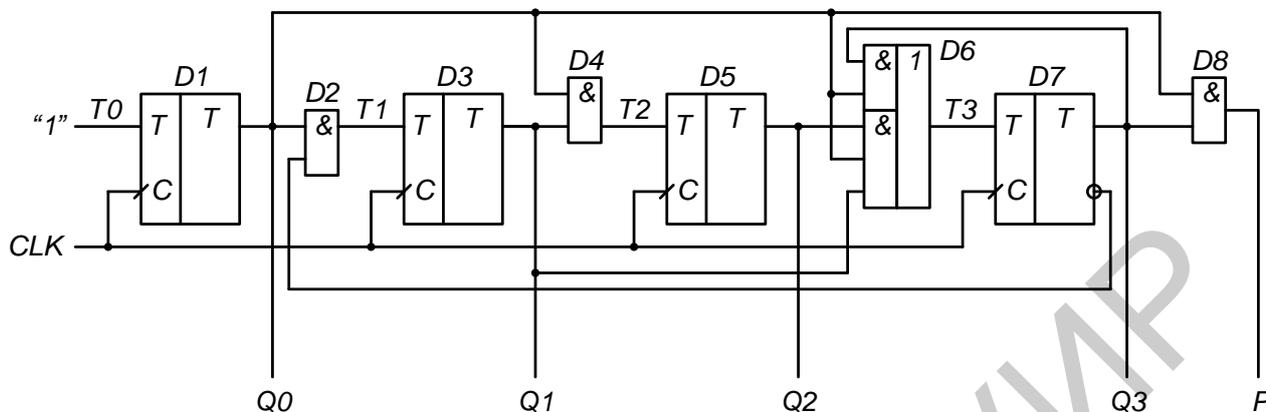
Рисунок 1.8 – Граф переходов двоично-десятичного счетчика

Таблица 1.3 – Таблица переключений двоично-десятичного счетчика

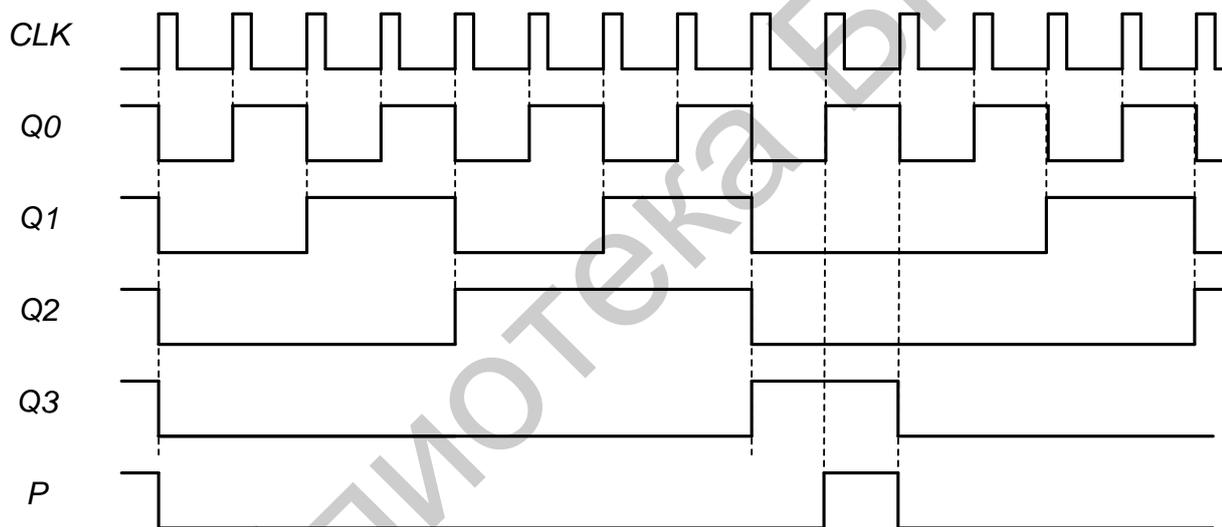
Q_3	Q_2	Q_1	Q_0	Q^+3	Q^+2	Q^+1	Q^+0	T_3	T_2	T_1	T_0	P
0	0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	1	0	0	1	0	0	0	1	1	0
0	0	1	0	0	0	1	1	0	0	0	1	0
0	0	1	1	0	1	0	0	0	1	1	1	0
0	1	0	0	0	1	0	1	0	0	0	1	0
0	1	0	1	0	1	1	0	0	0	1	1	0
0	1	1	0	0	1	1	1	0	0	0	1	0
0	1	1	1	1	0	0	0	1	1	1	1	0
1	0	0	0	1	0	0	1	0	0	0	1	0
1	0	0	1	0	0	0	0	1	0	0	1	1

На рисунке 1.9 показаны схема двоично-десятичного счетчика, соответствующая полученным функциям возбуждения (1.8), и временные диаграммы его работы. Длительность активного уровня сигнала $P = 1$ равна периоду тактового сигнала CLK .

Аналогичным образом проектируются счетчики, работающие с другими типами выходного кода и требуемым коэффициентом счета.



а



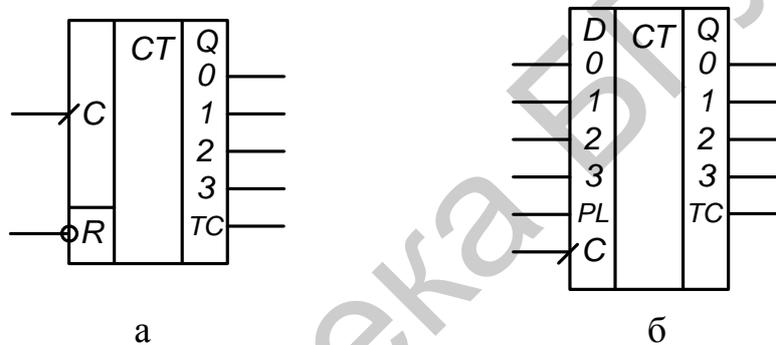
б

а – функциональная схема;
б – временные диаграммы работы

Рисунок 1.9 – Синхронный двоично-десятичный счетчик

Расширение функциональных возможностей счетчиков достигается за счет реализации в них наряду с режимом счета и дополнительных режимов работы. Чаще всего это режимы асинхронного (синхронного) сброса и предварительной установки (параллельной загрузки начального кода). При проектирова-

нии таких счетчиков также необходимо предусмотреть наличие у них дополнительных входов и определить зависимость работы счетчика от состояния сигнала на этих входах (рисунок 1.10). Например, счетчик по рисунку 1.10, а может быть реализован по стандартной схеме на базе комбинированных триггеров, имеющих режим асинхронной установки «0», входы R которых включены параллельно относительно вывода R счетчика. Для схемы на рисунке 1.10, б вход PL – вход разрешения параллельной загрузки данных, позволяющий реализовать при $PL = 0$ режим счета, а при $PL = 1$ режим синхронной (по такту на входе C счетчика) загрузки данных в параллельном коде со входов $D_3...D_0$ на выходы счетчика. При снятии активного уровня сигнала со входа PL счет продолжится с загруженного числа.



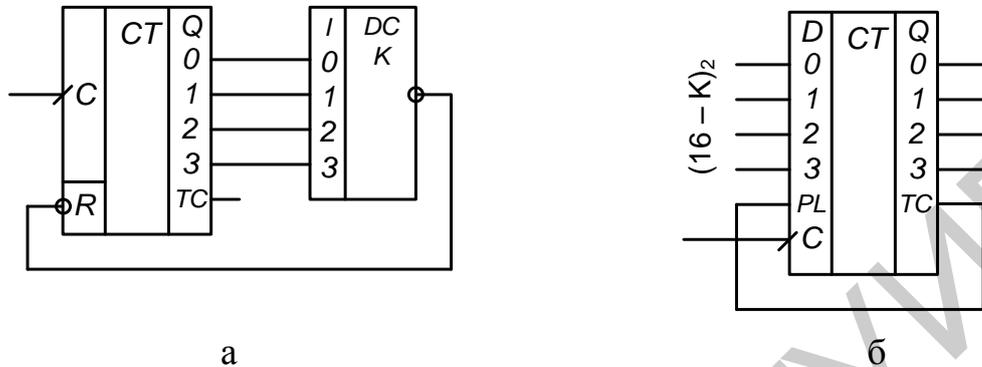
а – с асинхронным сбросом;

б – с синхронной параллельной загрузкой

Рисунок 1.10 – Условные графические обозначения счетчиков

Использование этих режимов позволяет изменять коэффициент счета «стандартного» двоичного счетчика. Как известно, N -разрядный двоичный счетчик имеет коэффициент счета, равный 2^N . Применение схем, представленных на рисунке 1.11, позволяет реализовать счетчик с $K_{сч} = K < 2^N$. В первой схеме (рисунок 1.11, а) используется дешифратор состояния K . При обнаружении этого состояния на выходе двоичного счетчика осуществляется его асинхронный сброс сигналом дешифратора и, следовательно, в схеме реализуется граф $0000 \rightarrow 0001 \rightarrow \dots \rightarrow (K - 1)_2 \rightarrow 0000$ с K -устойчивыми состояниями. Во второй схеме (рисунок 1.11, б) при переполнении счетчика (достижение выходного кода 1111) на его выходе P устанавливается «1», и это используется для

разрешения загрузки параллельных данных. По такту в счетчик загружается код с числовым значением $M = 16 - K$, с которого и начнется счет тактовых импульсов. Следовательно, в схеме реализуется граф $1111 \rightarrow M_2 \rightarrow (M+1)_2 \rightarrow \dots \rightarrow 1111$ с K -устойчивыми состояниями.



а – асинхронный сброс;
 б – синхронная параллельная загрузка

Рисунок 1.11 – Использование дополнительных режимов работы счетчика для изменения его коэффициента счета

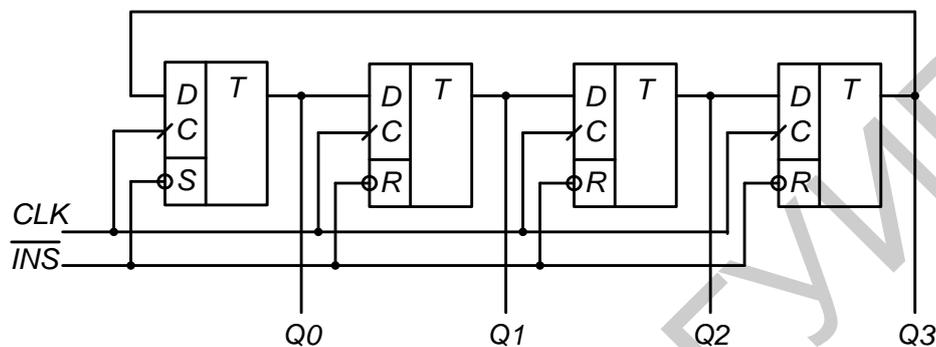
1.3 Кольцевые счетчики

Особенностью кольцевых счетчиков, определяющей их название, является схема, построенная по типу кольцевого регистра сдвига. Под действием входных тактовых импульсов в них циркулирует одна или несколько единиц, меняя кодовые комбинации выходных переменных. Наиболее распространенными являются кольцевые счетчики, в которых выходные переменные представляют число посчитанных тактовых импульсов в унитарном коде и коде Джонсона.

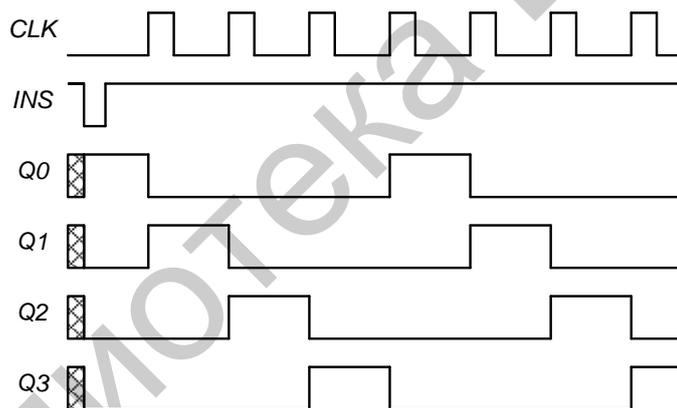
Счетчик по модулю M с унитарным кодированием можно получить на основе M -разрядного регистра сдвига, замкнутого в кольцо (рисунок 1.12), если в нем под действием тактовых импульсов будет циркулировать единица, введенная в один из триггеров регистра пред началом счета путем активации его входа S сигналом INS . Состояния кольцевого счетчика с $mod 4$ приведены в таблице 1.4.

Таблица 1.4 – Таблица переключений кольцевого счетчика

Q_3	Q_2	Q_1	Q_0	Q^+3	Q^+2	Q^+1	Q^+0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	1	0	0	1	0	0	0
1	0	0	0	0	0	0	1



а



б

а – функциональная схема;

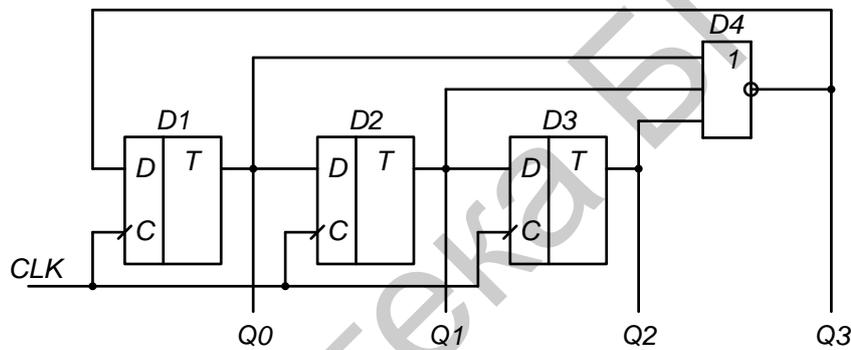
б – временные диаграммы работы

Рисунок 1.12 – Четырехразрядный кольцевой счетчик

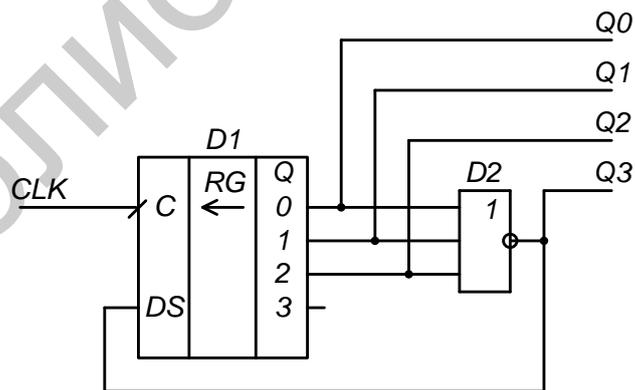
Кольцевой счетчик с унитарным кодированием по сравнению с двоичным или двоично-десятичным требует существенно большего числа триггеров: использование M триггеров в схеме кольцевого счетчика позволяет реализовать коэффициент счета равный M , в то время как для двоичного счетчика реализуемый $K_{сч} = 2^M$. Однако при его использовании упрощается декодирование состояния

(номер выхода счетчика, на котором в текущий момент присутствует единичный уровень, и определяет число посчитанных импульсов). Он также обладает большим быстродействием, так как между триггерами нет дополнительных логических элементов, вносящих задержки в формирование сигналов возбуждения.

Недостатком кольцевых счетчиков является то, что если при первоначальной установке или в процессе работы произойдет сбой, то на выходах появится недопустимая кодовая комбинация. Работа счетчика в этом случае полностью нарушится. Возникнув, недопустимая кодовая комбинация будет циркулировать неопределенное время. Поэтому кольцевые счетчики часто дополняют корректирующими схемами, которые переводят недопустимые комбинации в допустимые в новом цикле счета. Примеры построения такого самовосстанавливающегося кольцевого счетчика, работающего в коде «1 из 4», показаны на рисунке 1.13.



а



б

- а – схема с использованием триггеров;
 б – схема с использованием регистра сдвига

Рисунок 1.13 – Четырехразрядный кольцевой счетчик с самовосстановлением

Счетчик состоит из трех динамических D -триггеров, образующих регистр сдвига влево, и корректирующего элемента ИЛИ-НЕ $D4$. Запись единицы в триггер $D1$ с очередным тактовым импульсом происходит только в том случае, если все триггеры регистра находятся перед этим импульсом в нулевом состоянии. Элемент ИЛИ-НЕ $D4$ не только устраняет последствия сбоев, но и играет роль дополнительного разрядного сегмента счетчика.

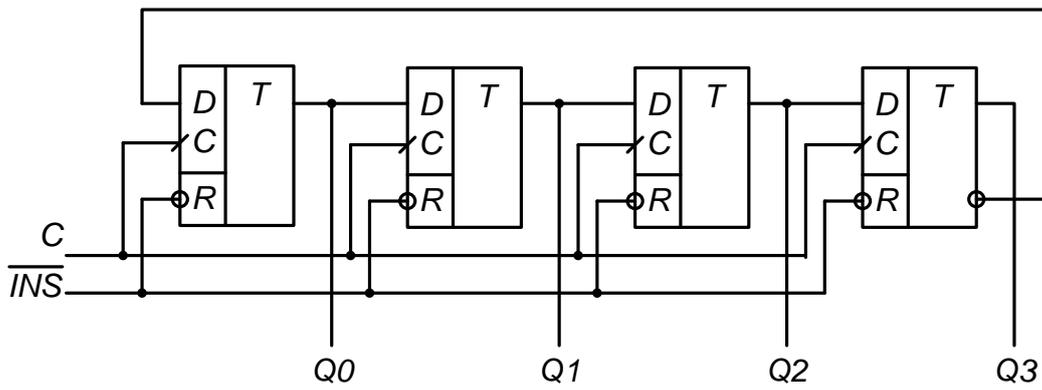
Счетчик Джонсона также реализуется на базе регистра сдвига (рисунок 1.14, а), однако вход первого триггера регистра подключен не к прямому, а инверсному выходу последнего триггера линейки. Это позволяет обеспечить распространение от младшего разряда к старшему разряду регистра сначала «волны единиц», а затем «волны нулей» (рисунок 1.14, б). Состояния счетчика Джонсона с $mod\ 8$ приведены в таблице 1.5.

Таблица 1.5 – Таблица переключений четырехразрядного счетчика Джонсона

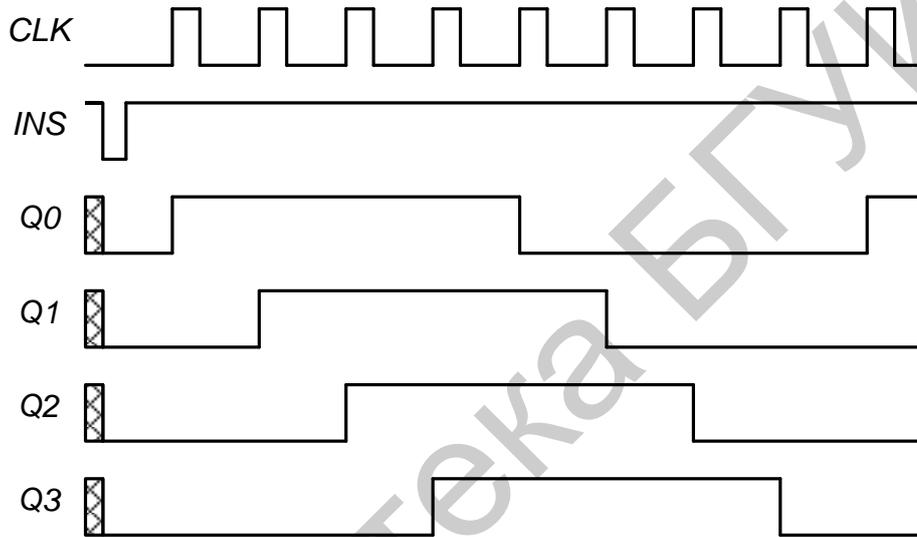
$Q3$	$Q2$	$Q1$	$Q0$	Q^+3	Q^+2	Q^+1	Q^+0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	1
0	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0
1	1	1	0	1	1	0	0
1	1	0	0	1	0	0	0
1	0	0	0	0	0	0	0

Для устранения недопустимых кодовых комбинаций, появившихся при включении счетчика или в результате сбоев, можно использовать предварительную установку в нулевое состояние всех триггеров регистра сигналом INS или использовать корректирующую схему (рисунок 1.14, в).

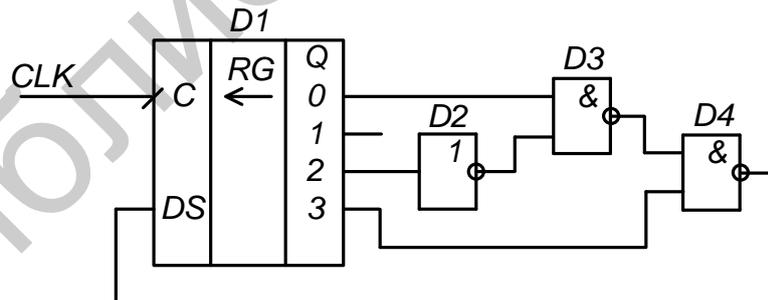
По числу необходимых для реализации схемы триггеров счетчик Джонсона эффективнее кольцевого с унитарным кодированием (использование M триггеров позволяет получить коэффициент счета, равный $2M$). Важным достоинством является принципиальное отсутствие ошибок декодирования состояний счетчика из-за логических соствязаний выходных переменных, так как после каждого тактового импульса лишь один триггер меняет свое состояние.



а



б



в

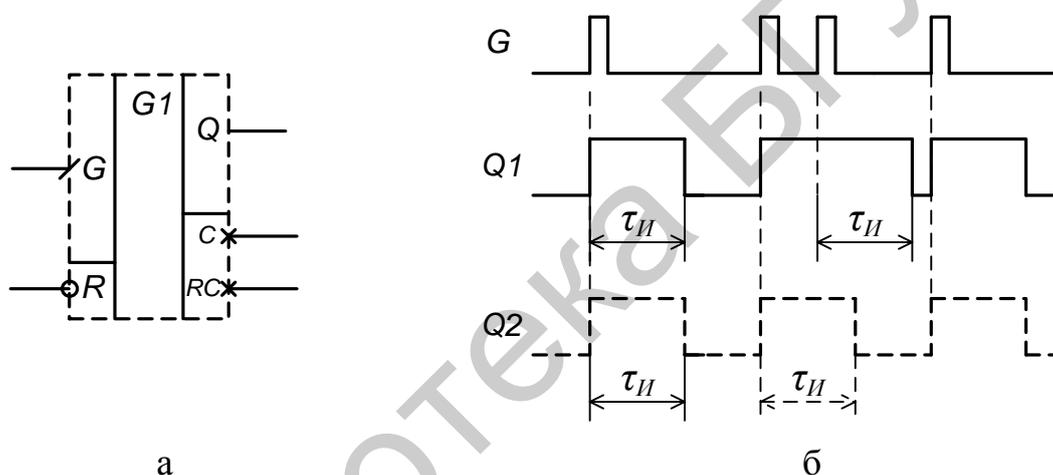
- а – функциональная схема;
- б – временные диаграммы работы;
- в – схема с самовосстановлением

Рисунок 1.14 – Четырехразрядный счетчик Джонсона

2 ГЕНЕРАТОРЫ ПРЯМОУГОЛЬНЫХ ИМПУЛЬСОВ

2.1 Одновибраторы и формирователи импульсов

Одновибратор – цифровое устройство, которое по приходу на его вход запуска G сигнала (импульсного или потенциального в зависимости от типа входа) формирует выходной импульс заданной длительности (рисунок 2.1). Вход R используется для прерывания формирования выходного импульса схемы. Длительность импульса определяется внешней времязадающей цепью – резистором и конденсатором, подключаемым к соответствующим нелогическим входам (RC и C) одновибратора.



а – условное графическое обозначение;

б – временные диаграммы работы;

G – сигнал запуска одновибратора;

$Q1$ – выходной сигнал перезапускаемого одновибратора;

$Q2$ – выходной сигнал одновибратора без перезапуска

Рисунок 2.1 – Одновибратор

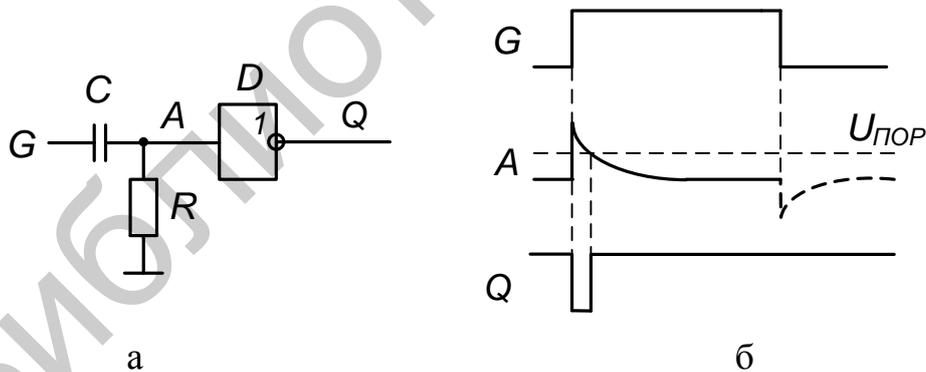
Схема одновибратора имеет одно устойчивое состояние равновесия. Внешний запускающий импульс вызывает скачкообразный переход одновибратора в новое состояние, которое не является устойчивым. В этом состоянии, называемом квазиравновесным или временно устойчивым, в схеме происходят относительно медленные изменения, которые в конечном итоге приводят к об-

ратному скачку, после чего восстанавливается исходное устойчивое состояние. Длительность состояния квазиравновесия, определяющая длительность генерируемого прямоугольного импульса, зависит от параметров элементов схемы одновибратора и внешней времязадающей RC -цепи.

Различают *перезапускаемые* и *неперезапускаемые* (с однократным запуском) одновибраторы. Одновибратор является перезапущаемым, если при подаче сигнала запуска во время генерации импульса она возобновляется заново с исходным состоянием времязадающей цепи. Перезапуски одновибратора позволяют неограниченно увеличивать длительность генерируемого импульса, независимо от значения постоянной времени RC -цепи.

Неперезапущаемые мультивибраторы не реагируют на сигналы запуска, поступающие во время генерации импульса (рисунок 2.1, б).

Наряду с одновибраторами для формирования одиночных импульсов находят применение формирователи импульсов, реализуемые на базе простейших логических элементов. В схеме, представленной на рисунке 2.2, используется дифференцирующая RC -цепь в качестве времязадающего элемента и пороговые свойства инвертора, что позволяет формировать короткий импульс отрицательной полярности по фронту импульса запуска.



а – функциональная схема;
б – временные диаграммы работы

Рисунок 2.2 – Формирователь короткого импульса

Переходная характеристика дифференцирующей цепи описывается выражением

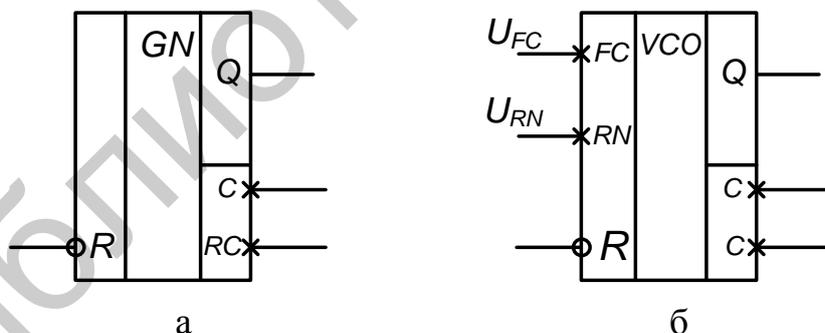
$$h(t) = U_0 \cdot \exp\left[-\frac{t}{RC}\right], \quad (2.1)$$

и при превышении выходным напряжением RC -цепи значения порогового напряжения $U_{\text{ПОР}}$ инвертора оно распознается как уровень логической «1» на его входе, что приводит к формированию на выходе короткого импульса с уровнем логического «0».

2.2 Мультивибраторы

Мультивибратор (генератор импульсов) – цифровое устройство, формирующее на выходе периодическую последовательность прямоугольных импульсов заданной частоты (рисунок 2.3, а).

Мультивибраторы по сути являются релаксационными генераторами, в которых смена хотя бы одного состояния происходит под воздействием внутренних релаксационных (зарядно-разрядных) процессов. Принцип работы их основан на использовании усилителей с положительной обратной связью.



а – мультивибратор;

б – генератор, управляемый напряжением

Рисунок 2.3 – Условное графическое обозначение генераторов импульсов

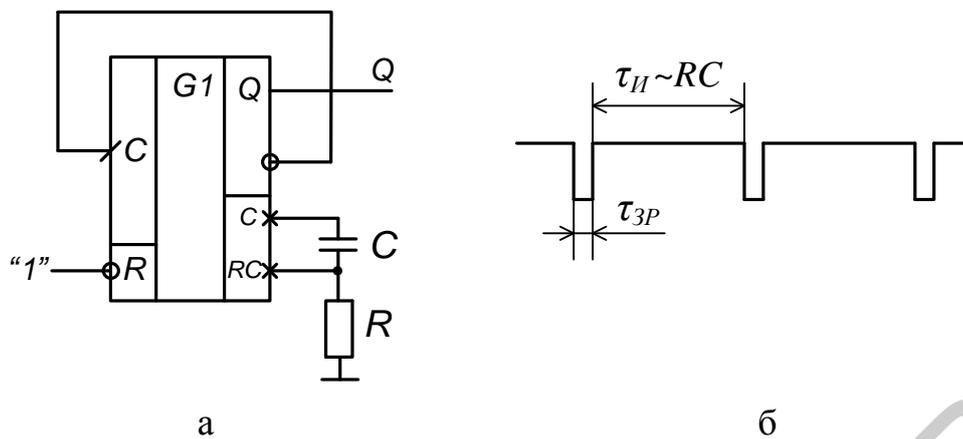
В автоколебательном режиме генератор имеет два квазиустойчивых и ни одного устойчивого состояния. В этом режиме без какого-либо внешнего воздействия генератор последовательно переходит скачком из одного состояния

равновесия в другое. При этом генерируются импульсы, амплитуда, длительность и частота повторения которых (т. е. частота автоколебаний) определяются в основном только параметрами элементов времязадающей цепи схемы генератора.

Основным требованием, предъявляемым к таким генераторам, является высокая стабильность частоты автоколебаний, что зачастую обеспечивается за счет включения во времязадающую цепь кварцевого резонатора.

Наряду с мультивибраторами при построении цифровых систем широкое применение находят *генераторы, управляемые напряжением* (ГУН, VCO). Они обеспечивают возможность перестройки частоты выходного сигнала в заданных пределах (рисунок 2.3, б). Для этого используется дополнительный вход управления частотой выходного колебания (их может быть два: один RN – для изменения диапазона перестройки частоты, второй FC – для перестройки частоты в пределах диапазона). При подаче аналогового напряжения на эти входы ГУН меняются параметры внутренней времязадающей цепи (например, изменяется напряжение смещения, подаваемое на встроенный варикап, включенный параллельно относительно внешних выводов подключения конденсатора) и (или) порог срабатывания логических элементов, обеспечивающих процесс заряда-разряда времязадающей цепи.

Наряду с использованием специализированных схем мультивибраторов, распространены генераторы, выполненные на базе одновибраторов (рисунок 2.4) и простейших логических элементов (рисунок 2.5). В схеме на рисунке 2.4 перезапуск одновибратора происходит за счет возбуждения его входа сигналом, снимаемым с инверсного выхода. При этом на прямом выходе получается сигнал с малой скважностью, так как длительность импульса положительной полярности определяется значением постоянной времени внешней RC -цепи, а длительность импульса отрицательной полярности – внутренним временем задержки распространения одновибратора. Недостатком схемы является то, что такой генератор работает в режиме жесткого самовозбуждения и при срыве генерации по какой-либо причине возникает необходимость его принудительного запуска. Схема, приведенная на рисунке 2.5, отличается мягким режимом возбуждения, что обеспечивается за счет использования резисторов R в цепях обратной связи инверторов, выводящих логические элементы на линейный участок их передаточной характеристики.



а – функциональная схема;
 б – временные параметры выходного сигнала

Рисунок 2.4 – Мультивибратор, выполненный на базе одновибратора

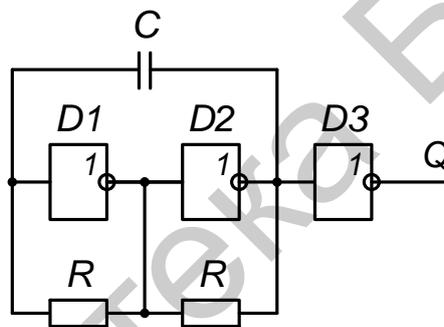
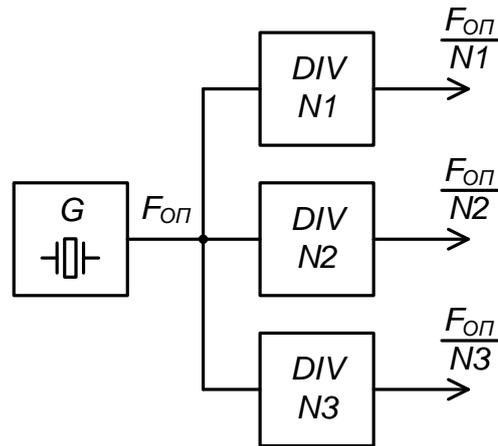


Рисунок 2.5 – Мультивибратор, выполненный на базе логических элементов

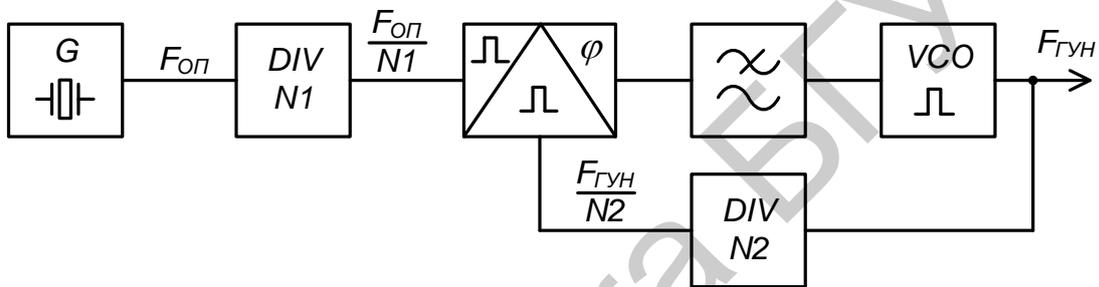
2.3 Схемы синтеза частот

При построении сложных цифровых систем часто возникает необходимость тактирования используемых устройств сигналами разных частот, но имеющих жесткую фазовую привязку друг к другу. Использование нескольких независимых генераторов выполнить данное условие не позволяет, поэтому схемы синхронизации работы в этом случае реализуются на основе синтеза сетки частот.

В зависимости от схемы построения (преобразования частоты сигнала опорного генератора) различают схемы, использующие прямой и косвенный синтез частоты. Структурные схемы синтезаторов этих типов представлены на рисунке 2.6.



а



б

а – прямой синтез;

б – косвенный синтез

Рисунок 2.6 – Структурные схемы синтезатора частот

В схеме прямого синтеза (рисунок 2.6, а) формирование сигналов требуемых частот осуществляется путем деления частоты высокостабильного опорного генератора рядом делителей DIV с коэффициентами деления $N1$, $N2$, $N3$ и т. д. В качестве делителей частоты используются синхронные счетчики с коэффициентами счета, равными коэффициентам деления. При таком использовании счетчиков определяющую роль играет не их граф переходов, т. е. последовательность смены выходных состояний, а именно коэффициент счета, следовательно, важно наличие в счетчике выхода сигнала P переполнения. Одновременно с этим можно учитывать и то, что четырехразрядный двоичный счетчик обеспечивает по своим выходам $Q0$, $Q1$, $Q2$, $Q3$ деление частоты входного тактового сигнала C на 2, 4, 8 и 16 соответственно. Недостатком рассмотренной

схемы деления частоты является то, что на ее выходах получаются сигналы, частота которых меньше частоты опорного генератора в целое число раз.

В основу реализации косвенного синтеза частоты положено применение схем фазовой автоматической подстройки частоты (ФАПЧ). Кольцо ФАПЧ включает в себя импульсный (цифровой) фазовый детектор (ИФД), фильтр нижних частот, выделяющий из выходного сигнала ИФД низкочастотную составляющую, пропорциональную разности фаз входных сигналов ИФД, и генератор, управляемый напряжением (ГУН). В цепи приведения устанавливается делитель частоты сигнала ГУН с коэффициентом $N2$. Опорная цепь может быть реализована по схеме прямого синтеза с делителем частоты высокостабильного опорного генератора на $N1$. Управление частотой осуществляется таким образом, чтобы обеспечить постоянство разности фаз сигналов на входах ИФД, что возможно только при совпадении их частот $F_{оп}/N1 = F_{ГУН}/N2$. Отсюда выходная частота ГУН составит

$$F_{ГУН} = F_{оп} \cdot \frac{N2}{N1}, \quad (2.2)$$

что позволяет осуществить не только деление частоты опорного генератора на дробный коэффициент, но и ее умножение.

3 ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ УСТРОЙСТВ

3.1 Классификация цифровых интегральных схем

Элементную базу цифровых устройств ранее составляли дискретные (отдельные) пассивные и активные элементы радиоэлектроники: резисторы, конденсаторы, реле, диоды, транзисторы и др. Основу элементной базы современной цифровой техники составляют интегральные схемы (ИС) различной степени интеграции, насчитывающие с настоящего время более 100 различных серий и технологических разновидностей. В зависимости от технологии изготовления интегральные схемы подразделяются на серии, различающиеся физическими параметрами базовых логических элементов (ЛЭ), а также числом и функциональным назначением входящих в их состав микросхем. В настоящее время разработано несколько десятков технологий изготовления ИС. Наиболее широкое применение находят ИС, изготавливаемые по ТТЛ (транзисторно-транзисторная логика, TTL), КМОП (комплементарные полевые транзисторы структуры металл-окисел-полупроводник, CMOS), n -МОП (n -канальные МОП транзисторы, n -MOS) технологиям и их комбинациям (например BiCMOS), причем каждая из этих технологий имеет несколько разновидностей. Технологии изготовления ИС непрерывно совершенствуются с целью увеличения их быстродействия и нагрузочной способности, уменьшения потребляемой мощности и увеличения степени интеграции – количества компонентов, размещаемых на кристалле заданной площади.

Цифровые ИС по признаку ориентации на массовое потребление или конкретный заказ принято делить на две большие группы: *стандартные* и *специализированные*.

Стандартные ИС приобретаются потребителем как готовые изделия и производятся массовыми тиражами, что позволяет затрачивать большие средства на проектирование, поскольку его стоимость раскладывается на большое число изделий. Стандартные ИС традиционных видов имеют жесткую внутреннюю структуру, и потребитель не может повлиять на характер их функционирования. Специализированные ИС имеют индивидуальный характер функционирования, и их приходится в той или иной мере разрабатывать (проектировать) по конкретному заказу. Проектирование ИС – процесс сложный и дорого-

стоящий, поэтому в большинстве случаев целесообразней строить цифровые устройства (аппаратуру) на основе стандартных ИС.

К стандартным относятся следующие классы цифровых ИС.

1 Микросхемы малого и среднего уровня интеграции. Этот класс ИС представлен многочисленными и хорошо известными стандартными сериями, включающими микросхемы логических элементов (И-НЕ, ИЛИ-НЕ, И, ИЛИ и т. п.), функциональных узлов комбинационного (мультиплексоры, демультиплексоры, шифраторы, дешифраторы, сумматоры и т. п.) и последовательностного типов (триггеры, регистры, счетчики различных типов). Такие ИС являлись практически единственным средством построения цифровых устройств до начала 80-х гг. XX в. Необходимость использования таких микросхем в отдельных ситуациях сохраняется и сейчас, но построение на них сложных цифровых устройств ведет к существенному снижению технико-экономических параметров оборудования по сравнению с теми, которые могли бы быть получены при применении микросхем более высокого уровня интеграции.

2 Большие (БИС) и сверхбольшие (СБИС) интегральные схемы запоминающих устройств с широкой номенклатурой, применяемые в устройствах и системах различного назначения для хранения данных и обмена ими с другими блоками систем.

3 ИС аналого-цифровых и цифроаналоговых преобразователей.

4 БИС и СБИС микропроцессоров и микроконтроллеров, широко и успешно применяемые при решении задач программной реализации алгоритмов.

5 ИС с программируемой пользователем структурой или программируемые логические интегральные схемы (ПЛИС). Создание ИС этого вида привело к появлению нового перспективного направления в развитии элементной базы цифровых устройств. Именно эти БИС/СБИС открывают возможности использования микросхем высокого уровня интеграции не только в массовых изделиях, но и в проектах малой тиражности. В таких ИС задание схеме определенной внутренней структуры на основе имеющихся в ПЛИС элементов (конфигурирование схемы) выполняется пользователем, изготовитель в этом процессе не участвует и поставляет на рынок продукцию, пригодную для многих пользователей.

Два последних вида стандартных ИС имеют двойственный характер: для потребителя они являются специализированными, а для производителя – стан-

дартными (со всеми вытекающими из этого выгодами – доступность, низкая стоимость и т. п.). Они также характеризуют основные современные подходы к проектированию цифровых устройств: микропрограммный и аппаратный. Первый подход предполагает построение устройства на базе некоторого универсального элемента (микропроцессора, микроконтроллера и т. п.), правило функционирования (последовательность выполняемых операций) которого определяется программой, загружаемой в память этого элемента. Физические связи между отдельными частями этого элемента не меняются. Вторым подходом – функции, выполняемые цифровым устройством, определяются его внутренней структурой (например, используя четыре триггера, можно реализовать и регистр хранения, и регистр сдвига, и двоичный счетчик, и двоично-десятичный счетчик). В ПЛИС загружаемая программа обеспечивает установление физических связей между имеющимися в схеме элементами.

Специализированные цифровые ИС делятся на два класса: *заказные* и *полузаказные* ИС. Разновидностями заказных ИС являются полностью заказные ИС и ИС, спроектированные методом «на стандартных ячейках». *Полностью заказные* схемы проектируются целиком под требования конкретного заказчика. Проектировщик имеет полную свободу действий, определяя схему по своему усмотрению вплоть до уровня схемных компонентов (отдельных транзисторов и т. п.), что позволяет достичь наиболее оптимальных параметров по быстродействию, энергопотреблению и т. п. Однако такие схемы очень дороги и имеют длительные сроки проектирования.

Схемы «на стандартных ячейках» отличаются от полностью заказных тем, что их фрагменты берутся из заранее разработанных библиотек схемных решений. Такие фрагменты хорошо отработаны, поэтому стоимость и длительность проектирования при их использовании снижаются. Потери сравнительно с полностью заказными ИС состоят в том, что проектировщик имеет меньше свободы в построении схемы, т. е. результаты ее оптимизации по определенным критериям (площадь кристалла, быстродействие и т. д.) менее эффективны, однако время проектирования сокращается приблизительно в два раза.

К полузаказным схемам относятся *базовые матричные кристаллы* (БМК). В этом случае используется стандартный полуфабрикат, имеющий определенное количество базовых логических элементов (И-НЕ, ИЛИ-НЕ и т. д.) и триггеров, размещенных на кристалле, и который доводится до конечно-

го продукта с помощью индивидуальных межсоединений, определяемых заказчиком. Хотя стоимость и длительность проектирования, по сравнению с полностью заказными схемами, сокращаются в 3-4 раза, к отрицательным сторонам такого проектирования относится менее рациональное использование площади кристалла (на кристалле остаются неиспользованные элементы), а также то, что длины межэлементных связей не минимальны и, как следствие, быстродействие не максимально.

В настоящее время проектирование цифровых устройств и систем все больше смещается в сторону широкого применения ПЛИС различной степени сложности.

3.2 Основные параметры интегральных логических элементов

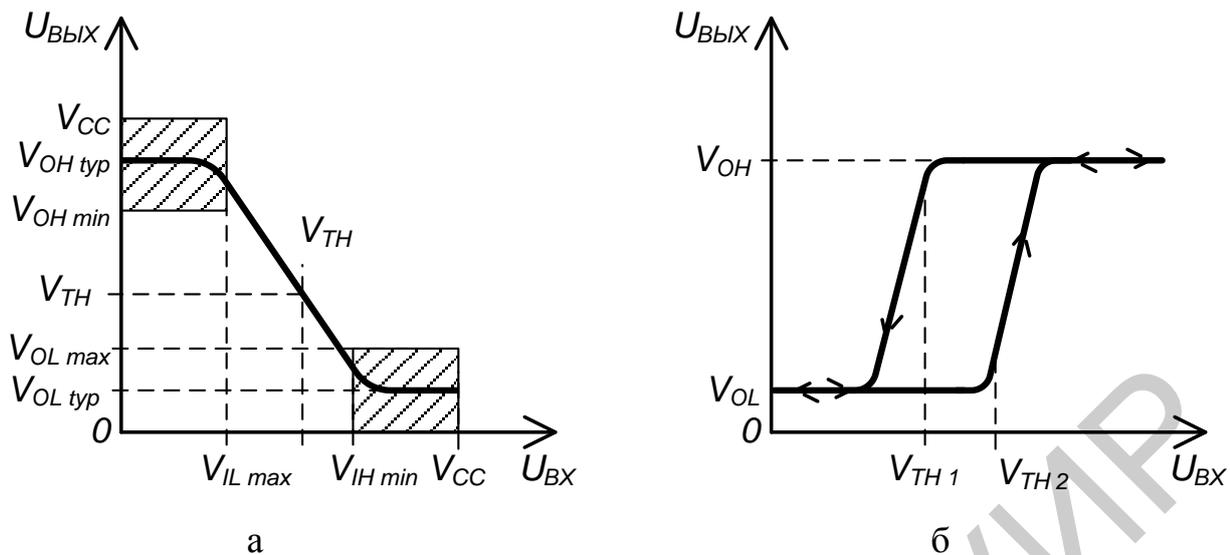
Основу базовых логических элементов составляют, как правило, ключевые каскады, которые выполняются в зависимости от применяемой технологии изготовления ИС на биполярных или (и) полевых транзисторах. Несмотря на многообразие применяемых схем, для описания их общих свойств применяют ряд статических и динамических характеристик и параметров.

Статическая передаточная характеристика инвертора представлена на рисунке 3.1, а.

К основным статическим (электрическим) параметрам ЛЭ относятся напряжение питания V_{CC} ($U_{пит}$), уровни входных и выходных напряжений и значения входных и выходных токов:

- V_{IH} (High-level Input Voltage), U_{ex}^1 – входное напряжение высокого уровня (логической единицы), обычно указывается минимальное напряжение на входе ЛЭ, распознаваемое им как уровень логической единицы;

- V_{IL} (Low-level Input Voltage), U_{ex}^0 – входное напряжение низкого уровня (логического нуля), обычно указывается максимальное напряжение на входе ЛЭ, распознаваемое им как уровень логического нуля;



а – инвертирующий логический элемент;
 б – неинвертирующий триггер Шмитта

Рисунок 3.1 – Статическая передаточная характеристика

$-V_{OH}$ (High-level Output Voltage), $U_{\text{ввх}}^1$ – выходное напряжение высокого уровня (логической единицы), указывается типовое (минимальное зависит от нагрузки выхода ЛЭ) напряжение на выходе ЛЭ, соответствующее логической единице;

$-V_{OL}$ (Low-level Input Voltage), $U_{\text{ввх}}^0$ – выходное напряжение низкого уровня (логического нуля), указывается типовое (максимальное зависит от нагрузки выхода ЛЭ) напряжение на выходе ЛЭ, соответствующее логическому нулю;

$-I_{IH}$ (High-level Input Current), $I_{\text{вх}}^1$ – входной ток при подаче на вход напряжения высокого уровня (логической единицы), указывается максимальное значение;

$-I_{IL}$ (Low-level Input Current), $I_{\text{вх}}^0$ – входной ток при подаче на вход напряжения низкого уровня (логического нуля), указывается максимальное значение;

$-I_{OH}$ (High-level Output Current), $I_{\text{ввх}}^1$ – выходной ток при высоком уровне напряжения (логической единицы) на выходе (вытекающий ток – Sink Current), указывается максимальное значение;

$-I_{OL}$ (Low-level Output Current), $I_{вых}^0$ – выходной ток при низком уровне напряжения (логическом нуле) на выходе (втекающий ток – Source Current), указывается максимальное значение.

Отношения $n_L = I_{OL}/I_{IL}$ и $n_H = I_{OH}/I_{IH}$ характеризуют нагрузочную способность ЛЭ для низких и высоких уровней сигналов. Параметр $n = \text{MIN}\{n_L, n_H\}$ определяет максимальное число входов базовых ЛЭ, которое допустимо подключать к выходу аналогичного ЛЭ.

Помехоустойчивость ЛЭ определяется значениями величин

$$\Delta V_L = V_{OL\ MAX} - V_{IL\ MAX}, \quad (3.1)$$

$$\Delta V_H = V_{OH\ MIN} - V_{IH\ MIN}. \quad (3.2)$$

Переход ЛЭ в усилительный (активный) режим характеризуется значением порогового уровня переключения V_{TH} (ТН – Threshold Voltage – пороговое напряжение).

Схемы, имеющие разные уровни включения и выключения (пороги срабатывания), называются триггерами Шмитта (рисунок 3.1, б). Выходное напряжение триггера скачком изменяется с «0» на «1» при достижении входным напряжением верхнего порога V_{TH2} и скачком изменяется с «1» на «0» при пересечении входным напряжением нижнего уровня V_{TH1} . Таким образом, триггеры Шмитта характеризуются гистерезисным видом передаточной характеристики и имеют два устойчивых состояния, но в отличие от «классических» триггеров они могут управляться как цифровым, так и аналоговым сигналом (с медленно изменяющимся фронтом). Триггеры Шмитта часто используются для формирования прямоугольного напряжения из синусоидального, а также для фильтрации помех в линиях связи, величина которых не превышает значения ширины петли $\Delta V = V_{TH2} - V_{TH1}$. В частности, для увеличения помехозащищенности ИС на некоторых их входах устанавливаются встроенные триггеры Шмитта. Эти входы на условном графическом обозначении элемента обозначаются значком \mathcal{L} .

Динамические параметры ЛЭ характеризуются временами задержки (рисунок 3.2):

- t_{PHL} – при переходе выходного сигнала с высокого уровня на низкий (Propagation delay time/High-to-Low-level output) – время задержки выключения $t_{1,0}$;

- t_{PLH} – при переходе выходного сигнала с низкого уровня на высокий (Propagation delay time/Low-to-High-level output) – время задержки включения $t_{0,1}$;

- t_{PD} – среднее время задержки сигналов в ЛЭ (Propagation Delay time),
 $t_{ЗР\text{ СР}}: t_{PD} = (t_{PHL} + t_{PLH})/2$.

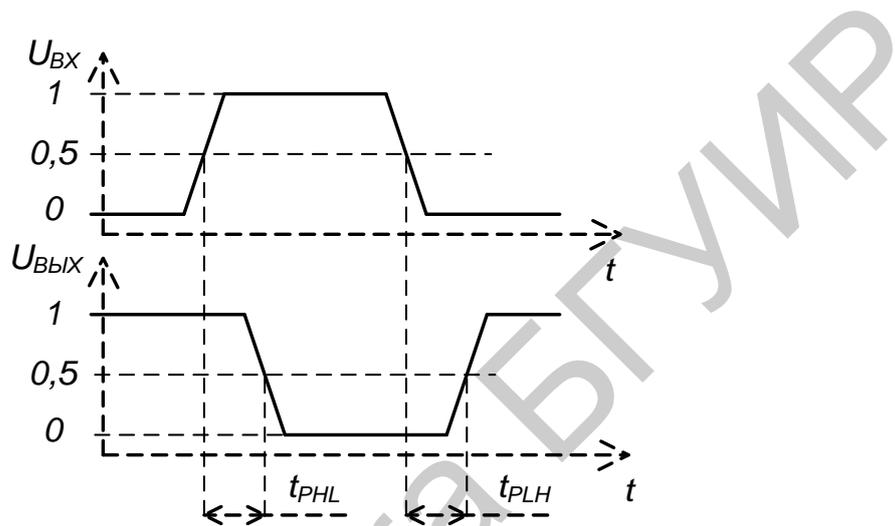


Рисунок 3.2 – Динамические параметры логического элемента

Основным параметром, определяющим качество технологии изготовления ИС, является величина работы переключения стандартного ЛЭ – произведение среднего времени задержки сигналов в вентиле t_{PD} на мощность P (Power) потребления вентиля.

3.3 Схемотехника базового логического элемента ТТЛ

Цифровые интегральные микросхемы выпускаются сериями. Внутри каждой серии имеются объединенные по функциональному признаку группы устройств, имеющие единое конструкторско-технологическое исполнение. Основой каждой серии ИС является базовый логический элемент. Базовым считается тот ЛЭ, параметры которого наиболее полно характеризуют физические свойства большинства ИС данной серии.

Первая серия цифровых ИС была изготовлена на транзисторных схемах с непосредственной связью. Далее были разработаны серии ИС на основе резистивно-транзисторной и диодно-транзисторной технологий. Эти серии ИС не получили широкого распространения, поскольку вскоре (в 1963 г.) была освоена более совершенная технология изготовления ИС – транзисторно-транзисторная логика (Standard TTL). Отличительной особенностью данной технологии является использование на входах ИС многоэмиттерных транзисторов.

На рисунке 3.3 показан базовый ЛЭ SN7400 серии SN74 фирмы Texas Instruments Inc. (TI), выполненный по этой технологии и представляющий собой двухвходовую схему И-НЕ, реализующий функцию $y = \overline{x_1 \cdot x_2}$. Интегральная схема SN7400 содержит четыре таких элемента 2И-НЕ.

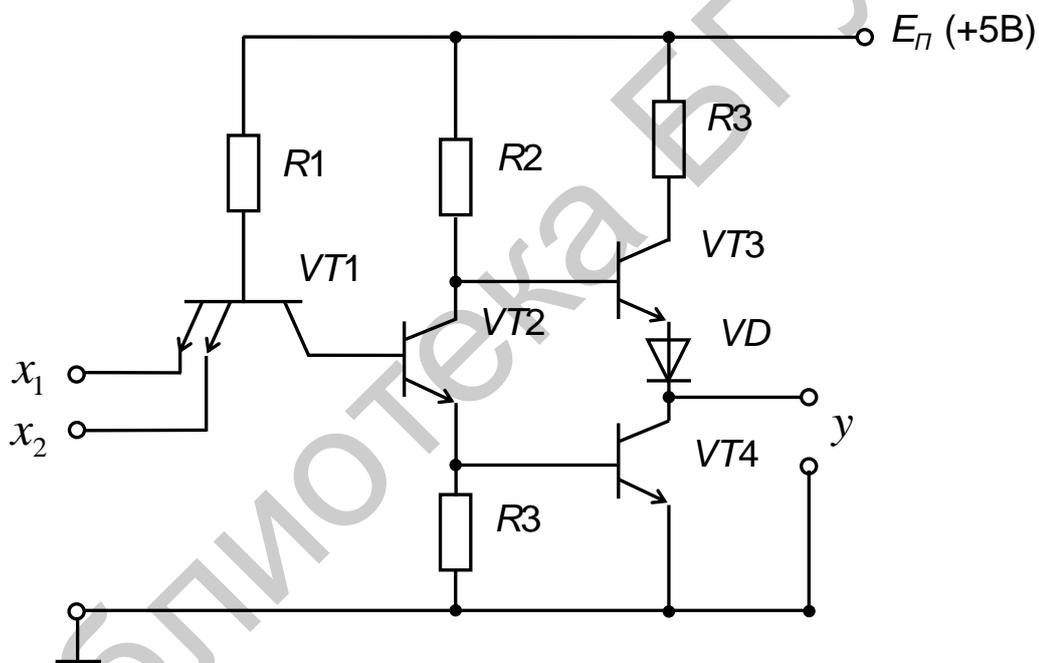


Рисунок 3.3 – Схемотехника базового элемента TTL

Многоэмиттерный транзистор $VT1$ выполняет функцию И, а транзистор $VT2$ – функцию НЕ. Выходной каскад, выполненный на транзисторах $VT3$ и $VT4$, позволяет получить большие значения как втекающего I_{IL} , так и вытекающего I_{OH} токов. Диод в эмиттерной цепи транзистора $VT3$ обеспечивает его надежное закрывание при открытом транзисторе $VT4$. Если транзистор $VT4$ закрыт, то открыт транзистор $VT3$, представляя собой эмиттерный повторитель.

Выход с описанным соединением двух транзисторов называется каскадным (totem-pole) или стандартным выходом.

В качестве стандартных приняты следующие значения этих параметров:

$E_{ПИТ} = 5 \text{ В}$; $V_{IH} \geq 2,0 \text{ В}$; $V_{IL} \leq 0,8 \text{ В}$; $V_{OH} \geq 2,4 \text{ В}$; $V_{OL} \leq 0,4 \text{ В}$; $I_{IH} \leq 40 \text{ мкА}$ при $V_{IH} \geq 2,0 \text{ В}$; $|I_{IL}| \leq 1,6 \text{ мА}$ при $V_{IL} \leq 0,8 \text{ В}$; $|I_{OH}| \geq 0,4 \text{ мА}$ при $V_{OH} \geq 2,4 \text{ В}$; $I_{OL} \geq 16 \text{ мА}$ при $V_{OL} \leq 0,4 \text{ В}$.

Нагрузочная способность базового ЛЭ серии SN74 составляет $n = 10$.

Токи I_{OH} и I_{OL} , I_{IH} и I_{IL} протекают в противоположных направлениях, поэтому токам I_{OH} и I_{IL} присваивается знак минус. Однако часто под этими обозначениями понимают их модули.

Помехоустойчивость базового ЛЭ составляет (см. выражения (3.1), (3.2)):

$$\Delta V_L = 2,4 - 2,0 = 0,4 \text{ В},$$

$$\Delta V_H = 0,8 - 0,4 = 0,4 \text{ В}.$$

Помехи с уровнем напряжения менее 0,4 В не могут привести к изменению состояния ЛЭ. Величина порогового уровня $V_{TH} = 1,2 \text{ В}$.

Для стандартной серии SN74 значения $t_{PD} = 10 \text{ нс}$, $P = 10 \text{ мВт}$ и $t_{PD} \cdot P = 100 \text{ пДж}$. Указанное значение t_{PD} позволяет использовать триггеры данной серии при частоте переключения $F_{MAX} = 35 \text{ МГц}$.

В дополнение к стандартной серии SN74 фирмой TI в 1967 г. были разработаны ТТЛ-серии SN74L (L – Low Power – маломощная) и SN74H (H – High Speed – быстродействующая), имеющие значения $t_{PD} \cdot P = 33 \text{ пДж}$ при $t_{PD} = 33 \text{ нс}$ и $t_{PD} \cdot P = 132 \text{ пДж}$ при $t_{PD} = 6 \text{ нс}$ соответственно. Изменение параметров ЛЭ произведено в основном за счет использования других величин сопротивлений резисторов, влияющих на значения входных и выходных токов. Для сходных технологий быстродействие ИС жестко связано с потребляемой мощностью, т. е. повышение быстродействия достигается за счет увеличения токов коллекторов транзисторов и, как следствие, потребляемой мощности.

Дальнейшие усилия фирмы TI, направленные на совершенствование ТТЛ-технологий изготовления ИС, привели к созданию серий SN74S (1969 г.), SN74LS (1971 г.), SN74ALS (1980 г.) и SN74AS (1982 г.). Кроме того, фирма Fairchild Instrument & Camera Corp. разработала в 1979 г. серию 74F. В обозначениях этих серий ИС использованы сокращения: S – Schottky, LS – Low power

Schottky, ALS – Advanced Low power Schottky (Advanced – усовершенствованная), AS – Advanced Schottky, F – Fairchild's Advanced Schottky TTL (FAST).

Все перечисленные серии ИС основаны на использовании диодов Шоттки, включаемых между коллектором и базой обычного транзистора (такое сочетание элементов получило название транзистор Шоттки), что предотвращает режим глубокого насыщения транзисторов и, как следствие, значительно увеличивает их скорость переключения. Схемотехника транзисторно-транзисторной логики с диодами Шоттки (ТТЛШ) почти ничем не отличается от схемотехники ТТЛ. Прямое пороговое напряжение диодов Шоттки равно 0,3...0,4 В, поэтому их использование не оказывает существенного влияния на уровень V_{OL} выходного сигнала.

Перечисленные выше серии ИС помимо фирмы-разработчика выпускаются многими фирмами-изготовителями во всем мире, в том числе и отечественным НПО «Интеграл». В таблице 3.1 приведены основные параметры базовых ЛЭ различных серий зарубежных ИС, изготавливаемых по ТТЛ-технологиям, и соответствие зарубежных и отечественных серий ИС. В настоящее время широкое применение при проектировании радиоэлектронной аппаратуры находят серии К555, КР1533. Параллельно с сериями промышленного применения разрабатывались серии ТТЛ ИС специального (военного) применения, характеризующиеся расширенным температурным диапазоном и допустимым диапазоном напряжения питания, а также другими типами корпуса ИС. Эти серии получили обозначение 54.

Таблица 3.1 – Сравнительные характеристики ЛЭ некоторых ТТЛ-серий

Серия ИС	Отечественный аналог	t_{PD} , нс	P , мВт/вент	F_{MAX} , МГц	$t_{PD} \cdot P$, пДж
74	155 (вып.)	10	10	35	100
74S	531	3	19	125	57
74LS	555 (вып.)	9,5	2	45	19
74ALS	1533 (вып.)	4	1	50	4
74F	1531	2	4	130	8

Все ИС ТТЛ-серий совместимы по уровням входных и выходных сигналов, т. е. в одном устройстве можно использовать ИС различных серий без дополнительных согласующих элементов, преобразующих уровни сигналов. Конечно, при этом следует учитывать взаимную нагрузочную способность ИС различных серий. Кроме ЛЭ со стандартными статическими параметрами (как у базовых ЛЭ) выпускаются буферные ЛЭ (драйверы) с повышенными значениями выходных токов.

3.4 Схемотехника базовых логических элементов КМОП

Первые КМОП ИС серии CD4000 были разработаны фирмой RCA в 1968 г., затем была выпущена серия CD4000A, вытесненная впоследствии (1976 г.) серией CD4000B с улучшенными характеристиками. Общим недостатком ИС всех этих серий является их низкое быстродействие (время задержки сигналов t_{PD} достигает сотен наносекунд) и малые значения выходных токов.

В 1981 г. фирмами Motorola и National Semiconductor были разработаны ИС серии 74НС (НС – High speed CMOS), близкие по физическим параметрам к сериям 74LS. В частности, быстродействие ИС этих КМОП- и ТТЛ-серий одинаково (среднее время задержки вентиля $t_{PD} = 10$ нс). Еще большее быстродействие было достигнуто в КМОП-сериях 54АС/74АС (АС – Advanced CMOS), разработанных в 1985 г. фирмой TI. Положительные свойства ИС как ТТЛ, так и КМОП были реализованы фирмой TI в ИС серии ВСТ (1987 г.), изготавливаемых по BiCMOS-технологии (Bipolar CMOS TTL Compatible Input – технология с размещением биполярных и КМОП-транзисторов на одном кристалле с уровнями входных и выходных сигналов ИС, совместимых с ТТЛ-уровнями).

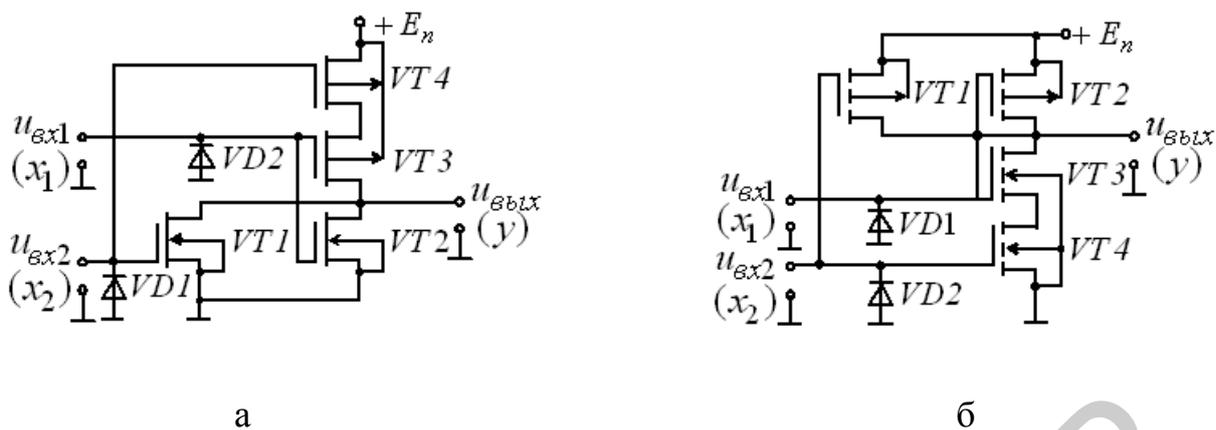
Схемотехническое исполнение базовых элементов КМОП представлено на рисунке 3.4. Основу построения составляет пара n - и p -канальных МОП-транзисторов.

Достоинства логических элементов на КМОП:

1 Логические уровни определяются уровнем напряжения питания:

$$U^0 = 0, \quad U^1 = +E_n,$$

т. е. реализуется практически стопроцентное использование энергии источника питания.



а – И-НЕ;
б – ИЛИ-НЕ

Рисунок 3.4 – Схемотехника базовых элементов КМОП

2 Не требуется стабилизация питающего напряжения, типичные диапазоны которого для КМОП-логических элементов равны 3...6 В (серия КР1554) и 3...15 В (серии К1561, К561, К564).

3 Выходное сопротивление высокое (не менее 1 МОм), поэтому неиспользуемые входы логических элементов нельзя оставлять свободными.

4 В статическом режиме потребляемый ток составляет микро- и наноамперы. Этот ток прямо пропорционален частоте переключения элемента. При переключениях энергия тратится на перезарядку входной емкости.

5 Нагрузочная способность на порядок выше, чем у ТТЛ, т. е. на выход можно подключать больше элементов.

6 Высокое быстродействие.

7 Высокая плотность элементов на кристалле в силу простоты схемы базового элемента.

Недостатки логических элементов на КМОП:

1 При переключениях происходят броски потребляемого тока, что приводит к импульсным помехам, передаваемым по цепям питания, поэтому цепи питания необходимо шунтировать ВЧ-конденсаторами.

2 Логические элементы на КМОП боятся электростатических зарядов, поэтому для защиты таких элементов от пробоя под действием электростатических зарядов используют специальные защитные схемы на стабилитронах.

ИС КМОП и ТТЛ напрямую не согласуются. При одинаковом напряжении питания для подключения выхода ИС ТТЛ ко входу ИС КМОП требуется использование «подтягивающего» резистора R (рисунок 3.5, а), но при работе КМОП-схем на ТТЛ-входы включение осуществляется напрямую (рисунок 3.5, б). При различных напряжениях питания необходимо применение специальных схем согласования логических уровней.

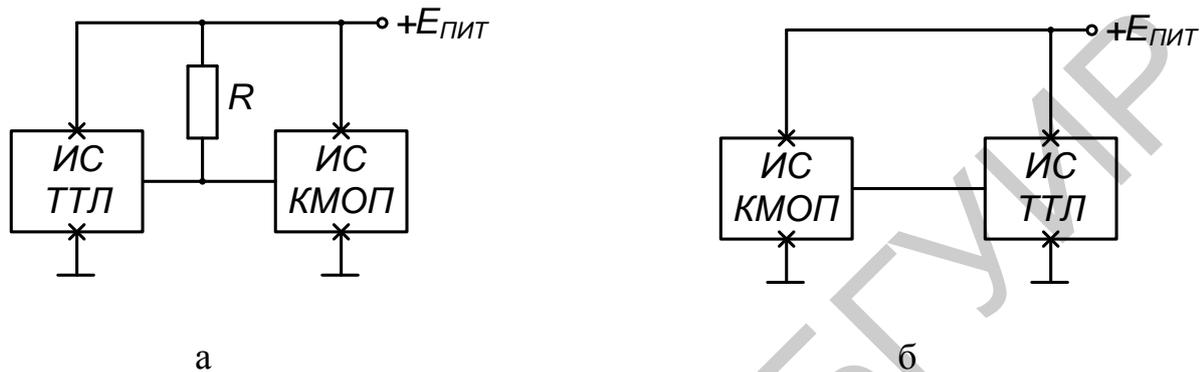


Рисунок 3.5 – Согласование ИС ТТЛ и КМОП

3.5 Программируемые логические интегральные схемы

В настоящее время программируемые логические интегральные схемы (ПЛИС) принято делить на три больших класса: стандартные, или классические (Standart PLD – SPLD), сложные (Complex PLD – CPLD) и программируемые пользователем вентильные матрицы (Field Programmable Gate Array – FPGA).

Структуру большинства SPLD можно представить в виде совокупности двух матриц: И и ИЛИ (рисунок 3.6). В структуру входят также блоки входных и выходных буферных каскадов.

Входные буферы, если не выполняют более сложных действий, преобразуют однофазные входные сигналы в парафазные, подаваемые на матрицу И, которая позволяет реализовать любые конъюнкции входных переменных. Выходы матрицы И соединены через промежуточную шину со входами матрицы ИЛИ, которая на выходах реализует дизъюнкции поступающих сигналов. Выходные буферы обеспечивают необходимую нагрузочную способность выходов и зачастую выполняют и более сложные операции.

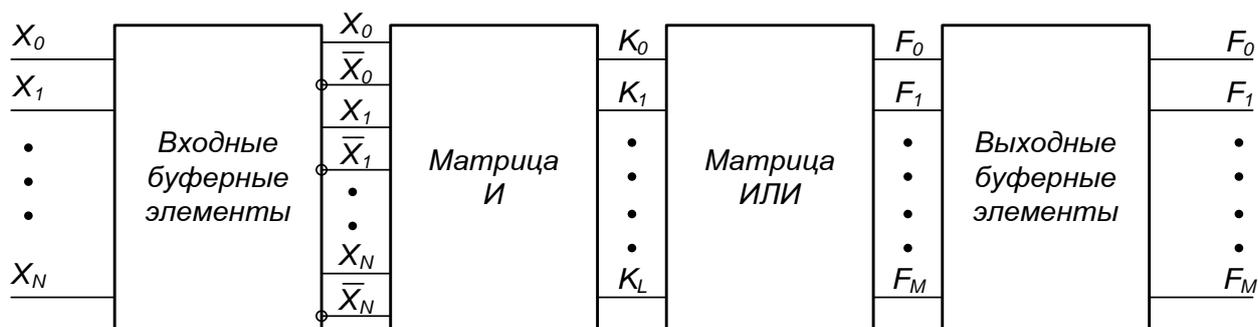


Рисунок 3.6 – Базовая структура SPLD

В зависимости от того, какая матрица программируется пользователем (И или ИЛИ), SPLD принято делить на три класса: программируемые логические матрицы (ПЛМ – Programmable Logic Arrays – PLA), перепрограммируемые постоянные запоминающие устройства (ППЗУ – Programmable Read Only Memory – PROM) и программируемые матрицы логики (ПМЛ – Programmable Array Logics – PAL).

В ПЛМ программируются обе матрицы: И и ИЛИ (рисунок 3.7). В ППЗУ матрица И при изготовлении реализует функцию полного дешифратора, а матрица ИЛИ программируется пользователем (рисунок 3.8). В структуре ПМЛ, наоборот, матрица ИЛИ имеет фиксированную настройку, а программируется только матрица И (рисунок 3.9). Расширение функциональных возможностей ПМЛ достигается за счет введения в матрицу И цепей обратной связи и использования в выходном блоке программируемых макроячеек. Макроячейки могут включать выходной инвертор с тремя состояниями, триггеры различных типов, вентили «исключающее ИЛИ» и др.

Сложными ПЛИС (CPLD) принято называть микросхемы высокой степени интеграции, структура которых представляет собой совокупность нескольких функциональных блоков, подобных ПМЛ (PAL), объединяемых программируемыми межсоединениями (рисунок 3.10)

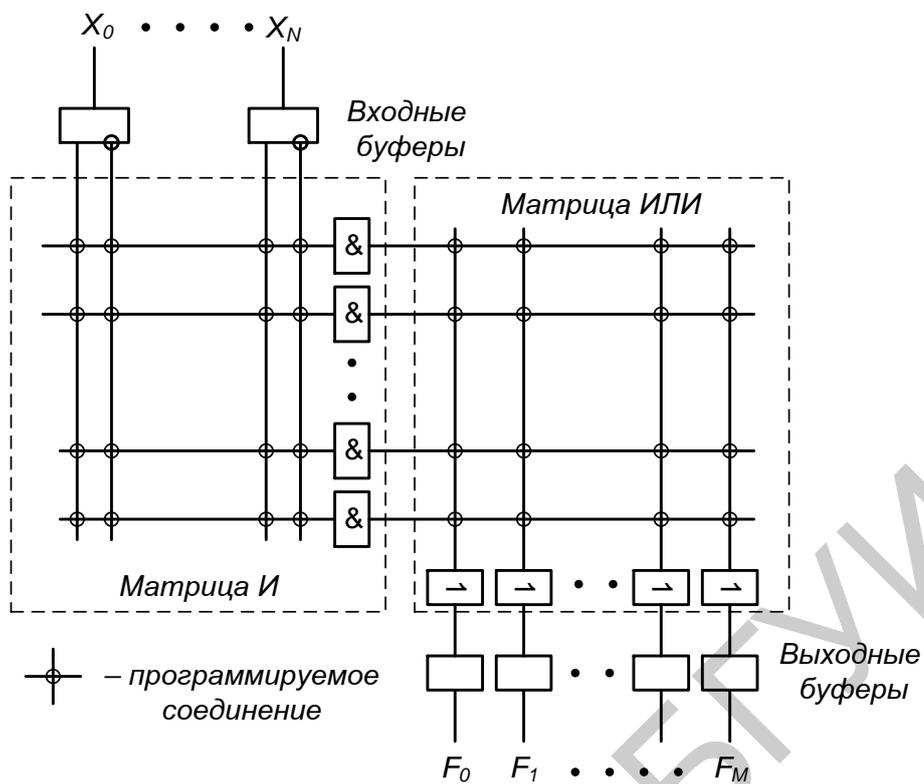


Рисунок 3.7 – Структура ПЛИМ

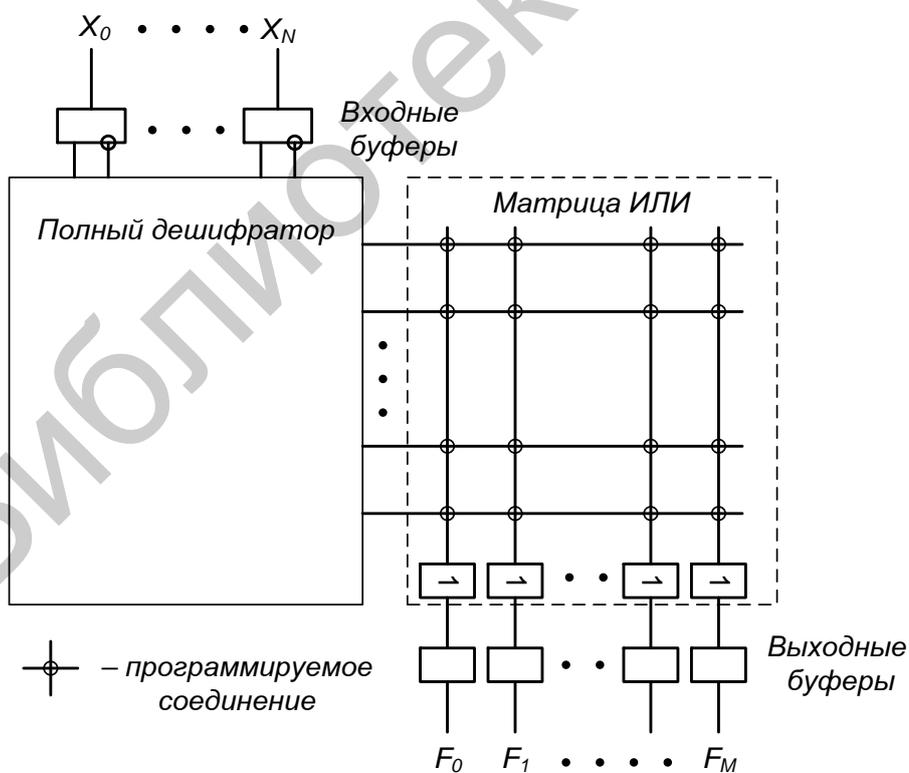


Рисунок 3.8 – Структура ППЗУ

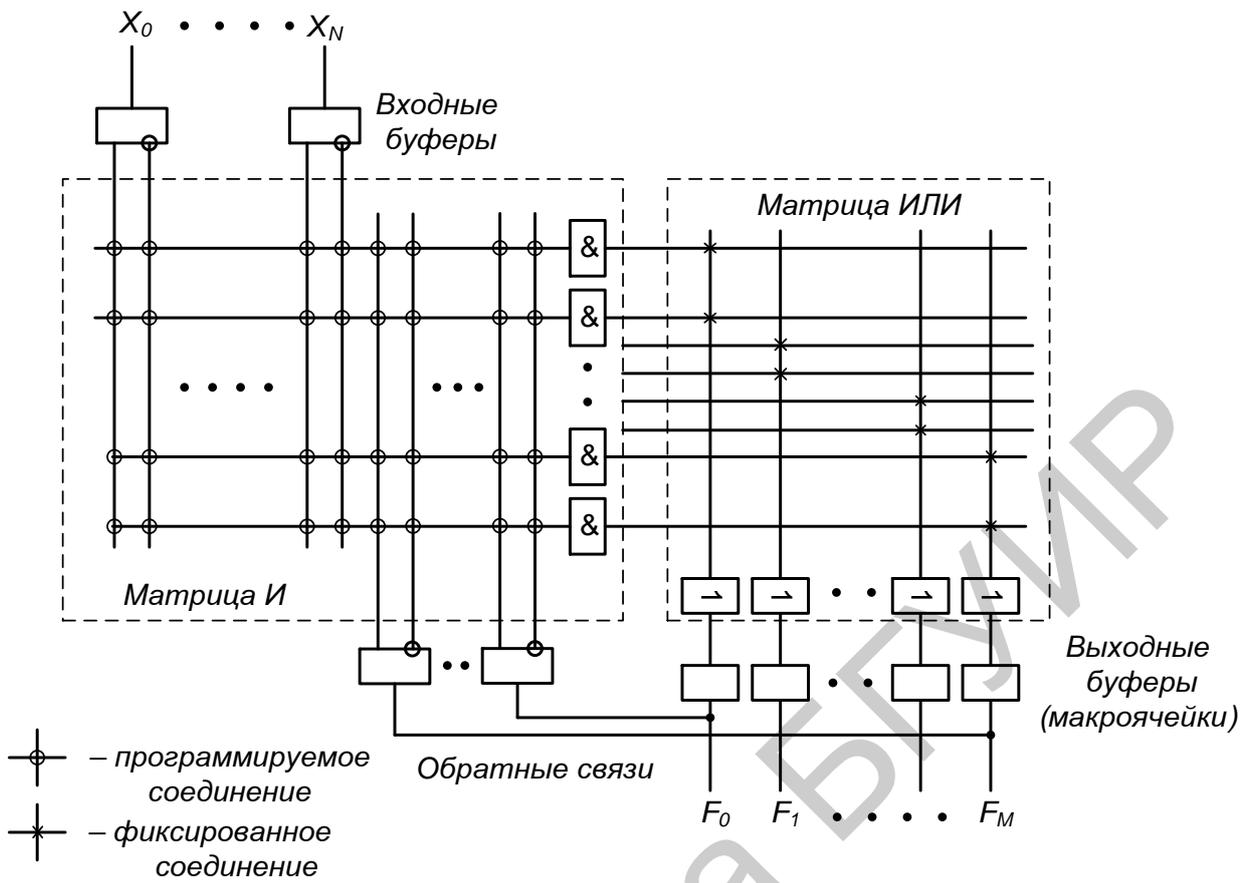


Рисунок 3.9 – Структура ПМЛ

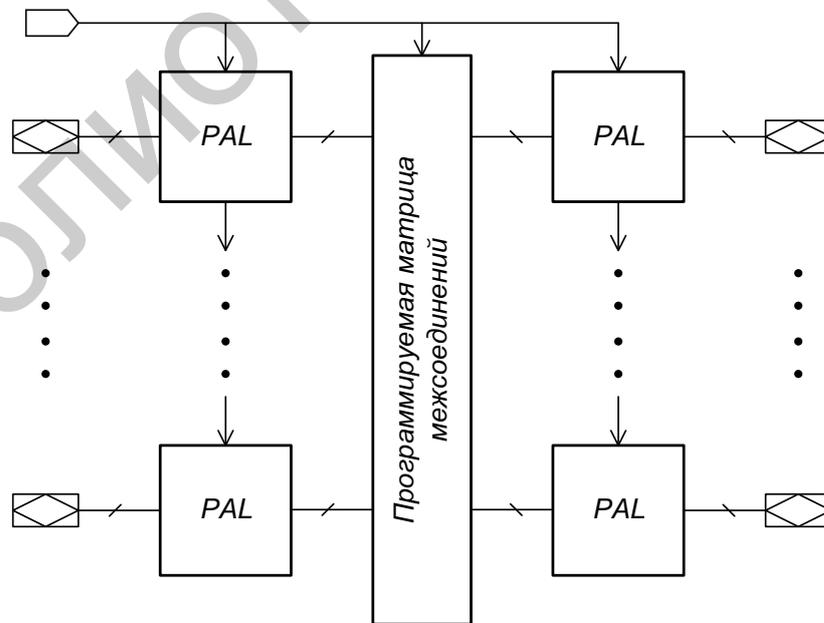


Рисунок 3.10 – Обобщенная структура CPLD

Типичная программируемая матрица межсоединений (ПМС – Programmable Interconnect Array – PIA) содержит сквозные вертикальные и горизонтальные линии связи и позволяет соединить выход любого функционального блока с любыми входами других блоков, обеспечивая их полную коммутируемость. Все связи идентичны, что дает хорошую предсказуемость задержек сигналов в связях – важное достоинство, облегчающее проектирование и изготовление работоспособных схем высокого быстродействия. В самих линиях число программируемых ключей мало, но многие из ключей могут быть не задействованы и система коммутации с единой матрицей требует в целом наличия в ней большого числа ключей.

Программируемые пользователем вентиляльные матрицы (FPGA) имеют типичную структуру канального базового матричного кристалла (рисунок 3.11). В их внутренней области размещается множество регулярно расположенных идентичных конфигурируемых (настраиваемых) логических блоков (КЛБ – Configurable Logic Blok – CLB), между которыми проходят вертикальные и горизонтальные трассировочные каналы, а на периферии кристалла расположены блоки ввода-вывода (БВВ – Input/Output Blok – IOB).

В качестве логических блоков FPGA используются:

- транзисторные пары, простые логические вентили И-НЕ, ИЛИ-НЕ и т. п.
- логические модули на основе мультиплексоров;
- логические модули на основе ППЗУ.

Важными характеристиками логических блоков являются их «зернистость» и «функциональность». Первое свойство связано с тем, насколько «мелкими» будут те части, из которых можно собирать нужные схемы путем установления программируемых соединений; второе – с тем, насколько велики логические возможности логического блока. Примером наиболее мелкозернистого может служить блок, содержащий цепочки МОП-транзисторов с p - и n -каналами, между которыми имеются трассировочные каналы, в которых могут быть реализованы необходимые межсоединения элементов. Более крупнозернистые блоки содержат функционально законченные узлы с фиксированными внутренними соединениями, например блок в виде универсального логического модуля, содержащий три мультиплексора « $2 \rightarrow 1$ » и элемент ИЛИ и имеющий 8 входов. Варьируя подачу на входы блока логических переменных и констант, можно реализовать все функции двух и трех переменных, многие

функции четырех переменных и некоторые функции большого числа переменных – в совокупности 702 логические функции.

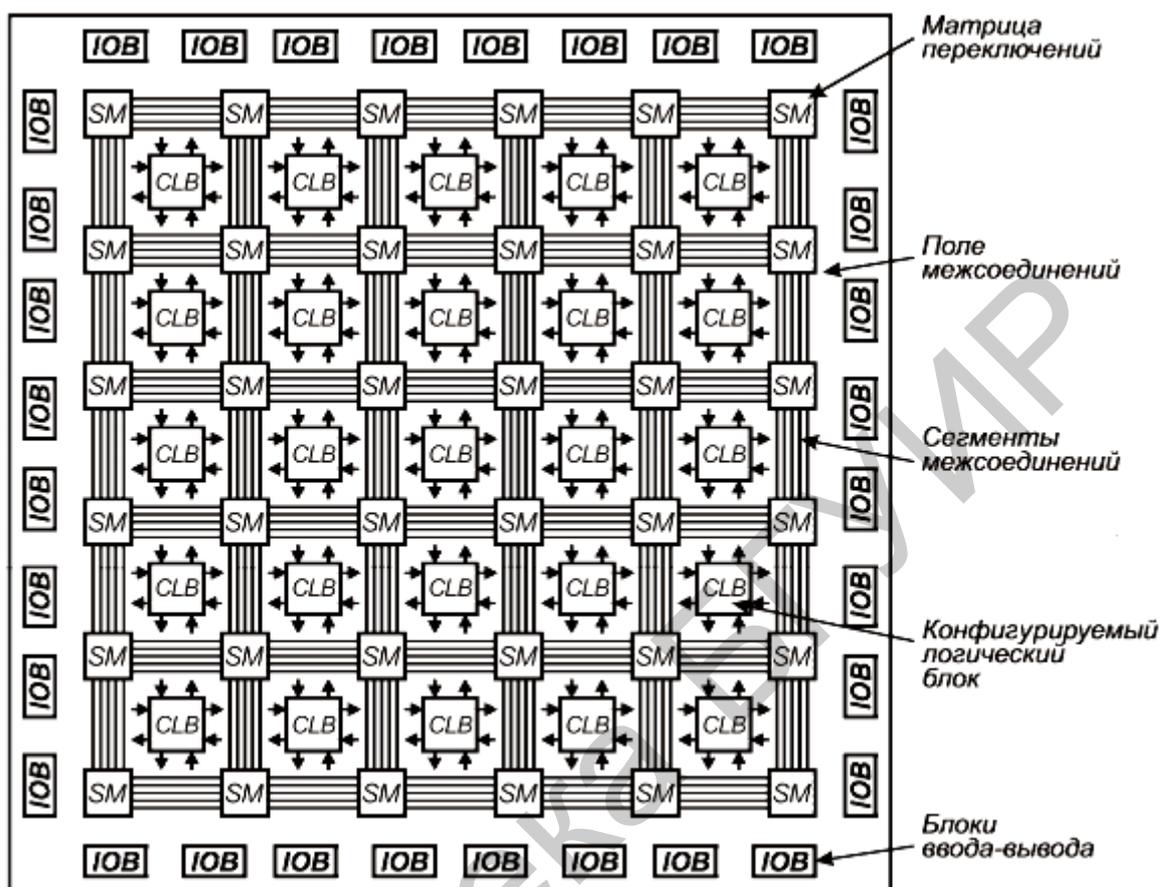


Рисунок 3.11 – Обобщенная структура FPGA

Мелкозернистость блока ведет к большей гибкости его использования, возможностям реализовать логические функции разными способами, но усложняет систему межсоединений FPGA в связи с большим числом программируемых точек связи.

Таких простых блоков может быть достаточно много, например у современных ПЛИС емкостью 1 млн вентилях и более число логических элементов достигает нескольких десятков тысяч. За счет такого большого числа логических элементов они содержат значительное число триггеров, а также некоторые семейства ПЛИС имеют встроенные реконфигурируемые модули памяти. Это делает ПЛИС данной архитектуры весьма удобным средством реализации алгоритмов цифровой обработки сигналов, основными операциями в которых яв-

ляются перемножение, умножение на константу, суммирование и задержка сигнала.

Линии соединений в FPGA обычно сегментированы, т. е. составлены из проводящих участков, не содержащих ключей, различной длины, соединяемых друг с другом программируемым элементом связи (ключом). Короткие участки затрудняют реализацию длинных связей, длинные – коротких, поэтому в FPGA применяется иерархическая система связей с несколькими типами межсоединений для организации передачи сигналов на разные расстояния. Целью создания системы является обеспечение максимальной коммутируемости логических блоков при минимальном количестве ключей и задержек сигналов, а также их предсказуемость, облегчающая проектирование быстродействующих устройств.

Стремление разработчиков объединить достоинства линии CPLD и линии FPGA привело к созданию ПЛИС смешанной (комбинированной) архитектуры. Рост уровня интеграции дал возможность размещать на кристалле схемы, сложность которых соответствует целым цифровым системам. Такие схемы именуются SOC (System On Chip) и содержат, наряду с программируемой логикой специализированные области с заранее определенными функциями и связями – аппаратные ядра, например ОЗУ, вычислительные процессоры и т. п.

Конфигурационные данные для CPLD хранятся в энергонезависимой памяти внутри ПЛИС, поэтому нет необходимости их перепрограммировать при включении. Программа для конфигурации FPGA хранится в распределенной энергозависимой оперативной памяти микросхемы, которая при выключении питания стирается, поэтому файл конфигурации хранится во внешней памяти и при включении питания загружается в память ПЛИС. Для хранения файла конфигурации используется, как правило, перепрограммируемое постоянное запоминающее устройство.

4 ИНТЕГРАЛЬНЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею с другими цифровыми устройствами.

Интегральные ЗУ характеризуются следующими основными параметрами.

Информационная емкость – максимально возможный объем хранимой информации. Выражается в битах или словах (в частности байтах), например 128 бит, 64 килобайт. Бит хранится в элементе памяти (ЭП), а слово – в ячейке памяти (ЯП), группе ЭП, к которым возможно лишь одновременное обращение при чтении или записи информации. Добавление к единице измерения информации (бит, байт, слово) приставки «К» (кило) означает умножение на $2^{10} = 1024$, а приставки «М» (мега) – умножение на $2^{20} = 1\,048\,576$.

Организация ЗУ – произведение числа хранимых слов на их разрядность, например 128К×8. Очевидно, что это дает информационную емкость ЗУ, однако указывает и на размерность ЯП.

Быстродействие ЗУ оценивается временами считывания, записи и длительностями циклов чтения/записи. *Время считывания* – интервал между моментами установки сигнала чтения на входе ЗУ и появлением хранимой информации на выходе ЗУ. *Время записи* – интервал времени между появлением на входе ЗУ сигнала записи и установлением ЯП в состояние, задаваемое входным информационным сигналом. Минимально допустимый интервал между последовательными чтениями и записями образует соответствующий цикл. Длительности циклов могут превышать время чтения или записи, так как после этих операций ЗУ может потребоваться время для восстановления необходимого начального состояния.

Помимо указанных параметров (*эксплуатационных*) для ЗУ указывают еще целый ряд временных интервалов, определяющих *режимные* параметры, обеспечение которых необходимо для нормального функционирования ЗУ. Так как ЗУ имеет несколько сигналов управления, то для них должны быть обеспечены определенные длительности и взаимное расположение во времени.

Типовой набор сигналов (входов и выходов) для ЗУ включает (рисунок 4.1):

- адрес, разрядность которого определяется числом ячеек ЗУ, т. е. максимально возможным числом хранимых слов. Адрес является номером ЯП, к ко-

торой идет обращение. Например, ЗУ с информационной емкостью 64К слов имеет 16-разрядные адреса, обозначаемые в виде двоичного числа $A_{15}A_{14} \dots A_1A_0$;

- *WR* (Write) – задает выполняемую операцию (при единичном значении – чтение, при нулевом – запись);

- *DI* (Data Input) и *DO* (Data Output) – сигналы шин входных и выходных данных, разрядность которых определяется организацией ЗУ (разрядностью его ЯП); в некоторых ЗУ эти шины объединены;

- *CS* (Chip Select) или *CE* (Chip Enable) – разрешает или запрещает работу данного ЗУ.

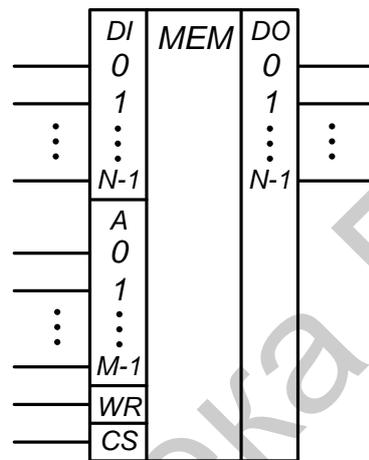


Рисунок 4.1 – Обобщенное условное графическое обозначение ЗУ

Для классификации ЗУ важнейшим признаком является способ доступа к данным. Различают *адресные ЗУ*, *ЗУ с последовательным доступом* и *ассоциативные*.

При адресном доступе код на адресном входе указывает ЯП, с которой ведется обмен. Все ячейки адресной памяти в момент обращения равнодоступны.

Адресные ЗУ делятся на *оперативные* (ОЗУ), или ЗУ с произвольной выборкой (ЗУПВ – Random Access Memory – RAM), и *постоянные* (ПЗУ – Read Only Memory – ROM).

ОЗУ хранят данные, участвующие в обмене при выполнении текущих операций, которые могут быть изменены в произвольный момент времени. Элементы памяти ОЗУ, как правило, не обладают энергонезависимостью.

В ПЗУ содержимое либо вообще не меняется, либо изменяется, но редко и в специальном режиме. Для рабочего режима это память «только для чтения».

Оперативные ЗУ делятся на *статические* (SRAM) и *динамические* (DRAM). В первом варианте в качестве ЭП используются триггеры, сохраняющие свое состояние, пока ЗУ находится под питанием и нет новой записи данных. Во втором варианте данные хранятся в виде зарядов конденсаторов, образуемых элементами МОП-структур. Паразитная утечка зарядов конденсаторов ведет к потере данных, поэтому они должны периодически (каждые несколько миллисекунд) регенерироваться, однако в силу простоты ЭП плотность их размещения на кристалле в несколько раз превышает плотность, достигаемую в статических ОЗУ. Регенерация данных в динамических ОЗУ осуществляется с помощью специальных схем – контроллеров регенерации. Разработаны также динамические ЗУ, имеющие внутреннюю встроенную систему регенерации и поведение которых относительно внешних управляющих сигналов аналогично поведению статических ЗУ. Такие ЗУ называют *квазистатическими*.

Динамические ЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью. Поскольку от этого типа памяти зачастую требуется высокое быстродействие, то разработаны многочисленные архитектуры, удовлетворяющие в той или иной мере этому требованию: FPM, EDORAM, MDRAM, SDRAM, RDRAM и др.

Статические ЗУ в 4...5 раз дороже динамических и приблизительно в столько же раз меньше их по информационной емкости (при одинаковой площади кристалла). Их достоинством является высокое быстродействие.

Постоянные ЗУ делятся на *однократно* и *многократно* программируемые (*перепрограммируемые* – ППЗУ).

Среди однократно программируемых различают *масочные* ПЗУ (ROM(M)) и ПЗУ, программируемые пользователем (ПЗУПП – PROM). Масочные ПЗУ программируются при изготовлении методами интегральной технологии с использованием масок, обеспечивающих установление требуемых соединений на кристалле. Программирование другого типа ПЗУ осуществляется путем пережигания определенных плавких перемычек (или теплового пробоя определенных *p-n*-переходов), расположенных на кристалле, за счет подачи на них напряжения, существенно превышающего номинальное напряжение питания.

Перепрограммируемые ПЗУ обеспечивают возможность многократного изменения пользователем хранимой информации. Процесс перепрограммирования включает два этапа: стирание старой информации и запись новой. В

ЭППЗУ-УФ (электрически программируемое ПЗУ с ультрафиолетовым стиранием – EPROM) стирание старой информации обеспечивается путем облучения ультрафиолетовым светом площади кристалла, что приводит к стиранию всей хранимой информации. В ЭППЗУ-ЭС (электрически стираемое ПЗУ – EEPROM) стирание производится электрическими сигналами, причем, в отличие от ЭППЗУ-УФ, может быть осуществлено только для группы ЯП (вплоть до одной). Запись новых данных осуществляется электрически. Перепрограммирование ЗУ производится обычно в лабораторных условиях с использованием специальных программаторов или за счет установления специальных режимов работы схем, иногда требующих наличия повышенного напряжения записи и (или) стирания.

Память типа *Flash* по ЭП подобна памяти типа EEPROM, но имеет структурные и технологические особенности, позволяющие выделить ее в отдельный вид. В частности, она не требует повышенных напряжений при перепрограммировании.

В ЗУ с **последовательным доступом** записываемые данные образуют некоторую очередь. В таком ЗУ ячейки образуют одномерный массив, в котором соседние ячейки связаны друг с другом цепями передачи слов. Слова становятся доступными для чтения и записи только в определенном порядке. Каждое хранящееся слово привязано не к конкретной ячейке, а к своему положению относительно других хранящихся слов. Слова могут перемещаться по ячейкам, но при этом сохраняют свою взаимную упорядоченность. Поэтому достаточно обеспечить средства для чтения только определенной ячейки. Конкретное слово считывается в тот момент, когда в процессе перемещения по памяти оно оказывается в ячейке, из которой может производиться чтение. Аналогично достаточно обеспечить средства для записи только в определенную ячейку ЗУ. В зависимости от того, как перемещаются слова в массиве памяти, ЗУ с последовательным доступом подразделяются на два основных типа:

- память типа очереди, или FIFO (First Input First Output – первым вошел, первым вышел);
- память магазинного типа или типа стек.

Память типа очереди, или FIFO. В ЗУ этого типа слова перемещаются всегда в одном направлении – от входа к выходу, т. е. становятся доступными для считывания в том порядке, в котором производилась запись.

Возможно два варианта организации памяти типа FIFO. В первом случае запись информации в ячейку в начале цепочки и считывание ее в конце осуществляются по одному тактовому импульсу, т. е. синхронно. Во втором случае информация записывается в первую свободную ячейку. Запись и чтение информации производятся асинхронно. ЗУ этого типа используются в качестве буферов с целью согласования различных скоростей информационных потоков.

Стек. В ЗУ этого типа слова считываются в порядке, обратном порядку записи, т. е. по правилу LIFO (Last Input First Output – последним вошел, первым вышел). Стек можно представить в виде вертикально расположенного массива ячеек. Доступ осуществляется всегда к верхней ячейке, которая называется вершиной стека. При записи в вершину стека все слова сдвигаются вниз на одну ячейку, а содержимое нижней ячейки теряется, т. е. стек опускается и происходит операция вталкивания в стек (PUSH). При чтении из вершины стека происходит обратное действие, т. е. стек поднимается и происходит операция выталкивания из стека.

Ассоциативный доступ реализует поиск информации в ЗУ по некоторому признаку, а не по ее расположению в памяти (адресу или месту в очереди). В наиболее полной версии реализации доступа все хранимые в памяти слова проверяются на соответствие определенному признаку, например на совпадение отдельных элементов слов с признаком, определяемым входным словом. На выход подаются слова (или группы слов, связанных с обнаруженным), удовлетворяющие признаку.

5 АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Аналого-цифровой преобразователь (АЦП) представляет собой устройство для преобразования входного напряжения в соответствующий ему цифровой код. В простейшем случае АЦП имеет два входа (преобразуемого аналогового сигнала U_A и сигнала тактовой частоты преобразования (рисунок 5.1)) и N выходов (определяется разрядностью АЦП), на которые выводится цифровой код преобразования в параллельном виде.

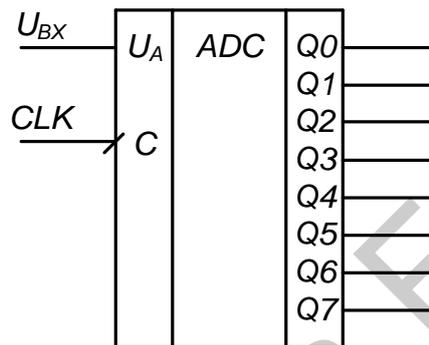


Рисунок 5.1 – Условное графическое обозначение АЦП

С теоретической точки зрения при аналого-цифровом преобразовании выполняются следующие операции:

1 Дискретизация – представление непрерывного (аналогового) сигнала в виде дискретных отсчетов. Осуществляется на основе теоремы Котельникова – Найквиста: непрерывный по времени сигнал с ограниченным высшей частотой F_B спектром (полоса $0 \dots F_B$) может быть восстановлен по последовательности его импульсных отсчетов (выборок), величина которых равна или пропорциональна мгновенным значениям сигнала в соответствующие моменты времени, причем частота следования отсчетов (дискретизации) f_D должна удовлетворять требованию

$$f_D \geq 2F_B. \quad (5.1)$$

Следовательно, на входе АЦП должен быть установлен фильтр нижних частот (ФНЧ) с частотой среза f_{cp} , равной F_B .

2 Квантование – округление текущего значения сигнала до ближайшего разрешенного уровня (уровня квантования). Придание величинам отсчетов «округленных» (квантованных) значений делает сигнал дискретным и по уровням. Величина округления – ошибка квантования Δ_{KB} – есть разность между передаваемой квантованной величиной и истинным значением аналогового сигнала в момент дискретизации.

3 Кодирование – представление номера уровня квантования, соответствующего текущему значению сигнала, в виде N -разрядного двоичного кода.

Каждая из этих операций с технической точки зрения характеризуется рядом основных параметров АЦП: по входу C – максимальной частотой дискретизации (количество выборок в секунду); по входу U_A – динамическим диапазоном входного сигнала, соответствующим полной шкале преобразования, и полосой пропускания. Разрядность выходного двоичного кода определяет (в отсутствие искажений) отношение сигнал/шум квантования АЦП.

Качество аналого-цифрового преобразования может быть описано рядом статических и динамических характеристик и параметров.

5.1 Статические и динамические параметры АЦП

Наиболее общей характеристикой, описывающей свойства аналого-цифрового преобразования, является статическая передаточная характеристика (СПХ) АЦП. На рисунке 5.2 представлена идеальная функция передачи однополярного трехразрядного АЦП. Входной аналоговый сигнал АЦП не квантован, но его выходной сигнал является результатом квантования. Поэтому характеристика передачи состоит из восьми горизонтальных прямых (при рассмотрении смещения, усиления и линейности АЦП рассматривается линия, соединяющая средние точки этих отрезков).

Переходы АЦП (идеальные) имеют место, начиная с величины выше нуля в половину веса младшего значащего разряда (МЗР) и далее через каждый вес МЗР до величины на полтора веса МЗР ниже максимального входного напряжения, соответствующего полной шкале преобразования. Так как входной аналоговый сигнал АЦП может иметь любое значение, а выходной цифровой сигнал квантуется, то может существовать различие до половины веса МЗР между

реальным значением входного аналогового сигнала и точным значением выходного цифрового сигнала. Этот эффект известен как ошибка (погрешность) или неопределенность квантования. При квантовании сигналов переменного тока эта ошибка квантования вызывает явление, называемое шумом квантования.

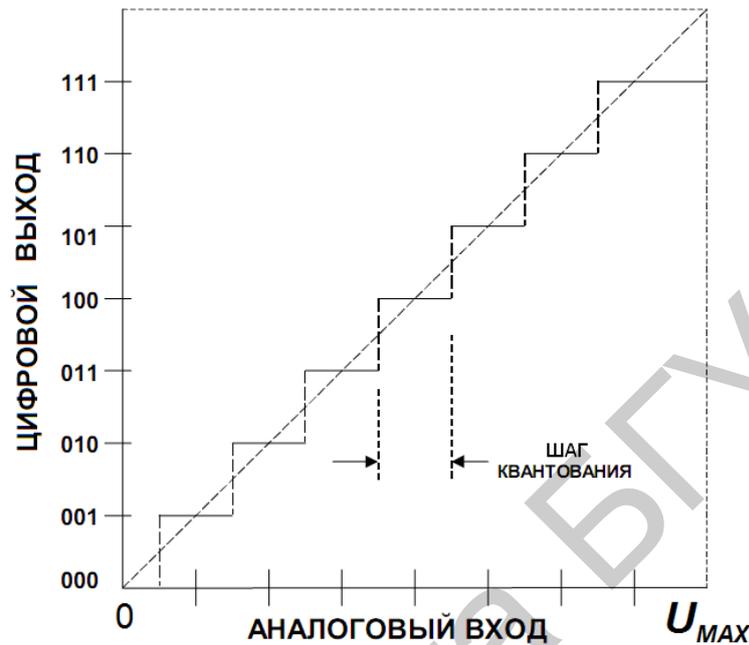


Рисунок 5.2 – Статическая передаточная характеристика идеального однополярного трехразрядного АЦП

В АЦП различают четыре типа погрешностей по постоянному току: смещения, усиления и два типа погрешностей, связанных с линейностью.

Погрешности смещения и усиления АЦП аналогичны погрешностям смещения и усиления в усилителях. На рисунке 5.3 показано влияние этих погрешностей на поведение статической передаточной характеристики в биполярных преобразователях.

Погрешность смещения нуля – это отличие значения выходного числового кода от идеального значения при нулевом аналоговом сигнале. Погрешность усиления – это величина отклонения крутизны реальной СПХ от идеального значения.

Интегральная нелинейность АЦП как параметр аналогична нелинейности усилителя и определяется как максимальное отклонение фактической передаточной характеристики преобразователя от прямой линии.

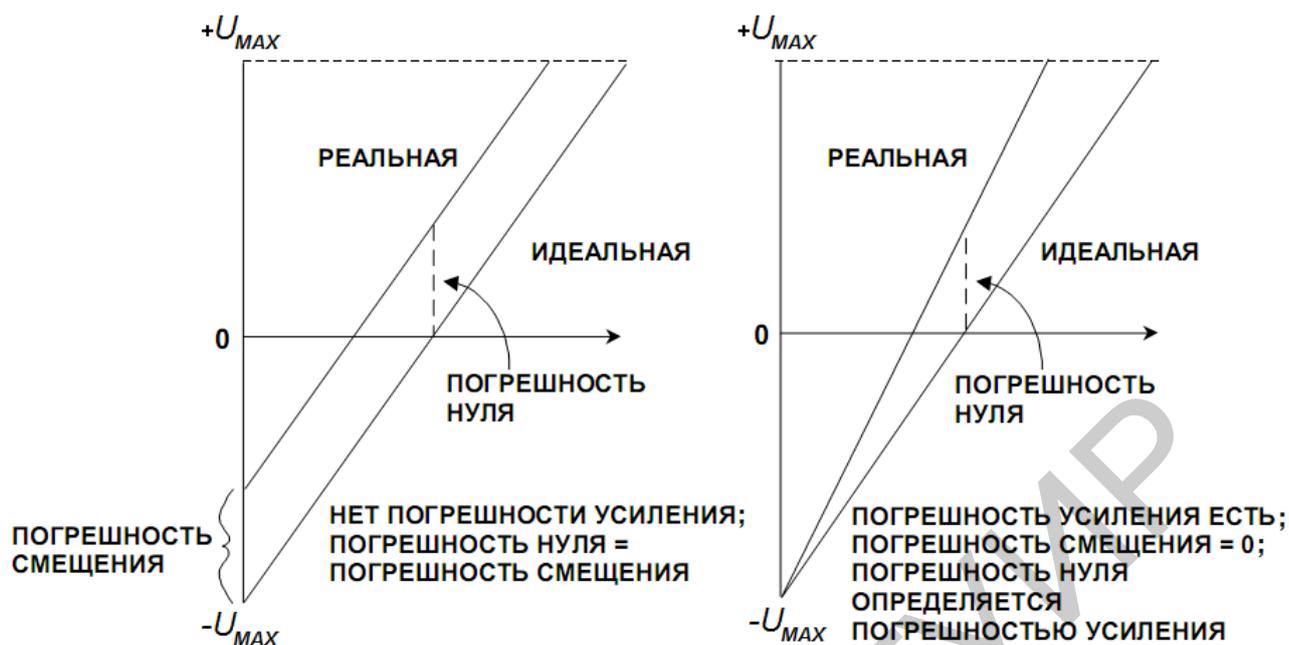


Рисунок 5.3 – Погрешность смещения нуля преобразователя и погрешность усиления

Другой тип нелинейности преобразователей – дифференциальная нелинейность (DNL). Она связана с непостоянством шага квантования в реальных АЦП.

Квантование любого аналогового сигнала, поступающего на вход даже идеального N -разрядного АЦП, генерирует шум квантования. Среднеквадратичное значение шума, измеренное по ширине полосы Найквиста от постоянного тока до $f_{д}/2$, приблизительно равно весу наименьшего значащего разряда q , деленному на $\sqrt{12}$. При этом предполагается, что амплитуда сигнала составляет по крайней мере несколько младших разрядов, так что выход АЦП изменяет свое состояние почти при каждом отсчете. Сигнал ошибки квантования от входного линейного пилообразного сигнала аппроксимируется сигналом пилообразной формы с максимальным размахом q , и его среднеквадратичное значение равно $q/\sqrt{12}$ (рисунок 5.4).



Рисунок 5.4 – Шум квантования идеального N -разрядного АЦП

Отношение среднеквадратичного значения синусоидального сигнала, соответствующего полной шкале, к среднеквадратичному значению шума квантования (выражено в децибелах) равно

$$\text{ОСШ} = 6,02N + 1,76 \text{ дБ}, \quad (5.2)$$

где N – число разрядов в идеальном АЦП.

Это уравнение имеет силу только в том случае, если шум измерен на полной ширине полосы Найквиста от 0 до $f_D/2$. Если верхняя граничная частота спектра сигнала F_B меньше чем $f_D/2$, то значение отношения сигнал/шум (ОСШ), измеренное в пределах ширины полосы сигнала, возрастет вследствие уменьшения энергии шума квантования в пределах ширины этой полосы. Для этого условия правильным будет следующее выражение:

$$\text{ОСШ} = 6,02N + 1,76 + 10 \lg \left(\frac{f_D}{2F_B} \right). \quad (5.3)$$

Уравнение (5.3) отражает состояние, именуемое избыточной дискретизацией, при котором частота дискретизации выше, чем удвоенная ширина полосы

сигнала. Корректирующую величину часто называют запасом по дискретизации. Обратите внимание, что для данной ширины полосы сигнала удвоение частоты дискретизации увеличивает отношение сигнал/шум на 3 дБ.

Хотя среднеквадратичное значение шума довольно точно приближается к $q/\sqrt{12}$, его частотная область может сильно коррелировать с входным аналоговым сигналом. Например, корреляция будет больше для периодического сигнала малой амплитуды, чем для случайного сигнала большой амплитуды.

В реальных АЦП искажение и шум возникают не только за счет собственно квантователя и его неидеальности с точки зрения поведения СПХ. Свои искажения и шумы вносят также входной широкополосный аналоговый буфер, устройство выборки и хранения (УВХ).

Динамические свойства аналогового тракта АЦП характеризуются достаточно значительным количеством параметров, среди которых можно выделить следующие основные:

- отношение сигнал/шум и искажения (*SINAD*);
- эффективное количество разрядов (*ENOB*);
- отношение сигнал/шум (*SNR*);
- аналоговая полоса пропускания.

Сигнал/шум/искажения (*SINAD*) – это отношение среднеквадратичного значения амплитуды сигнала к среднему значению корня из суммы квадратов всех других спектральных компонентов, включая гармоники, но исключая постоянную составляющую. *SINAD* является хорошим индикатором общих динамических характеристик АЦП, таких как функция входной частоты, потому что включает все компоненты, которые создают шум (включая тепловой шум) и искажения. Он часто представляется в виде графика для различных амплитуд входного сигнала.

SINAD часто преобразуется в эффективное число разрядов (*ENOB*) при помощи выражения для теоретического отношения сигнал/шум (5.2) идеально-го *N*-разрядного АЦП. Уравнение решается для *N*, и значение отношения сигнал/шум заменяется на *SINAD*:

$$ENOB = \frac{SINAD - 1,76 \text{ дБ}}{6,02}. \quad (5.4)$$

Отношение сигнал/шум (SNR) рассчитывается так же, как и $SINAD$, за исключением того, что из выражения исключены гармоники сигнала и оставлены только шумовые составляющие. Практически, необходимо исключить только первые пять доминирующих гармоник. Показатель сигнал/шум будет ухудшаться на высоких частотах, но не так быстро, как $SINAD$, так как из него исключены компоненты гармоник.

Ширина аналоговой полосы пропускания – это та частота, на которой коэффициент передачи аналогового тракта АЦП уменьшается на 3 дБ по сравнению с коэффициентом передачи на нулевой частоте. Она может быть определена как для малого сигнала (полоса пропускания малого сигнала $SSBW$), так и для сигнала с динамическим диапазоном, соответствующим полной шкале преобразования (полоса пропускания максимального сигнала $FPBW$). Как и для усилителя, ширина аналоговой полосы пропускания преобразователя не предполагает, что АЦП поддерживает хорошие характеристики гармонических искажений во всей полосе частот. В действительности $SINAD$ (или $ENOB$) большинства АЦП начинает ухудшаться значительно раньше, чем частота входного сигнала приблизится к значению, соответствующему ослаблению на 3 дБ.

Наиболее популярные АЦП для приложений цифровой обработки сигналов базируются на пяти основных архитектурах: последовательного счета, последовательного приближения, параллельной обработки, конвейерной обработки и сигма-дельта АЦП.

5.2 АЦП последовательного счета

В последовательных АЦП входное напряжение последовательно уравнивается набором (суммой) эталонов, значения которых кратны шагу квантования. Разновидностью таких преобразователей является АЦП последовательного счета. Его работа основана на подсчете числа суммирований шага квантования, необходимого для получения значения входного напряжения. Схема АЦП последовательного счета показана на рисунке 5.5. Она состоит из устройства выборки-хранения (УВХ), схемы управления и тактирования (СУТ), N -разрядного реверсивного счетчика, компаратора, N -разрядного цифроаналогового преобразователя (ЦАП – DAC), включенного в цепи обратной связи, и выходного регистра хранения.

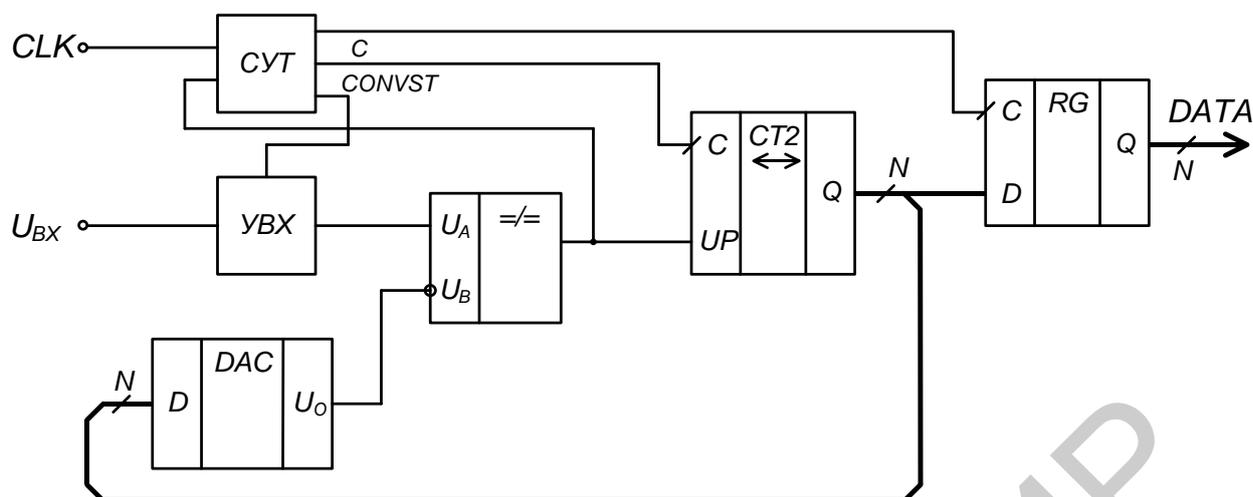


Рисунок 5.5 – Структура АЦП последовательного счета

После подачи на вход АЦП тактового импульса CLK частоты дискретизации схема управления и тактирования формирует сигнал $CONVST$ разрешения начала преобразования, подаваемый на вход управления устройства выборки-хранения. УВХ осуществляет запоминание текущего значения входного аналогового сигнала U_{BX} в момент стробирования сигналом $CONVST$. С помощью компаратора сравниваются выборка входного напряжения U_{BX} и выходное напряжение ЦАП U_o . Если $U_{BX} \geq U_o$, то на выходе компаратора единичный уровень и счетчик работает в режиме суммирования тактовых импульсов C , вырабатываемых генератором СУТ. Код на выходе счетчика увеличивается, и напряжение U_o стремится к U_{BX} . Когда они сравниваются, сигнал на выходе компаратора устанавливается в «0», переход уровня отслеживается схемой управления и тактирования, при этом работа генератора СУТ прерывается и обеспечивается запись N -разрядного выходного кода счетчика в регистр хранения. Этот код и будет представлять входное напряжение АЦП для данного такта дискретизации. Если $U_{BX} < U_o$, то счетчик работает в вычитающем режиме. Таким образом, напряжение U_o , а следовательно, и выходной код отслеживают выходное напряжение U_{BX} .

Схема АЦП, показанного на рисунке 5.5, достаточно проста. Нелинейность преобразования определяется исключительно нелинейностью ЦАП. Но при резких скачках входного напряжения процесс отслеживания может занять до 2^N тактов (периодов импульсов C), поэтому частота выходного сигнала

внутреннего тактового генератора должна в 2^N раз превышать максимальную частоту дискретизации АЦП.

5.3 АЦП последовательного приближения

АЦП последовательного приближения много лет были главным инструментом преобразования сигнала. Недавние усовершенствования разработчиков расширили диапазон частот дискретизации этих АЦП до мегагерц. Основные элементы АЦП последовательного приближения представлены на рисунке 5.6. Этот АЦП выполняет преобразования в командном режиме. После подачи на вход АЦП тактового импульса CLK частоты дискретизации схема управления и тактирования (СУТ) формирует сигнал $CONVST$ разрешения начала преобразования, подаваемый на вход управления устройства выборки-хранения (УВХ) и вход INS установки регистра последовательного приближения (РПП – SAR). УВХ устанавливается в режим хранения выборки входного аналогового сигнала U_{BX} , а все разряды РПП сбрасываются в «0», кроме старшего значащего разряда, который устанавливается в «1». Выходной сигнал регистра последовательного приближения подается на внутренний цифроаналоговый преобразователь.

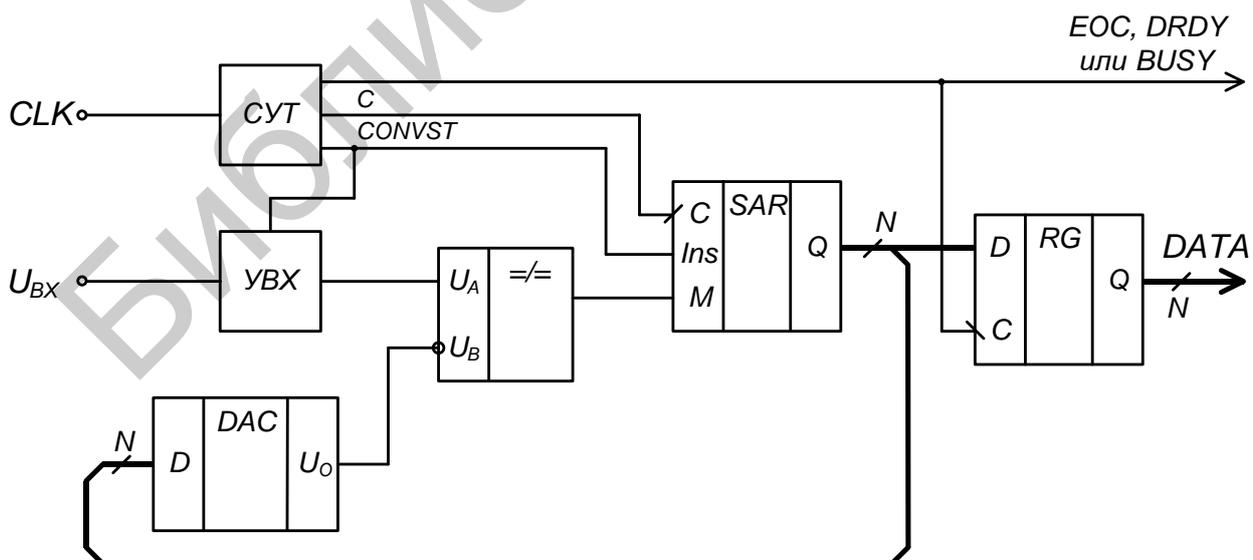


Рисунок 5.6 – Структура АЦП последовательного приближения

Если выходной сигнал ЦАП больше, чем выборка входного аналогового сигнала, то по такту C , формируемому внутренним генератором СУТ, старший разряд РПП сбрасывается, в противном случае он остается установленным. Затем следующий значащий разряд устанавливается в «1». Описанный процесс поочередно повторяется для каждого разряда выходного кода РПП. Когда все разряды будут установлены в «0» или в «1», содержимое регистра последовательного приближения придет в соответствие со значением аналогового входного сигнала и преобразование завершится. Если рассматриваемый АЦП имеет выход в виде последовательного порта, то последовательно формируемые на каждом такте C значения текущего разряда можно непосредственно передавать на выход. Окончание преобразования индицируется сигналом end-of-convert (EOC) ($data-ready (DRDY)$ или $BUSY$). Полярность и наименование этого сигнала могут отличаться для различных АЦП последовательного приближения, но основная концепция сохраняется. В начале интервала преобразования логический уровень сигнала индикации высокий (или низкий) и остается в этом состоянии, пока преобразование не закончено. Затем уровень сигнала становится низким (или высоким). Фронт сигнала индицирует наличие выходных данных (рисунок 5.7).

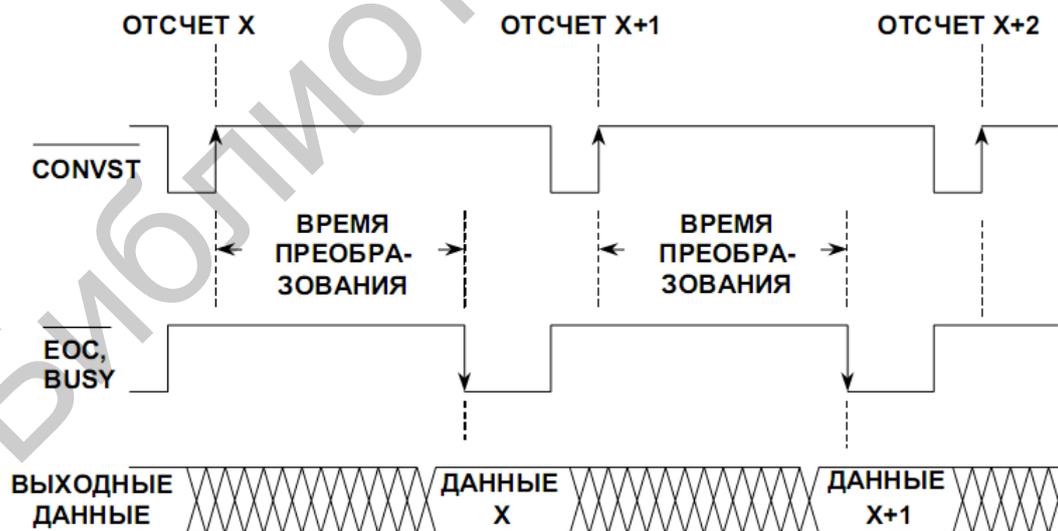


Рисунок 5.7 – Временные диаграммы работы АЦП последовательного приближения

N -разрядное преобразование осуществляется за N тактов сигнала C . На первый взгляд может показаться, что 16-разрядному преобразователю для выполнения преобразования требуется в два раза больше времени, чем восьмиразрядному, но это не так. В восьмиразрядном преобразователе перед принятием решения о значении очередного бита ЦАП должен установить на своем выходе сигнал с точностью, соответствующей восьми разрядам, в то время как ЦАП 16-разрядного преобразователя должен установить сигнал на своем выходе с точностью, соответствующей 16 разрядам, что занимает значительно больше времени. На практике восьмиразрядный АЦП последовательного приближения может затрачивать на преобразование несколько сотен наносекунд, в то время как 16-разрядному АЦП требуется несколько микросекунд.

Общая точность и линейность АЦП последовательного приближения определяется, прежде всего, внутренним ЦАП. До недавнего времени в большинстве прецизионных АЦП последовательного приближения для достижения желательной точности и линейности использовалась тонкопленочная лазерная подгонка. Процесс подстройки тонкопленочного резистора увеличивает стоимость устройства, а значение сопротивления данного резистора может измениться при механическом воздействии на корпус микросхемы. По этим причинам в более новых АЦП последовательного приближения стали популярными ЦАП с коммутируемыми конденсаторами. Преимущество таких ЦАП состоит в том, что их точность и линейность определяются прежде всего качеством фотолитографии, которое, в свою очередь, зависит от площади конденсаторных пластин, емкости и соотношения емкостей конденсаторов. Кроме того, для достижения высокой точности и линейности конденсаторы малой емкости могут подключаться параллельно основным конденсаторам или отключаться от них в соответствии с алгоритмом автокалибровки без необходимости применения тонкопленочной лазерной подстройки.

Необходимо также отметить, что некоторые АЦП последовательного приближения дополнительно к сигналу CLK требуют подачи внешнего высокочастотного сигнала тактирования РПП. Частота этого внешнего синхросигнала, если он требуется, находится в диапазоне от 1 до 30 МГц в зависимости от времени преобразования и разрешающей способности АЦП. Благодаря своей архитектуре АЦП последовательного приближения допускают любую частоту преобразования – от 0 до максимального быстродействия преобразователя.

компараторов выше этой точки опорное напряжение больше входного, и их логический выход установлен в «0». Выходные сигналы компараторов преобразуются приоритетным шифратором в N -разрядный двоичный код.

Входной сигнал подается на все компараторы сразу, поэтому выход АЦП имеет задержку по отношению к входному тактовому сигналу, равную задержке только одного компаратора и N -разрядного шифратора. Это соответствует задержке нескольких логических элементов, так что процесс преобразования осуществляется очень быстро. Но такая архитектура предполагает использование большого числа резисторов и компараторов, имеет ограничение по максимальной разрешающей способности и, чтобы обеспечить высокое быстродействие, каждый компаратор должен иметь довольно высокий уровень потребления энергии. Следовательно, к проблемам параллельных АЦП относятся ограниченная разрешающая способность, высокий уровень рассеивания энергии вследствие большого количества высокоскоростных компараторов (особенно на частотах дискретизации, больших чем 50 МГц) и относительно большие размеры кристалла (и потому – высокая стоимость). Кроме того, для питания быстрых компараторов необходимым током смещения цепочка опорных резисторов должна иметь низкое сопротивление, чтобы этот источник давал весьма большие токи (> 10 мА).

На практике реализуются преобразователи до 10 разрядов, но обычно параллельные АЦП имеют разрешающую способность, соответствующую восьми разрядам. Их максимальная частота дискретизации может достигать 1 ГГц при ширине полосы пропускания максимального сигнала более 300 МГц.

5.5 Конвейерный АЦП

Хотя реализация параллельных АЦП с высоким разрешением (большим чем 10 разрядов) вызывает большие затруднения (большое количество компараторов, высокая точность изготовления резисторов цепи смещения), такие АЦП часто используются в качестве подсистем конвейерных (subranging) АЦП (иногда называемых полупараллельными (half-flash)), которые обладают значительно более высокой разрешающей способностью (до 16 разрядов).

Структура восьмиразрядного конвейерного АЦП на основе двух параллельных четырехразрядных АЦП показана на рисунке 5.9. Процесс преобразо-

вания осуществляется в два этапа. Первые четыре старших разряда получаются в результате «грубой» оцифровки входного аналогового сигнала первым параллельным АЦП, и двоичный выходной четырехразрядный код подается на четырехразрядный ЦАП. Выходной сигнал с ЦАП вычитается из сохраненного аналогового входного сигнала, и результат вычитания (остаток) усиливается и подается на второй параллельный АЦП. Затем выходные сигналы двух четырехразрядных параллельных преобразователей объединяются в один восьмиразрядный выходной код. Если динамический диапазон остаточного сигнала не точно заполняет динамический диапазон второго параллельного преобразователя, возникает нелинейность и, возможно, потеря кода.

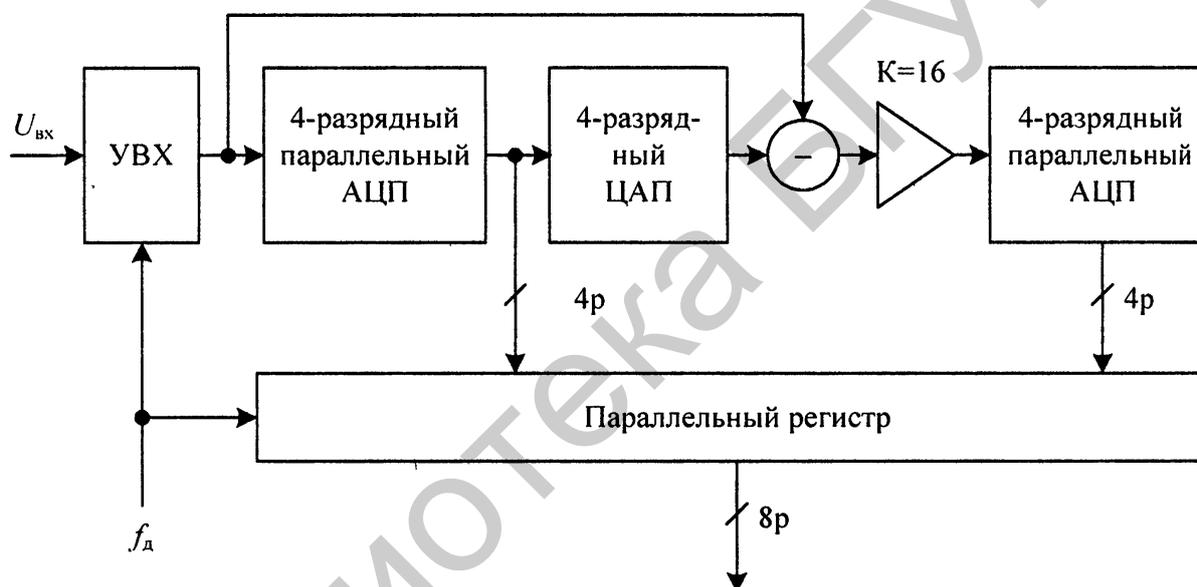


Рисунок 5.9 – Структура восьмиразрядного конвейерного АЦП

Для обеспечения возможности использования в разных сегментах схемы однотипных параллельных АЦП (с одинаковым динамическим диапазоном) сигнал разности усиливается в 16 раз.

Выигрыш схемной реализации конвейерного АЦП, по сравнению с параллельным с тем же числом разрядов, определяется, в частности, снижением количества компараторов в схеме: восьмиразрядный параллельный АЦП для реализации требует 255 компараторов, а два четырехразрядных – только 30.

6 ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Цифроаналоговый преобразователь (ЦАП) представляет собой устройство для преобразования числового двоичного кода в соответствующее ему выходное напряжение. В простейшем случае ЦАП имеет (определяется разрядностью ЦАП) N цифровых входов и один выход формируемого аналогового сигнала U_A (рисунок 6.1).

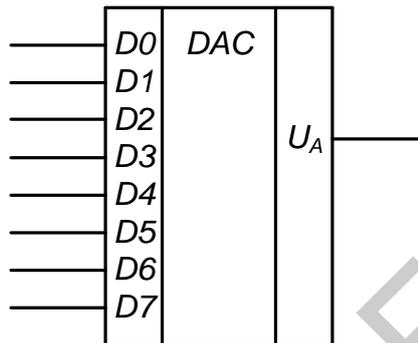


Рисунок 6.1 – Условное графическое обозначение ЦАП

6.1 Статические и динамические параметры ЦАП

Наиболее общей характеристикой, описывающей свойства цифроаналогового преобразования, является статическая передаточная характеристика ЦАП. На рисунке 6.2 представлена идеальная функция передачи однополярного трехразрядного ЦАП. В ЦАП входной и выходной сигналы квантованы и график содержит восемь точек. Независимо от способа аппроксимации этой функции, важно помнить, что реальной характеристикой передачи является не линия, а множество дискретных точек.

СПХ цифроаналогового преобразователя имеет такие же погрешности, что были рассмотрены для АЦП: смещение, усиление, интегральная и дифференциальная нелинейности. Определяются они аналогично соответствующим параметрам АЦП.

А динамические погрешности ЦАП существенно отличаются от погрешностей АЦП этого вида. Для цифроаналогового преобразователя наиболее важными являются такие характеристики сигнала, как время установки (setting

time), величина выброса выходного сигнала вследствие перерегулирования при изменении сигнала на выходе ЦАП.

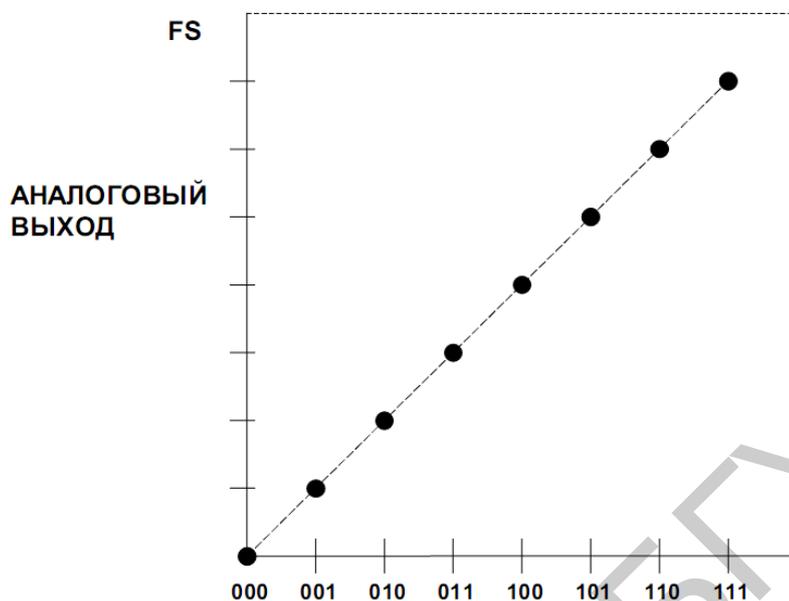


Рисунок 6.2 – Статическая передаточная характеристика идеального однополярного трехразрядного ЦАП

Время установки ЦАП – это время от начала изменения цифрового кода до момента, когда сигнал стабилизируется в пределах некоторого диапазона ошибки, как это показано на рисунке 6.3.

Время установки ЦАП состоит из четырех различных интервалов: время переключения (в течение которого цифровое переключение осуществлено, но на выходе нет изменений), время перехода (в течение которого скорость изменения выходного сигнала ограничена скоростью нарастания на выходе ЦАП), время восстановления (когда ЦАП восстанавливает значение после быстрого перехода и может быть выброс на фронте) и линейное время установки (когда значение на выходе ЦАП приближается к его конечной величине экспоненциально или почти экспоненциально). Если время перехода мало по сравнению с тремя другими (как это обычно бывает в случае с токовыми выходами ЦАП), то время установки не будет существенно зависеть от перепада уровня выходного сигнала. С другой стороны, если время перехода занимает существенную часть общего времени, то время установки будет тем больше, чем больше величина перепада.

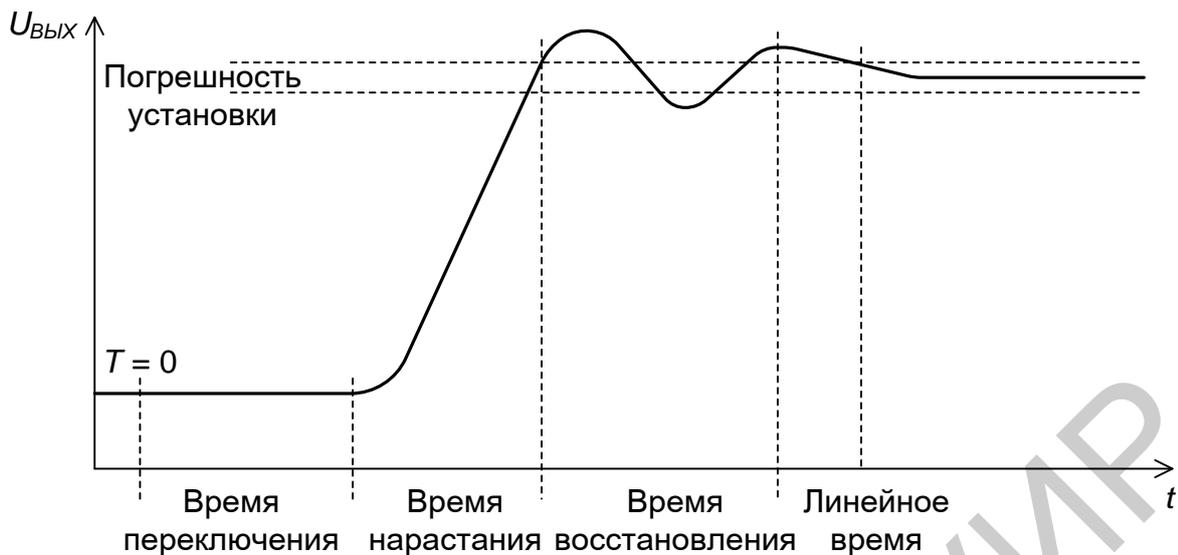


Рисунок 6.3 – Время установки ЦАП

В идеале изменения на выходе ЦАП от одной величины до другой должны проходить монотонно. На практике возможно появление положительного выброса напряжения по фронту (overshoot), отрицательного выброса напряжения перед нарастающим фронтом (undershoot) или то и другое одновременно (рисунок 6.4). Это неконтролируемое состояние выхода ЦАП в течение переходного процесса смены кода. Оно может являться результатом двух явлений: емкостной связи цифровых переходов с аналоговым выходом и свойствами некоторых ключей в ЦАП, работающих более быстро, чем другие, и создающих временные выбросы по уровню.

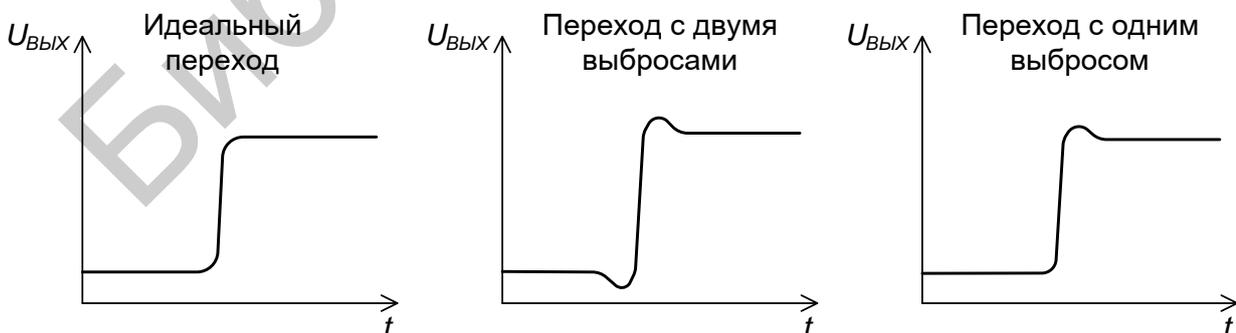


Рисунок 6.4 – Переходная характеристика ЦАП
(с паразитными выбросами)

Емкостная связь часто дает примерно равные положительные и отрицательные выбросы, которые далее в большей или меньшей степени удается компенсировать. Ложный сигнал, появляющийся вследствие несинхронности переключения, в общем случае униполярен, имеет большую амплитуду и представляет собой гораздо большую проблему.

Для оценки ложных сигналов измеряют площадь, огибаемую фронтом такого сигнала.

Если рассмотреть спектр сигнала, преобразованного в ЦАП из цифровой формы, то обнаружим, что в дополнение к ожидаемому спектру (который будет содержать одну или больше частот в зависимости от природы восстановленного сигнала) в нем также будет присутствовать шум и составляющие искажений. Искажения могут быть определены в терминах нелинейных или интермодуляционных искажений. Под нелинейными искажениями понимается отношение высших гармоник к гармонике основной частоты, на которой восстановлен чистый (теоретически) синусоидальный сигнал. Эти искажения являются наиболее общей характеристикой искажений.

Немаловажным искажением спектра выходного сигнала ЦАП является то, что ЦАП выступает в качестве естественного фильтра нижних частот с частотной характеристикой вида $\sin(x)/x$.

Выходной сигнал ЦАП представляется в виде ряда прямоугольных импульсов шириной, равной обратной величине тактовой частоты, как показано на рисунке 6.5.

Обратите внимание, что восстановленная амплитуда сигнала составляет минус 3,92 дБ на частоте Найквиста $f_d/2$. Для компенсации этого эффекта в большинстве случаев на выходе ЦАП достаточно использовать инверсный фильтр с частотной характеристикой вида $x/\sin(x)$.

6.2 Структуры ЦАП

Большинство обычно используемых структур ЦАП (отличных от простого одноразрядного ЦАП, основанного на одном коммутаторе с использованием опорного напряжения) является двоичными взвешивающими ЦАП или многозвенными схемами лестничного типа. Одна из простейших структур – делитель

Кельвина, представленный на рисунке 6.6. Структурная схема такого N -разрядного ЦАП содержит 2^N равных по величине последовательно соединенных резисторов – резистивный делитель опорного напряжения U_{REF} . Выходной сигнал снимается с соответствующего отвода резистивного делителя замыканием одного из 2^N ключей S_i после декодирования N -разрядных данных дешифратором. Современные ЦАП, использующие эту архитектуру, называются строковыми ЦАП.

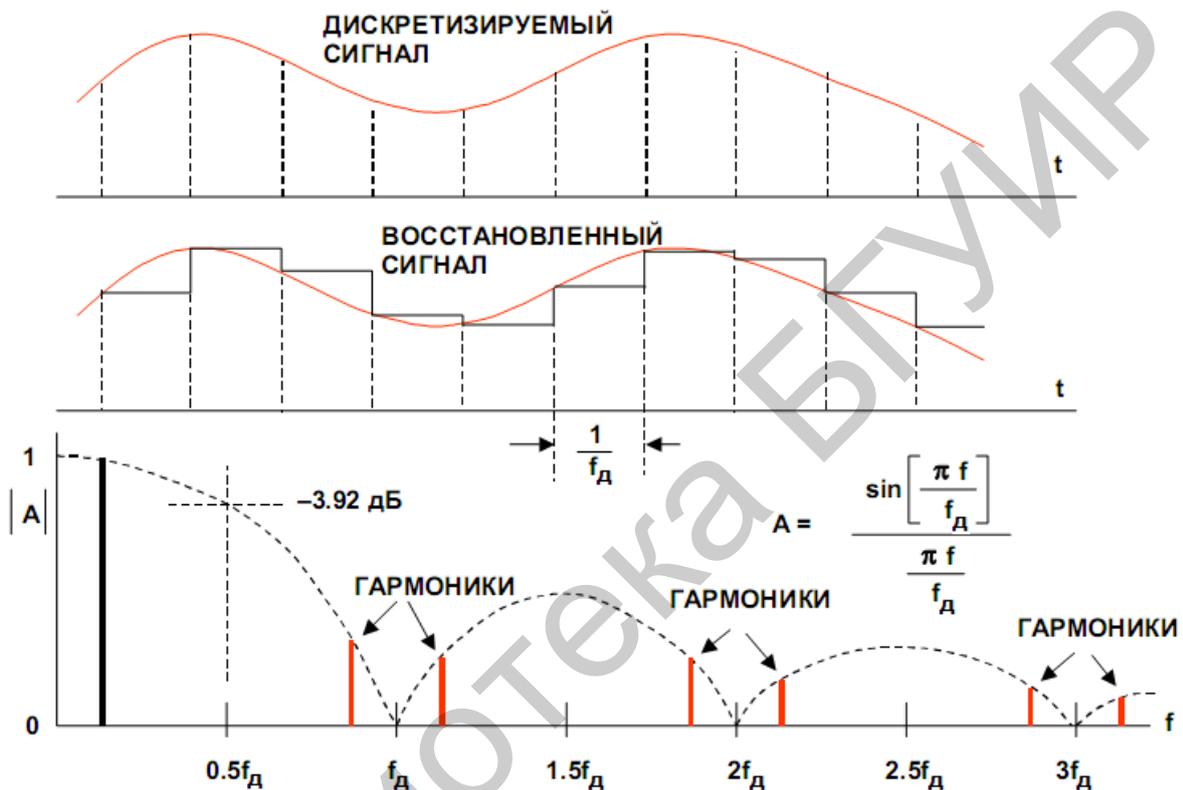


Рисунок 6.5 – Форма и спектр выходного сигнала ЦАП с огибающей вида $\sin(x)/x$

Эта архитектура проста, позволяет изменять динамический диапазон выходного сигнала, соответствующий полной шкале преобразования, путем изменения опорного напряжения U_{REF} и изначально обеспечивает монотонную передаточную характеристику. Архитектура линейна, если все резисторы равны по значению, но может быть преднамеренно сделана нелинейной, если требуется нелинейный ЦАП. Так как в момент переключения работают только два ключа, эта архитектура обладает малым ложным сигналом (выбросом).

Недостатком данной архитектуры является большое количество резисторов, требуемых для обеспечения высокой разрешающей способности, поэтому в

качестве отдельного устройства она обычно не используется, а применяется в роли компонента более сложных структур ЦАП.

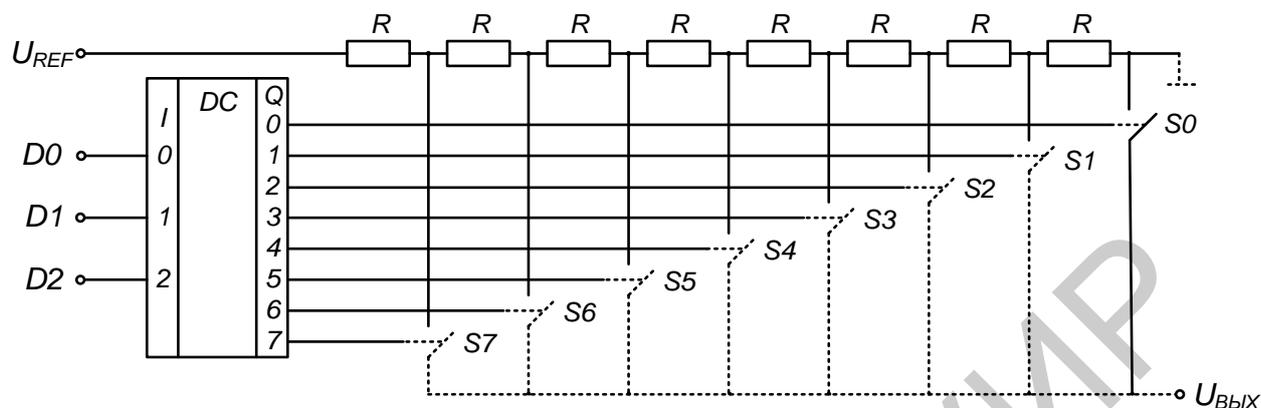


Рисунок 6.6 – Делитель Кельвина – простейший ЦАП с выходом напряжения

Существует аналогичный ЦАП с токовым выходом, который также состоит из 2^N резисторов или источников тока, но подключенных теперь параллельно между входом опорного напряжения и виртуальным заземленным выходом (рисунок 6.7). Управление ключами S_i осуществляется сигналами с выхода преобразователя прямого двоичного кода в код «число единиц» (например, входному кодовому слову $101_2 = 5_{10}$ соответствует выходной код 0011111 , содержащий 5 единиц в младших разрядах).

В данном ЦАП, как только какой-либо резистор подключается к цепи, любые дальнейшие увеличения цифрового кода уже не могут его отключить. Таким образом, структура является изначально монотонной, независимо от погрешностей резисторов, и подобно предыдущему случаю может быть сделана преднамеренно нелинейной там, где эта нелинейность требуется. Но опять же она часто используется в качестве компонента в ЦАП более сложной структуры.

Схемы ЦАП строятся с использованием как цифровых, так и аналоговых элементов (операционных усилителей, ключей, резистивных матриц и т. п.). Большинство ЦАП, выполненных в виде интегральных схем, представляют собой устройства параллельного типа. Их работа основана на суммировании токов, величины которых пропорциональны весовым коэффициентам разрядов входного кода. Среди таких структур различают ЦАП с матрицей весовых резисторов и ЦАП с матрицей $R/2R$.

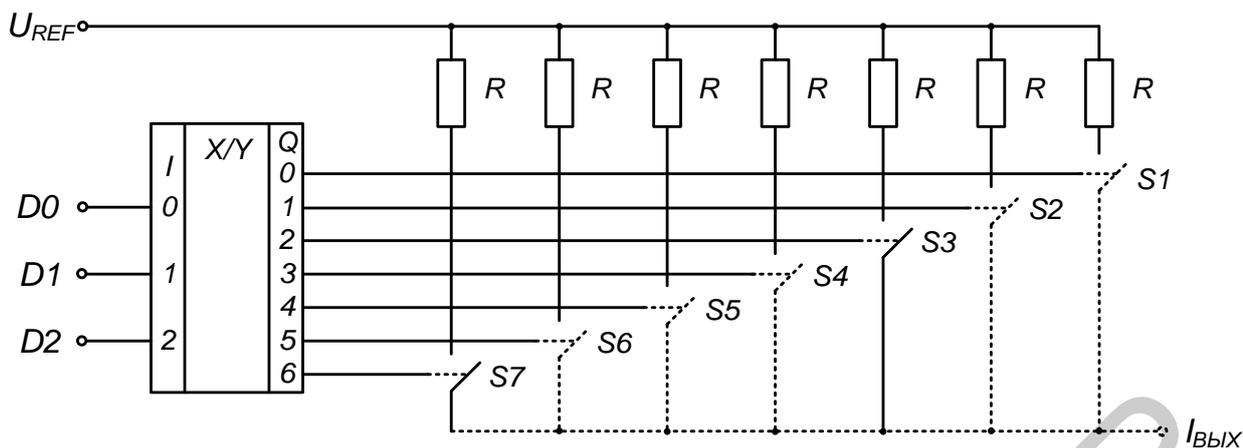


Рисунок 6.7 – Простейший ЦАП с токовым выходом

ЦАП с матрицей весовых резисторов (рисунок 6.8) включает в себя резистивную матрицу, источник опорного напряжения, операционный усилитель и переключатели S_i . Сопротивления резисторов матрицы таковы, что протекающие через резисторы токи соответствуют весовым коэффициентам разрядов двоичного числа $D = d_3d_2d_1d_0$. Положение контактов переключателей зависит от двоичных значений разрядов d_i . Если $d_i = 0$, то ток, протекающий через резистор матрицы под действием опорного напряжения U_{REF} , замыкается на общий провод.

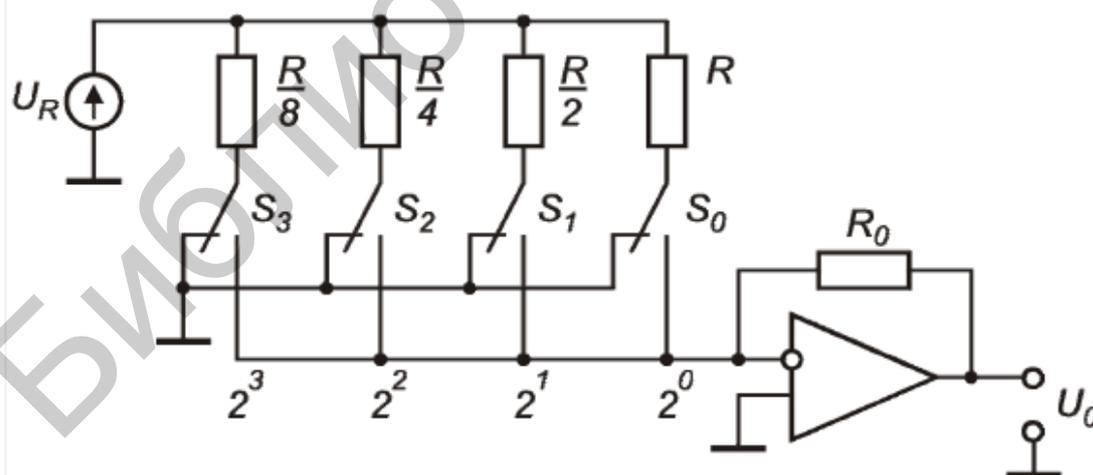


Рисунок 6.8 – Структура ЦАП с матрицей весовых резисторов

При $d_i = 1$ ток резистора через соответствующий ключ течет к схеме суммирования токов, выполненной на операционном усилителе с параллельной об-

ратной связью по напряжению. Узел суммирования имеет практически нулевой потенциал относительно общего провода, поэтому выходное напряжение можно записать следующим образом:

$$U_O = -\frac{R_O}{R} U_{REF} \cdot (2^3 \cdot d_3 + 2^2 \cdot d_2 + 2^1 \cdot d_1 + 2^0 \cdot d_0). \quad (6.1)$$

Для увеличения разрядности ЦАП необходимо добавить соответствующее количество резисторов и переключателей.

Изготовление высокоточных резисторов для матриц сопряжено с трудностями, особенно в случае многоразрядных ЦАП, например, значения сопротивлений резисторов находятся в широком диапазоне – от R до $R/2^{N-1}$, но требования к абсолютной точности установления сопротивлений одинаковы для всех резисторов. Поэтому часто используют матрицу сопротивлений типа $R/2R$ (рисунок 6.9).

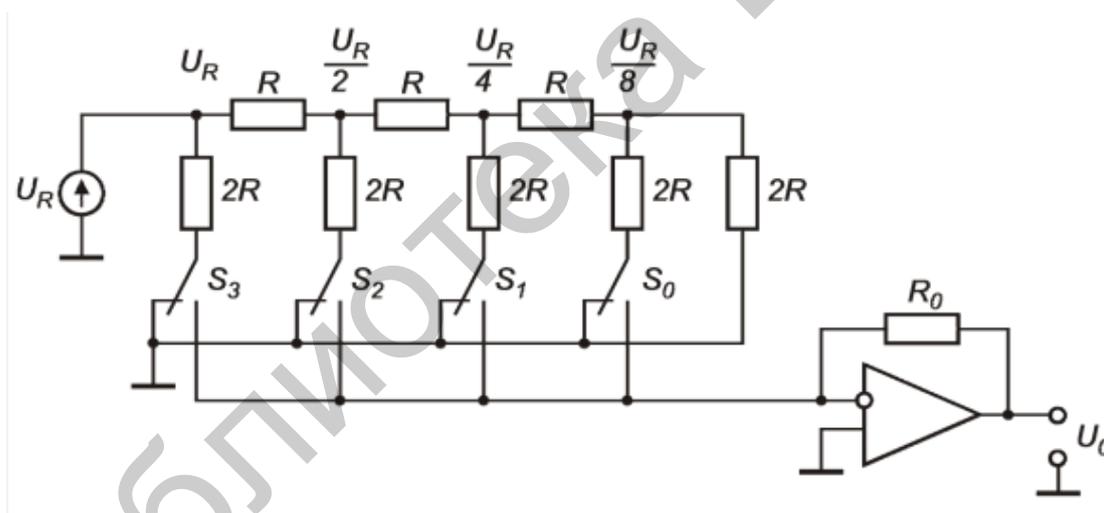


Рисунок 6.9 – Структура ЦАП с матрицей $R/2R$

Весовые коэффициенты ступеней задаются последовательным делением опорного напряжения. Коэффициент ослабления каждой ступени матрицы равен двум. Выходное напряжение ЦАП равно

$$U_O = -\frac{R_O}{16R} U_{REF} \cdot (2^3 \cdot d_3 + 2^2 \cdot d_2 + 2^1 \cdot d_1 + 2^0 \cdot d_0). \quad (6.2)$$

В качестве электронных переключателей в схемах ЦАП часто используют МОП-транзисторы. Находят применение также токовые ключи на биполярных транзисторах.

Библиотека БГУИР

ЛИТЕРАТУРА

- 1 Угрюмов, Е. П. Цифровая схемотехника : учеб. пособие / Е. П. Угрюмов. – 2-е изд., перераб. и доп. – СПб. : БХВ-Петербург, 2007. – 800 с.
- 2 Пухальский, Г. И. Цифровые устройства : учеб. пособие / Г. И. Пухальский. – СПб. : Политехника, 1996. – 885 с.
- 3 Браммер, Ю. А. Цифровые устройства : учеб. пособие / Ю. А. Браммер. – М. : Высш. шк., 2004. – 229 с.
- 4 Точи, Р. Дж. Цифровые системы: теория и практика / Р. Дж. Точи, Н. С. Уидмер ; пер. с англ. – 8-е изд. – М. : Издат. дом «Вильямс», 2004. – 1024 с.
- 5 Бойт, К. Цифровая электроника / К. Бойт. – М. : Техносфера, 2007. – 472 с.
- 6 Амосов, В. В. Схемотехника и средства проектирования цифровых устройств : учеб. пособие / В. В. Амосов. – СПб. : БХВ-Петербург, 2007. – 560 с.
- 7 Бабич, Н. П. Основы цифровой схемотехники / Н. П. Бабич, И. А. Жуков. – М. : Додэка-XXI ; Киев : МК-Пресс, 2007. – 480 с.
- 8 Соловьев, В. В. Проектирование цифровых систем на основе программируемых логических интегральных схем / В. В. Соловьев. – 2-е изд., стереотип. – М. : Горячая линия-Телеком, 2007. – 636 с.
- 9 Аналого-цифровое преобразование / под ред. У. Кестера ; пер. с англ. под. ред. Е. Б. Володина. – М. : Техносфера, 2007. – 1016 с.

СОДЕРЖАНИЕ

1 СЧЕТЧИКИ.....	3
1.1 Асинхронные счетчики.....	5
1.2 Синхронные счетчики.....	6
1.3 Кольцевые счетчики.....	15
2 ГЕНЕРАТОРЫ ПРЯМОУГОЛЬНЫХ ИМПУЛЬСОВ.....	20
2.1 Одновибраторы и формирователи импульсов.....	20
2.2 Мультивибраторы.....	22
2.3 Схемы синтеза частот.....	24
3 ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ УСТРОЙСТВ.....	27
3.1 Классификация цифровых интегральных схем.....	27
3.2 Основные параметры интегральных логических элементов.....	30
3.3 Схемотехника базового логического элемента ТТЛ.....	33
3.4 Схемотехника базовых логических элементов КМОП.....	37
3.5 Программируемые логические интегральные схемы.....	39
4 ИНТЕГРАЛЬНЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА.....	46
5 АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ.....	51
5.1 Статические и динамические параметры АЦП.....	52
5.2 АЦП последовательного счета.....	57
5.3 АЦП последовательного приближения.....	59
5.4 Параллельный АЦП.....	62
5.5 Конвейерный АЦП.....	63
6 ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ.....	65
6.1 Статические и динамические параметры ЦАП.....	65
6.2 Структуры ЦАП.....	68
ЛИТЕРАТУРА.....	74

Учебное издание

Капуро Павел Александрович

**ЦИФРОВЫЕ ФУНКЦИОНАЛЬНЫЕ УСТРОЙСТВА
В ТЕЛЕКОММУНИКАЦИЯХ**

В двух частях

Часть 2

**ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ ФУНКЦИОНАЛЬНЫХ
УСТРОЙСТВ**

УЧЕБНО-МЕТОДИЧЕСКОЕ ПОСОБИЕ

Редактор *М. А. Зайцева*

Корректор *Е. И. Герман*

Компьютерная правка, оригинал-макет *А. А. Лущикова*

Подписано в печать 23.09.2016. Формат 60×84 1/16. Бумага офсетная. Гарнитура «Таймс».
Отпечатано на ризографе. Усл. печ. л. 4,53. Уч.-изд. л. 4,2. Тираж 100 экз. Заказ 145.

Издатель и полиграфическое исполнение: учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники».

Свидетельство о государственной регистрации издателя, изготовителя,
распространителя печатных изданий №1/238 от 24.03.2014,
№2/113 от 07.04.2014, №3/615 от 07.04.2014.

ЛП №02330/264 от 14.04.2014.

220013, Минск, П. Бровки, 6