

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра радиоэлектронных средств

***АВТОМАТИЗАЦИЯ КОНСТРУКТОРСКОГО
И ТЕХНОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ РЭС***

Методическое пособие
по курсовому проектированию
для студентов специальности 1-39 02 01
«Моделирование и компьютерное проектирование РЭС»
всех форм обучения

Минск БГУИР 2011

УДК 621.396.6:658.512(076)
ББК 32.844-02я73+30.2-5-05я73
А22

А в т о р ы:

А. И. Толстая, И. Н. Цырельчук, А. П. Шокурова, В. М. Логин

Р е ц е н з е н т:

декан факультета компьютерного проектирования
учреждения образования
«Белорусский государственный университет
информатики и радиоэлектроники»
кандидат физико-математических наук, доцент С. К. Дик

А22 Автоматизация конструкторского и технологического проектирования РЭС : метод. пособие по курс. проектированию для студ. спец. 1-39 02 01 «Моделирование и компьютерное проектирование РЭС» всех форм обуч. / А. И. Толстая [и др.]. – Минск : БГУИР, 2011. – 40 с.
ISBN 978-985-488-788-3.

Пособие посвящено разработке формальных процедур решения основных задач конструкторского проектирования.

Может быть рекомендовано студентам радиоэлектронных специальностей при изучении курсов, связанных с автоматизацией проектирования РЭС и ЭВС.

УДК 621.396.6:658.512(076)
ББК 32.844-02я73+30.2-5-05я73

ISBN 978-985-488-788-3

© УО «Белорусский государственный университет информатики и радиоэлектроники», 2011

СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	4
1 ПОКРЫТИЕ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ И КОМПОНОВКА МОДУЛЕЙ МИКРОСХЕМ ПРИ ПОМОЩИ ПОСЛЕДОВАТЕЛЬНОГО АЛГОРИТМА КОМПОНОВКИ.....	6
1.1 Покрытие электрической схемы.....	6
1.2 Общее описание алгоритма.....	6
1.3 Пошаговое описание алгоритма.....	7
2 РАЗМЕЩЕНИЕ МИКРОСХЕМ НА ПЛАТЕ.....	18
2.1 Общее описание алгоритма.....	18
2.2 Пошаговая работа алгоритма.....	19
3 АЛГОРИТМЫ ТРАССИРОВКИ ПЕЧАТНОГО МОНТАЖА.....	24
3.1 Волновой алгоритм Ли.....	26
3.2 Общая блок-схема программы проведения пути с помощью волнового алгоритма Ли.....	28
4 ТРАССИРОВКА ШИН «ЗЕМЛЯ» И «ПИТАНИЕ» С ИСПОЛЬЗОВАНИЕМ АЛГОРИТМА ПОСТРОЕНИЯ КСС.....	31
4.1 Трассировка шины «земля» с помощью алгоритма Краскала.....	31
4.2 Трассировка шины «питание» с помощью алгоритма Прима.....	32
ПРИЛОЖЕНИЕ.....	35
ЛИТЕРАТУРА.....	40

ВВЕДЕНИЕ

Современные достижения науки и техники, возрастающая функциональность современных изделий требуют выполнения проектных работ большого объёма. Требования к качеству проектов, срокам их выполнения оказываются всё более жёсткими в условиях конкурентной борьбы за потребителя. Удовлетворить эти требования, количественно увеличивая проектировщиков, невозможно, так как распараллеливание проектных работ не безгранично.

Решить проблему можно, внедряя в практику инженерного проектирования методы и средства автоматизированного проектирования.

Цель автоматизации проектирования – повышение качества, снижение материальных затрат, сокращение сроков проектирования и повышение производительности труда проектировщиков.

Под автоматизацией проектирования понимается такой способ проектирования, при котором весь цикл проектных работ осуществляется рационально распределённым взаимодействием человека и ЭВМ. В настоящее время термин *автоматизация проектирования* характеризует целое научно-техническое направление, базирующееся на современных достижениях физики, математики, вычислительной техники и теории проектирования.

Предметом автоматизации проектирования являются формализация проектных процедур, структурирование и типизация процессов проектирования, постановки, модели, методы и алгоритмы, информационная поддержка решения проектных задач, а также технические средства и способы их объединения в единую проектирующую систему.

Целью преподавания дисциплины является изучение методологии автоматизированного проектирования РЭС, методов получения и анализа моделей конструкций и технологических процессов изготовления РЭС в целом и основных конструктивных модулей, а также способов построения и реализации САПР и особенностей используемых при этом технических средств и программного обеспечения, получение навыков конструирования РЭС и проектирования технологий с помощью систем автоматизированного проектирования.

В результате изучения дисциплины студенты пишут курсовую работу.

Задачи курсовой работы:

- уметь разрабатывать и анализировать математические модели различных иерархических уровней РЭС;

- знать архитектуру САПР, методы и средства формализованного описания конструктивных модулей РЭС с учётом заданных моделей технологических процессов при производстве РЭС, методы и средства автоматизированного проектирования конструкций и технологий РЭС, способы анализа и проверки конструктивных узлов;

- уметь разрабатывать формальные процедуры решения основных задач конструкторского проектирования: компоновки РЭС, размещения

электрорадиоэлементов (ЭРЭ) в монтажном пространстве, трассировки соединений, моделирования полей в конструкциях РЭС; автоматизированного выпуска технической документации;

– иметь представление о современных САПР, методах и средствах сопряжения различных подсистем между собой.

Методическое пособие является составной частью учебно-методического комплекса, разрабатываемого и издаваемого авторами по дисциплине «Автоматизация конструкторского и технологического проектирования РЭС». Материал подготовлен на основе текстов лекций, читаемых авторами, и методических разработок, используемых при проведении курсового проектирования со студентами на протяжении последних пяти лет. Использование его будет способствовать углубленному изучению, закреплению теоретических знаний и приобретению практических навыков разработки формальных процедур решения основных задач конструкторского проектирования.

Библиотека БГУИР

1 ПОКРЫТИЕ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ И КОМПОНОВКА МОДУЛЕЙ МИКРОСХЕМ ПРИ ПОМОЩИ ПОСЛЕДОВАТЕЛЬНОГО АЛГОРИТМА КОМПОНОВКИ

1.1 Покрытие электрической схемы

При переходе от функциональной схемы к электрической принципиальной необходимо решать задачи покрытия схемы. При решении этой задачи учитывается назначение модулей на схеме, вид и серии используемых микросхем.

Основными критериями покрытия схем являются:

- число типов модулей, используемых в схеме;
- число однотипных модулей, входящих в микросхему;
- число микросхем, необходимых для покрытия исходной схемы.

1.2 Общее описание алгоритма

Компоновкой электрической схемы на конструктивно законченные части называется процесс распределения элементов низшего конструктивного уровня в высший в соответствии с выбранным критерием.

В общем виде при описании алгоритма компоновки удобно использовать теорию графов. При этом электрическая схема представляется ненаправленным мультиграфом, вершинами которого являются отдельные модули, а рёбрами – связи между модулями. Тогда задача компоновки формулируется следующим образом: задан мультиграф $G(X, U)$, требуется разбить его на подграфы (микросхемы) $G_1(X_1, U_1), G_2(X_2, U_2), \dots, G_n(X_n, U_n)$ так, чтобы число рёбер, соединяющих эти подграфы, было минимальным. То есть, скомпоновать модули в микросхему таким образом, чтобы наиболее связанные модули были в одной микросхеме, а связи между микросхемами минимизировать.

В общем виде задача разбиения графа на подграфы записывается следующим образом:

$$G_i = (X_i, U_i) . \quad (1.1)$$

В каждом подграфе число вершин не должно превосходить ранее заданного ограничения на число модулей в микросхеме.

Для любого разбиения должны выполняться следующие условия:

$$\bigcup_{i=1}^n G_i = G ,$$

$$\bigcap_{i=1}^n G_i = \emptyset, \quad (1.2)$$

$$\sum_{i=1}^n X_i = |X|.$$

1.3 Пошаговое описание алгоритма

1-й шаг. Проанализировав функциональную схему, разбиваем её на отдельные узлы, содержащие однотипные модули. Причём сохраняются электрические связи между модулями данного узла. Связи к другим узлам не учитываются.

2-й шаг. Составляем граф-схему, принимая за вершину графа каждый модуль, входящий в узел.

3-й шаг. По граф-схеме составляем матрицу смежности, обнуляя ее по главной диагонали, и подсчитываем степени вершин.

4-й шаг. Формирование отдельных подграфов узла начинаем с выбора базовой вершины. Такой вершиной является вершина, имеющая максимальную степень:

$$p^*(x_i) = \max_{x_i \in X} p(x). \quad (1.3)$$

Если несколько вершин имеют одинаковую максимальную степень, то за базовую принимается вершина с максимальным числом кратных рёбер.

Если нет вершин, имеющих кратные рёбра, то за базовую принимается вершина, имеющая максимальную степень и наименьший индекс.

5-й шаг. Из множества вершин x_i выделяем подмножество вершин, связанных с базовой вершиной, т. е. находим отображение базовой вершины Γx_i .

6-й шаг. Вычисляем функционалы для всех вершин, связанных с базовой:

$$L_j = p^*(x_i) - a_{ij}, \quad (1.4)$$

где $p^*(x_i)$ – степень базовой вершины;

a_{ij} – число связей базовой вершины x_i с вершиной x_j .

7-й шаг. Выбираем вершину, имеющую минимальный функционал и связываем её с базовой. Если таких вершин несколько, то выбираем вершину с наименьшим индексом.

8-й шаг. Составляем матрицу смежности, заменяя вершины x_i и x_j одной вершиной x_{ij} (суммируя связи). Базовой вершиной считаем x_{ij} .

9-й шаг. Повторяем шаги 5, 6, 7 и 8 до тех пор, пока не будет скомпонована микросхема.

10-й шаг. Приступаем к формированию нового подграфа со 2-го шага, убрав из общего графа, сформированный подграф.

11-й шаг. Повторяем алгоритм компоновки до тех пор, пока все модули узла не будут скомпонованы в микросхеме.

Для микросхем, состоящих из одного модуля, компоновка не выполняется. Приводятся функциональный узел, граф-схема и матрица смежности.

Пример 1.1. На рисунке 1.1 приведена схема электрическая функциональная. С помощью последовательного алгоритма компоновки составить схему электрическую принципиальную.

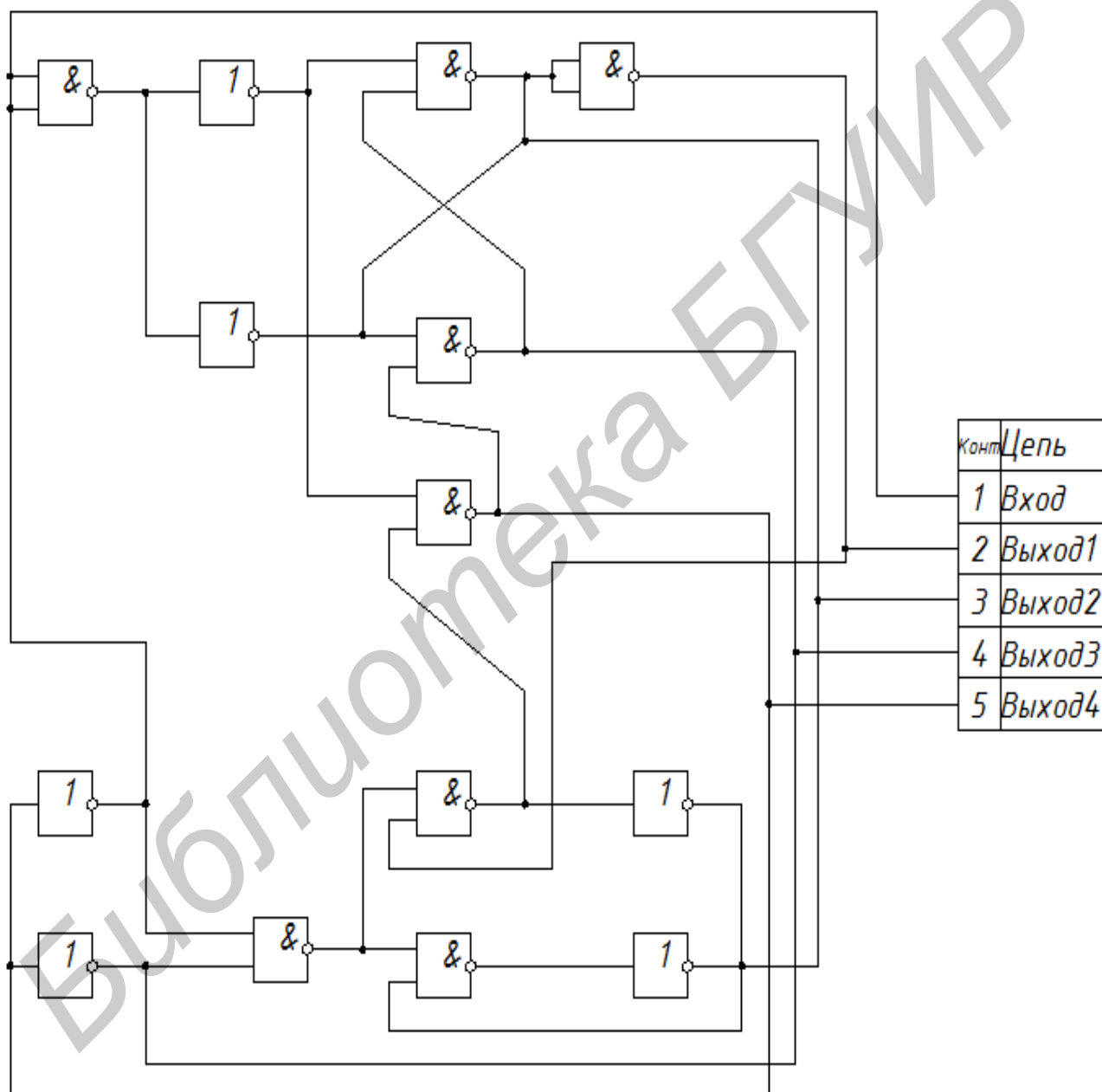
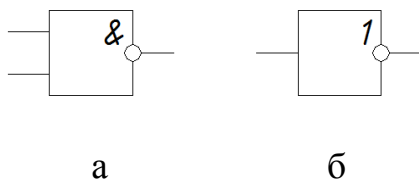


Рисунок 1.1 – Схема электрическая функциональная

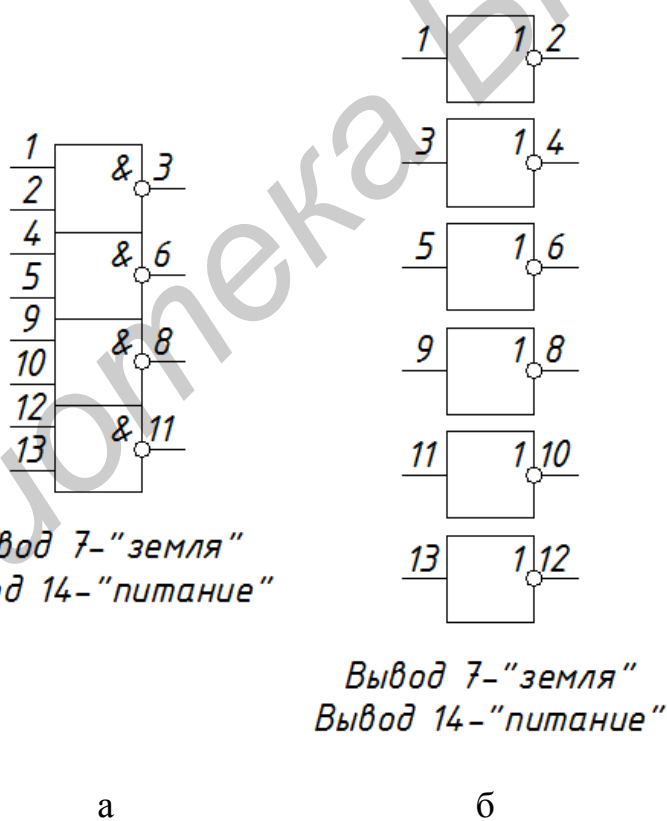
Решение

На схеме (рисунок 1.1) имеется два типа модулей, относящихся к микросхемам К55ЛА3 и К555ЛН1 (рисунок 1.2).



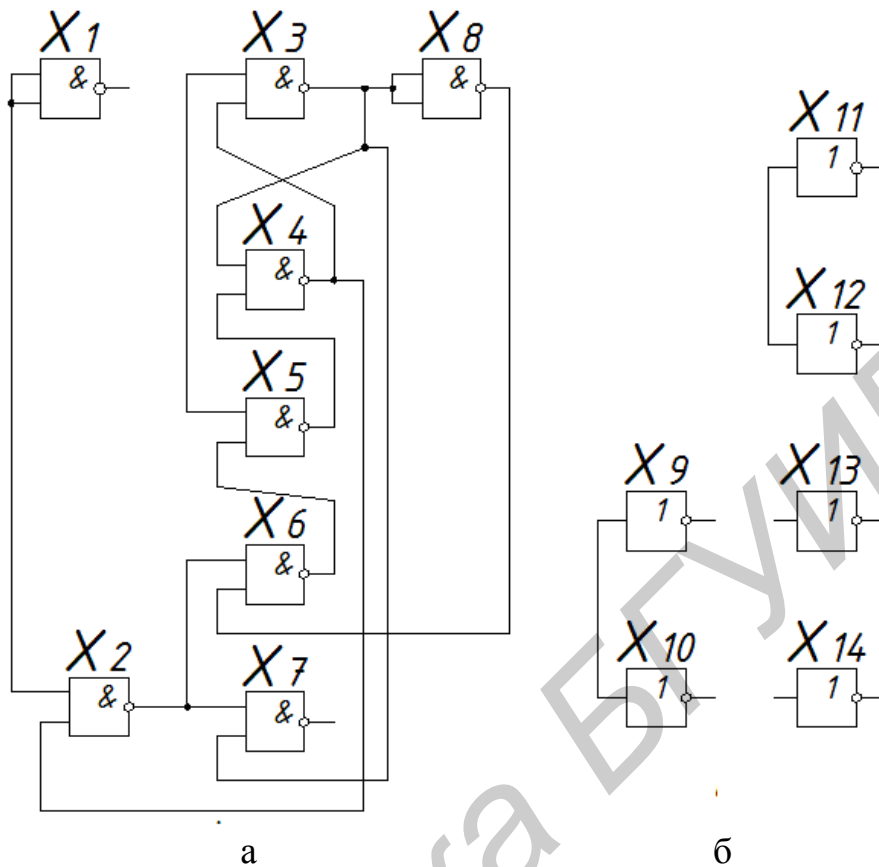
а – микросхемы К555ЛА3; б – микросхемы К555ЛН1
Рисунок 1.2 – Типы модулей

На рисунке 1.3 приведено условное графическое изображение (УГО) микросхем К555ЛА3 и К555ЛН1.



а – К555ЛА3; б – К555ЛН1
Рисунок 1.3 – УГО микросхем

1-й шаг. Разбиваем схему электрическую функциональную на отдельные узлы, содержащие однотипные модули, оставляя связи только внутри узлов (рисунок 1.4).



а – на микросхемах К555ЛА3; б – на микросхемах К555ЛН1
Рисунок 1.4 – Функциональные узлы

2-й шаг. Составляем граф-схему (рисунок 1.5) для первого функционального узла, петли не учитываем (рисунок 1.4, а).

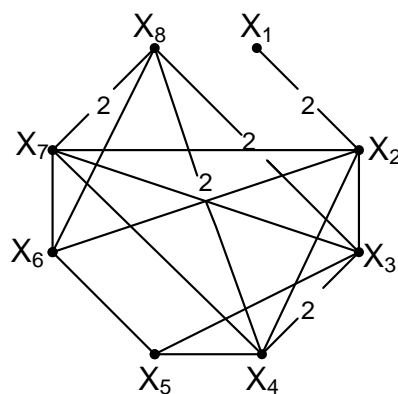


Рисунок 1.5 – Граф-схема

3-й шаг. Составляем по граф-схеме (рисунок 1.5) матрицу смежности и подсчитываем степени вершин (рисунок 1.6).

	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	P_i
x_1	0	2	0	0	0	0	0	0	2
x_2	2	0	1	1	0	1	1	0	6
x_3	0	1	0	2	1	0	1	2	7
x_4	0	1	2	0	1	0	1	2	7
x_5	0	0	1	1	0	1	0	0	3
x_6	0	1	0	0	1	0	1	1	4
x_7	0	1	1	1	0	1	0	2	6
x_8	0	0	2	2	0	1	2	0	7*

Рисунок 1.6 – Матрица смежности

4-й шаг. За базовую принимаем вершину, имеющую максимальную степень. Так как таких вершин 3 (x_3 , x_4 и x_8), то принимаем за базовую вершину с наибольшим числом кратных рёбер, т. е. вершину x_8 (отмечена знаком «*» на рисунке 1.6).

5-й шаг. Вершина x_8 имеет отображение $\Gamma x_8 = \{x_3, x_4, x_6, x_7\}$.

6-й шаг. Вычисляем функционалы по формуле (1.4).

$$Lx_3 = 7 - 2 = 5;$$

$$Lx_4 = 7 - 2 = 5;$$

$$Lx_6 = 7 - 1 = 6;$$

$$Lx_7 = 7 - 2 = 5.$$

Вершине x_8 присваиваем позиционное обозначение $DD1.1$ с соответствующей нумерацией выводов.

7-й шаг. Минимальный функционал имеют вершины x_3 , x_4 , x_7 .

8-й шаг. Стягиваем вершину x_3 с базовой вершиной x_8 и составляем матрицу смежности, суммируя связи и обнуляя ее по главной диагонали (рисунок 1.7). Частичный граф показан на рисунке 1.8. Вершине x_3 присваиваем позиционное обозначение $DD1.2$ с соответствующей нумерацией выводов.

	x_1	x_2	x_{38}	x_4	x_5	x_6	x_7	P_i
x_1	0	2	0	0	0	0	0	2
x_2	2	0	1	1	0	1	1	6
x_{38}	0	1	0	4	1	1	3	10*
x_4	0	1	4	0	1	0	1	7
x_5	0	0	1	1	0	1	0	3
x_6	0	1	1	0	1	0	1	4
x_7	0	1	3	1	0	1	0	6

Рисунок 1.7 – Матрица смежности с базовой вершиной x_{38}

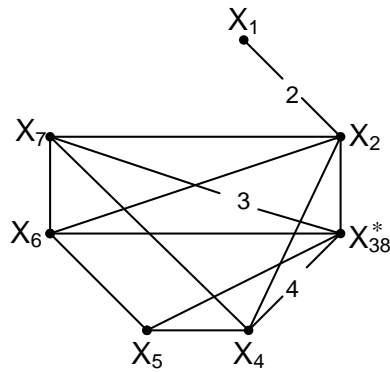


Рисунок 1.8 – Частичный граф с базовой вершиной x_{38}

9-й шаг. Повторяем шаги 5, 6, 7.

Функционалы:

$$Lx_2 = 10 - 1 = 9;$$

$$Lx_4 = 10 - 4 = 6 \text{ min};$$

$$Lx_5 = 10 - 1 = 9;$$

$$Lx_6 = 10 - 1 = 9;$$

$$Lx_7 = 10 - 3 = 7.$$

Стягиваем вершину x_4 с вершиной x_{38} . Частичный граф и матрица смежности показаны на рисунке 1.9 и 1.10 соответственно. Вершине x_4 присваиваем позиционное обозначение $DD1.3$ с соответствующей нумерацией выводов.

Выполняем дальше шаги в заданной последовательности. Подсчитываем функционалы:

$$Lx_2 = 9 - 2 = 7;$$

$$Lx_5 = 9 - 2 = 7;$$

$$Lx_6 = 9 - 1 = 8;$$

$$Lx_7 = 9 - 4 = 5 \text{ min}.$$

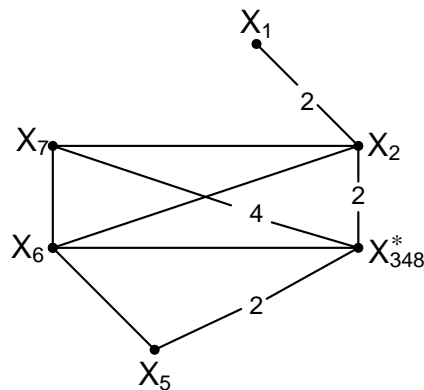


Рисунок 1.9 – Частичный граф с базовой вершиной x_{384}

	x_1	x_2	x_{384}	x_5	x_6	x_7	P_i
x_1	0	2	0	0	0	0	2
x_2	2	0	2	0	1	1	6
x_{384}	0	2	0	2	1	4	9*
x_5	0	0	2	0	1	0	3
x_6	0	1	1	1	0	1	4
x_7	0	1	4	0	1	0	6

Рисунок 1.10 – Матрица смежности с базовой вершиной x_{384}

Вершина x_7 является последним модулем в микросхеме ($DD1.4$) с соответствующей нумерацией выводов. Так как микросхема К555ЛА3 имеет 4 модуля, то она уже скомпонована.

Из графа (см. рисунок 1.5) убираем скомпонованные вершины с инцидентными рёбрами, получаем подграф (рисунок 1.11) для нескомпонованных вершин.

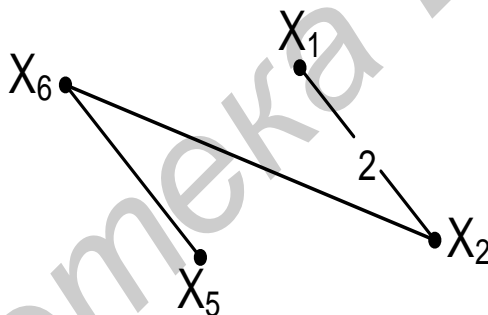


Рисунок 1.11 – Подграф

Составляем матрицу смежности для подграфа (см. рисунок 1.11) и подсчитываем степени вершин (рисунок 1.12).

	x_1	x_2	x_5	x_6	P_i
x_1	0	2	0	0	2
x_2	2	0	0	1	3*
x_5	0	0	0	1	1
x_6	0	1	1	0	2

Рисунок 1.12 – Матрица смежности

Базовой является вершина x_2 с позиционным обозначением $DD2.1$.

$$\Gamma x_2 = \{x_1, x_6\}.$$

Функционалы:

$$Lx_1 = 3 - 2 = 1 \text{ min};$$

$$Lx_6 = 3 - 1 = 2.$$

Вершину x_1 стягиваем с вершиной x_2 . Для вершины x_1 присваиваем обозначение $DD2.2$ с соответствующей нумерацией выводов.

Выполняя компоновку в заданной последовательности, к вершине x_{12} стягиваем вершину x_6 ($DD2.3$). Так как микросхема К555ЛА3 имеет четыре модуля, то последним модулем $DD2.4$ будет вершина x_5 . Фрагмент схемы электрической принципиальной для первого функционального узла показан на рисунке 1.13.

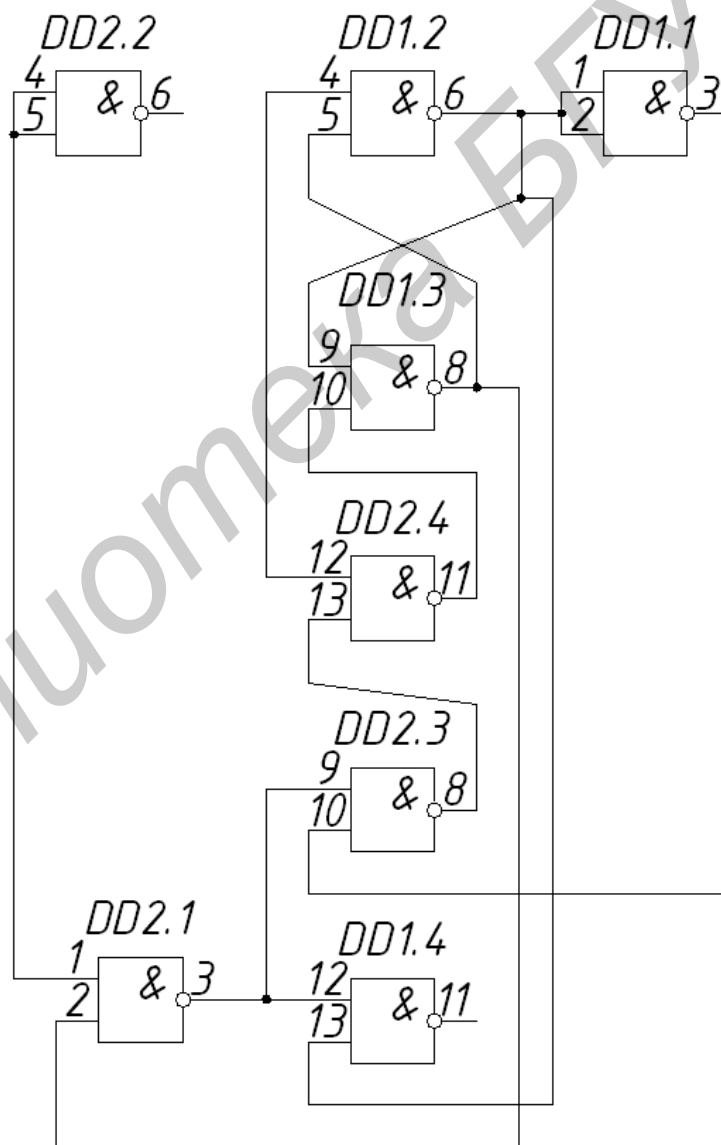


Рисунок 1.13 – Фрагмент схемы электрической принципиальной для функционального узла на микросхемах К555ЛА3

Для второго функционального узла (см. рисунок 1.4, б) выбираем микросхемы К555ЛН1. Так как эта микросхема имеет шесть модулей (см. рисунок 1.3, б), то компоуем только одну микросхему. Граф-схема и матрица смежности для второго функционального узла показана на рисунке 1.14 и 1.15 соответственно.

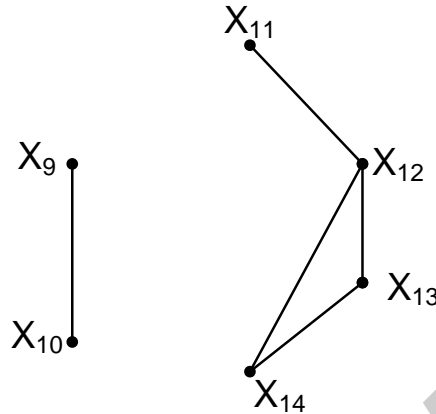


Рисунок 1.14 – Граф-схема функционального узла на микросхеме К555ЛН1

	x_9	x_{10}	x_{11}	x_{12}	x_{13}	x_{14}	P_i
x_9	0	1	0	0	0	0	1
x_{10}	1	0	0	0	0	0	1
x_{11}	0	0	0	1	0	0	1
x_{12}	0	0	1	0	1	1	3*
x_{13}	0	0	0	1	0	1	2
x_{14}	0	0	0	1	1	0	2

Рисунок 1.15 – Матрица смежности функционального узла на микросхеме К555ЛН1

Базовой является вершина x_{12} . Ей присваиваем позиционное обозначение *DD3.1* с соответствующей нумерацией выводов микросхемы К555ЛН1.

Отображение:

$$\Gamma x_{12} = \{x_{11}, x_{13}, x_{14}\}.$$

Функционалы:

$$Lx_{11} = 3 - 1 = 2 \text{ min};$$

$$Lx_{13} = 3 - 1 = 2;$$

$$Lx_{14} = 3 - 1 = 2.$$

Для вершины x_{11} присваиваем позиционное обозначение *DD3.2*.

Выполняя алгоритм компоновки в заданной последовательности, получаем позиционное обозначение вершины x_{13} – *DD3.3*, вершины x_{14} – *DD3.4*.

После стягивания вершин x_{11} , x_{12} , x_{13} и x_{14} получаем частичный граф (рисунок 1.16) и матрицу смежности (рисунок 1.17).

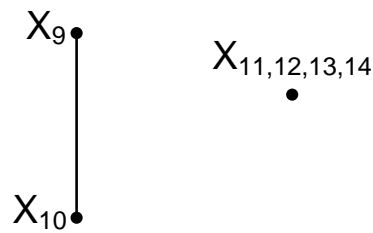


Рисунок 1.16 – Частичный граф с базовой вершиной $x_{11,12,13,14}$

	x_9	x_{10}	$x_{11,12,13,14}$	P_i
x_9	0	1	0	1
x_{10}	1	0	0	1
$x_{11,12,13,14}$	0	0	0	0*

Рисунок 1.17 – Матрица смежности с базовой вершиной $x_{11,12,13,14}$

Так как базовая вершина не имеет отображения на вершины x_9 и x_{10} , т. е. граф-схема (см. рисунок 1.14) состоит из двух компонент связности (фрагментов), а в микросхему К555ЛН1 можно скомпоновать 6 модулей, то произвольно присваиваем вершине x_9 позиционное обозначение $DD3.5$, а вершине x_{10} – $DD3.6$. Микросхема К555ЛН1 скомпонована. Фрагмент схемы электрической принципиальной для второго функционального узла показан на рисунке 1.18.

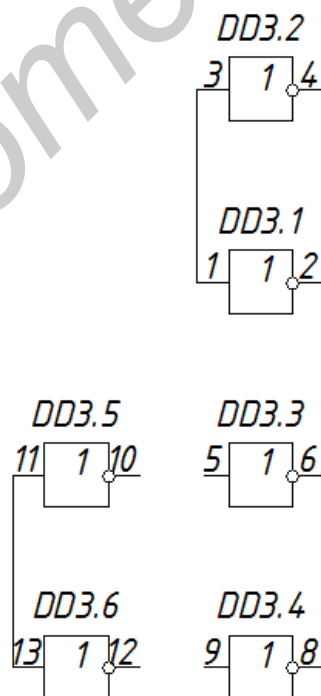


Рисунок 1.18 – Фрагмент схемы электрической принципиальной для функционального узла на микросхеме К555ЛН1

В результате получаем схему электрическую принципиальную, представленную на рисунке 1.19.

Так как оформление схем электрических принципиальных должно соответствовать [12], то окончательный вариант схемы электрической принципиальной приведён в приложении. В этом варианте нумерация микросхем учитывалась в соответствии с [12], нумерация модулей микросхем не изменилась. К схеме электрической принципиальной составляется перечень элементов, также приведенный в приложении.

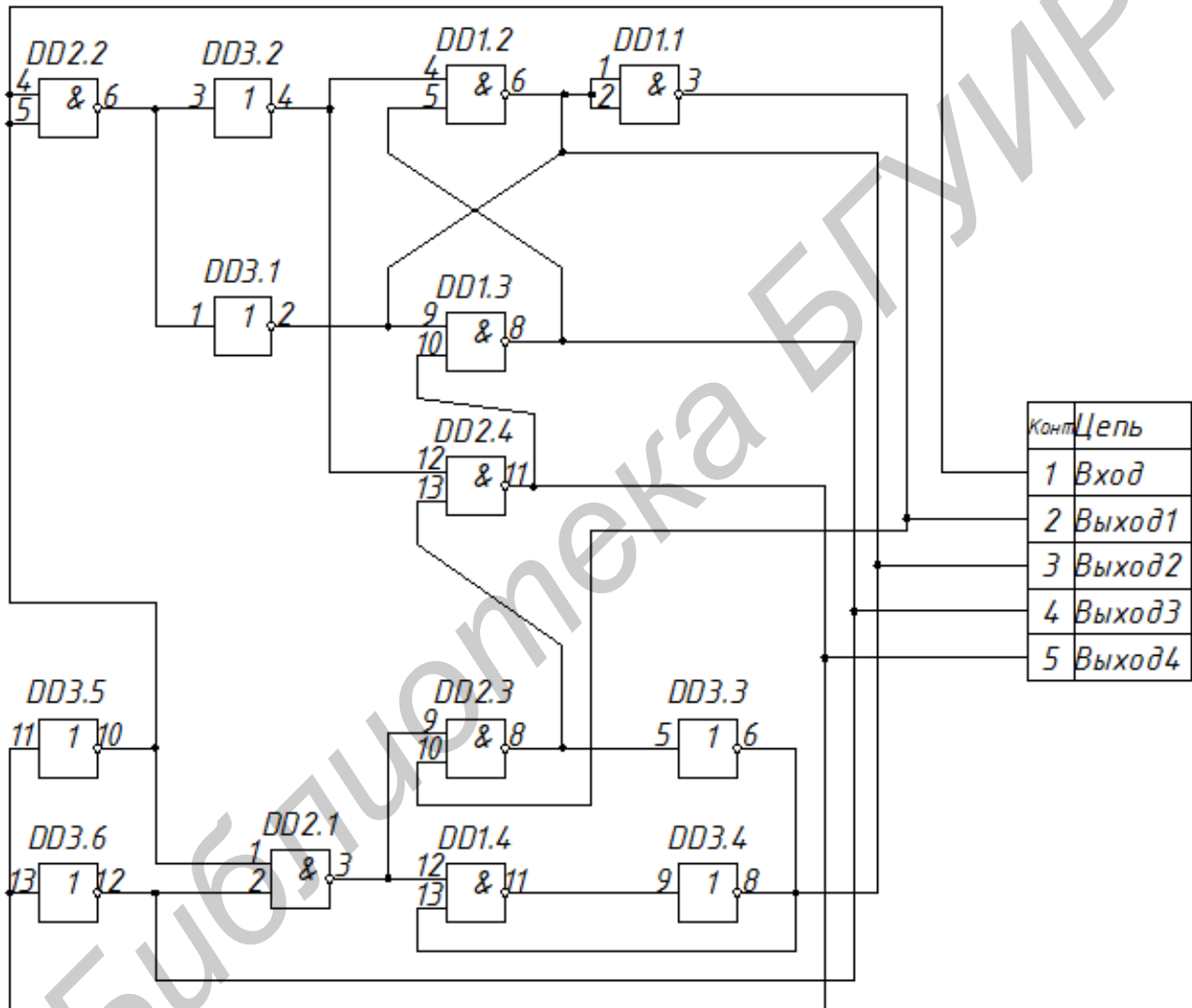


Рисунок 1.19 – Схема электрическая принципиальная

2 РАЗМЕЩЕНИЕ МИКРОСХЕМ НА ПЛАТЕ

2.1 Общее описание алгоритма

После распределения конструктивных элементов РЭА по коммутационным пространствам различного уровня иерархии для каждой полученной в результате компоновки сборочной единицы производят размещение включённых в его состав элементов предыдущего уровня, т. е. выбирают такое их взаимное расположение, при котором наилучшим образом учитываются предъявляемые к аппаратуре требования.

Исходной информацией при решении задач размещения являются данные о конфигурации и размерах коммутационного пространства, определяемые требованиями установки и крепления данной сборочной единицы в аппаратуре: количество и геометрические размеры конструктивных элементов, подлежащих размещению, схема соединений, а также ряд ограничений на взаимное расположение отдельных элементов, учитывающих особенности разрабатываемой конструкции.

Задача сводится к отысканию для каждого размещаемого элемента таких позиций, при которых оптимизируется выбранный показатель качества и обеспечиваются наиболее благоприятные условия для последующего элементного монтажа. Особое значение эта задача приобретает при проектировании аппаратуры на печатных платах. Основная сложность в постановке задач размещения заключается в выборе целевой функции. Связано это с тем, что одной из главных целей размещения является создание наилучших условий для дальнейшей трассировки соединений, что невозможно проверить без проведения самой трассировки.

Следовательно, если для оценки качества размещения элементов выбрать критерий, непосредственно связанный с получением оптимального рисунка металлизации печатной платы, то конечный результат может быть найден только при совместном решении задачи размещения, выбора очередности проведения соединения и трассировки, что практически невозможно уже для схем средней сложности вследствие огромных затрат машинного времени. Поэтому все применяемые в настоящее время алгоритмы размещения используют промежуточные критерии, которые лишь качественно способствуют решению основной задачи, получению оптимальной трассировки соединений. К таким критериям относятся:

- 1) минимум суммарной взвешенной длины соединений;
- 2) минимальное число соединений, длина которых больше заданной;
- 3) минимальное число пересечений проводников;
- 4) максимальное число соединений между элементами, находящимися в соседних позициях либо в позициях, указанных разработчиком;
- 5) максимальное число цепей простой конфигурации.

Наибольшее распространение в алгоритме размещения получил первый критерий, что объясняется следующими причинами:

1) уменьшение длин соединений улучшает электрические характеристики устройства;

2) упрощает трассировку печатных проводников;

3) снижает трудоёмкость изготовления печатных плат;

4) сравнительно прост в реализации.

Наиболее распространённым алгоритмом размещения является последовательный алгоритм. Он основан на допущении, что для получения оптимального размещения необходимо в соседних позициях располагать элементы, максимально связанные друг с другом.

Сущность этих алгоритмов состоит в последовательном закреплении заданного набора конструктивных элементов на коммутационной плате относительно ранее установленной. В качестве первоначально закреплённых на плате элементов обычно выбирают разъёмы, которые, как правило, устанавливаются на каком-либо краю платы. При этом все контакты разъёмов равномерно распределяют по секциям (столбцам и строкам) координатной сетки. На каждом шаге для установки на коммутационную плату выбирают элемент из числа ещё не размещённых, имеющий максимальную степень связности с ранее закреплёнными элементами. Процесс размещения элементов заканчивается после выполнения L шагов, когда все элементы будут размещены на коммутационном поле.

2.2 Пошаговая работа алгоритма

1 Формируем матрицу расстояний для коммутационного поля с учётом ранее закреплённого элемента (разъём XSI).

2 Формируем матрицу смежности по графу, составленному по полученной схеме электрической принципиальной, считая за вершины скомпонованные микросхемы и разъём. Матрицу обнуляем по главной диагонали.

3 Выбираем из множества неразмещённых микросхем ту микросхему, для которой коэффициент взвешенной связности максимальный. Коэффициент взвешенной связности рассчитываем по формуле

$$\Phi_j = \sum_{j=1}^m a_{ij} / p_j, \quad (2.1)$$

где a_{ij} – количество связей j -й вершины с ранее закреплённой вершиной x_i ;

p_j – степень j -й вершины;

m – количество вершин, связанных с j -й вершиной.

4 Для вершины, у которой коэффициент взвешенной связности максимальный, находим посадочное место на коммутационном поле из условия, что коэффициент размещения минимален. Коэффициент размещения определяется по формуле

$$F_f = \sum_{l=1}^n a_{ij} \cdot d_{fl}, \quad (2.2)$$

где d_{fl} – количество связей ячейки f с ранее закрепленной ячейкой l , в которой размещена вершина x_i ;

n – количество незанятых посадочных мест.

5 Шаги 3, 4 повторяются до тех пор, пока все элементы не будут размещены на плате.

Пример 2.1. На рисунке 2.1 приведена матрица смежности. Разместить элементы на коммутационном поле платы, приведенном на рисунке 2.2. На этом рисунке первое посадочное место закреплено за разъемом $XS1$, шестое посадочное место – запрещенное.

	DD1	DD2	DD3	DD4	DD5	DD6	DD7	XS1	$\sum p_i$
DD1	0	1	2	2	3	4	3	2	17
DD2	1	0	3	1	1	2	4	1	13
DD3	2	3	0	4	7	1	0	0	17
DD4	2	1	4	0	3	0	1	1	12
DD5	3	1	7	3	0	0	0	1	15
DD6	4	2	1	0	0	0	1	5	13
DD7	3	4	0	1	0	1	0	3	12
XS1	2	1	0	1	1	5	3	0	13

Рисунок 2.1 – Матрица смежности

	2	5	8
1	3	6	9
	4	7	10

Рисунок 2.2 – Коммутационное поле платы

Решение

1 По рисунку 2.2 составим матрицу расстояний (рисунок 2.3).

	1	2	3	4	5	6	7	8	9	10
1	0	1	1	1	2	2	2	3	4	3
2	1	0	1	2	1	2	3	2	3	4
3	1	1	0	1	2	1	2	3	4	3
4	1	2	1	0	3	2	1	4	3	2
5	2	1	2	3	0	1	4	1	2	3
6	2	2	1	2	1	0	1	2	1	2
7	2	3	2	1	4	1	0	3	2	1
8	3	2	3	4	1	2	3	0	1	2
9	4	3	4	3	2	1	2	1	0	1
10	3	4	3	2	3	2	1	2	1	0

Рисунок 2.3 – Матрица расстояний

2 Так как все микросхемы не распределены по посадочным местам, то рассчитываем коэффициент взвешенной связности для всех микросхем по формуле (2.1):

$$\Phi_{DD1} = \frac{2}{17} = 0,118;$$

$$\Phi_{DD5} = \frac{1}{15} = 0,067;$$

$$\Phi_{DD2} = \frac{1}{13} = 0,077;$$

$$\Phi_{DD6} = \frac{5}{13} = 0,385*;$$

$$\Phi_{DD3} = \frac{0}{17} = 0;$$

$$\Phi_{DD7} = \frac{3}{12} = 0,25.$$

$$\Phi_{DD4} = \frac{1}{12} = 0,083;$$

Выбираем для размещения микросхему, имеющую максимальный коэффициент взвешенной связности. Такой микросхемой является микросхема *DD6* (помечена знаком «*»).

3 Рассчитываем коэффициент размещения для посадочных мест 2, 3, 4, 5, 7, 8, 9, 10 по формуле (2.2), в которой элемент a_{ij} – количество связей вершины *DD6* с вершиной *XSI* (см. матрицу смежности).

$$F_2 = 5 \cdot 1 = 5*;$$

$$F_7 = 5 \cdot 2 = 10;$$

$$F_3 = 5 \cdot 1 = 5;$$

$$F_8 = 5 \cdot 3 = 15;$$

$$F_4 = 5 \cdot 1 = 5;$$

$$F_9 = 5 \cdot 4 = 20;$$

$$F_5 = 5 \cdot 2 = 10;$$

$$F_{10} = 5 \cdot 3 = 15.$$

Выбираем минимальный коэффициент размещения. Так как минимальным является коэффициент F для ячеек 2, 3 и 4, то выбираем ячейку с минимальным индексом. Такой ячейкой является ячейка 2. Следовательно, микросхему *DD6* размещаем во второй ячейке.

4 Рассчитываем коэффициент взвешенной связности для остальных неразмещенных микросхем, с учетом того, что ранее размещенными элементами являются микросхема $DD6$ и разъем $XS1$, т. е. формулу (2.1) можно

записать в виде

$$\Phi_j = \frac{a_{XS1j} + a_{DD6j}}{P_j}.$$

$$\Phi_{DD1} = \frac{2+4}{17} = 0,353*;$$

$$\Phi_{DD4} = \frac{1+0}{12} = 0,083;$$

$$\Phi_{DD2} = \frac{1+2}{13} = 0,231;$$

$$\Phi_{DD5} = \frac{1+0}{15} = 0,067;$$

$$\Phi_{DD3} = \frac{0+1}{17} = 0,059;$$

$$\Phi_{DD7} = \frac{3+1}{12} = 0,33.$$

Так как максимальный коэффициент взвешенной связности имеет микросхема $DD1$, то размещаем эту микросхему на коммутационное поле платы.

5 Рассчитываем коэффициент размещения для оставшихся ячеек (3, 4, 5, 7, 8, 9, 10) по формуле (2.2), с учетом ранее занятых, т. е. формулу (2.2) можно записать в следующем виде:

$$F_f = a_{DD1-XS1} \cdot d_{f-1} + a_{DD1-DD6} \cdot d_{f-2}.$$

$$F_3 = 2 \cdot 1 + 4 \cdot 1 = 6*;$$

$$F_8 = 2 \cdot 3 + 4 \cdot 2 = 14;$$

$$F_4 = 2 \cdot 1 + 4 \cdot 2 = 10;$$

$$F_9 = 2 \cdot 4 + 4 \cdot 3 = 20;$$

$$F_5 = 2 \cdot 2 + 4 \cdot 1 = 8;$$

$$F_{10} = 2 \cdot 3 + 4 \cdot 3 = 18.$$

$$F_7 = 2 \cdot 2 + 4 \cdot 3 = 16;$$

Минимальный коэффициент размещения имеет ячейка 3. Следовательно, микросхему $DD1$ размещаем в третьей ячейке коммутационного поля.

6 Рассчитываем коэффициент взвешенной связности для микросхем $DD2$, $DD3$, $DD4$, $DD5$ и $DD7$.

$$\Phi_{DD2} = \frac{1+2+1}{13} = 0,308;$$

$$\Phi_{DD5} = \frac{1+0+3}{15} = 0,267;$$

$$\Phi_{DD3} = \frac{0+1+2}{17} = 0,176;$$

$$\Phi_{DD7} = \frac{3+1+3}{12} = 0,583*.$$

$$\Phi_{DD4} = \frac{1+0+2}{12} = 0,25;$$

Размещаем микросхему $DD7$.

Коэффициент размещения для ячеек 4, 5, 7, 8, 9, 10:

$$F_4=3 \cdot 1+1 \cdot 2+3 \cdot 1=8^*;$$

$$F_5=3 \cdot 2+1 \cdot 1+3 \cdot 2=13;$$

$$F_7=3 \cdot 2+1 \cdot 3+3 \cdot 2=15;$$

$$F_8=3 \cdot 3+1 \cdot 2+3 \cdot 3=20;$$

$$F_9=3 \cdot 4+1 \cdot 3+3 \cdot 4=27;$$

$$F_{10}=3 \cdot 3+1 \cdot 4+3 \cdot 3=22.$$

Микросхему $DD7$ размещаем в четвертой ячейке.

7 Подсчитываем коэффициент взвешенной связности:

$$\Phi_{DD2} = \frac{1+2+1+4}{13} = 0,615^*;$$

$$\Phi_{DD4} = \frac{1+0+2+1}{12} = 0,333;$$

$$\Phi_{DD3} = \frac{0+1+2+0}{17} = 0,176;$$

$$\Phi_{DD5} = \frac{1+0+3+0}{15} = 0,267.$$

Размещаем микросхему $DD2$.

Коэффициент размещения:

$$F_5=1 \cdot 2+2 \cdot 1+1 \cdot 2+4 \cdot 3=18;$$

$$F_9=1 \cdot 4+2 \cdot 3+1 \cdot 4+4 \cdot 3=26;$$

$$F_7=1 \cdot 2+2 \cdot 3+1 \cdot 2+4 \cdot 1=14^*;$$

$$F_{10}=1 \cdot 3+2 \cdot 4+1 \cdot 3+4 \cdot 2=16.$$

$$F_8=1 \cdot 3+2 \cdot 2+1 \cdot 3+4 \cdot 4=26;$$

Следовательно, микросхему $DD2$ размещаем в седьмую ячейку.

8 Коэффициенты взвешенной связности:

$$\Phi_{DD3} = \frac{0+1+2+0+3}{17} = 0,429^*;$$

$$\Phi_{DD5} = \frac{1+0+3+0+1}{15} = 0,333.$$

$$\Phi_{DD4} = \frac{1+0+2+1+1}{12} = 0,417;$$

Размещаем микросхему $DD3$.

$$F_5=0 \cdot 2+1 \cdot 1+2 \cdot 2+0 \cdot 3+3 \cdot 4=17;$$

$$F_8=0 \cdot 3+1 \cdot 2+2 \cdot 3+0 \cdot 4+3 \cdot 3=17;$$

$$F_9=0 \cdot 4+1 \cdot 3+2 \cdot 4+0 \cdot 3+3 \cdot 2=17;$$

$$F_{10}=0 \cdot 3+1 \cdot 4+2 \cdot 3+0 \cdot 2+3 \cdot 1=13^*.$$

Микросхему $DD3$ размещаем в десятую ячейку.

9 Коэффициенты взвешенной связности:

$$\Phi_{DD4} = \frac{1+0+2+1+1+4}{12} = 0,75;$$

$$\Phi_{DD5} = \frac{1+0+3+0+1+7}{15} = 0,8^*.$$

Размещаем микросхему $DD5$.

$$F_5=1 \cdot 2+0 \cdot 1+3 \cdot 2+0 \cdot 3+1 \cdot 4+7 \cdot 3=33;$$

$$F_8=1 \cdot 3+0 \cdot 2+3 \cdot 3+0 \cdot 4+1 \cdot 3+7 \cdot 2=29;$$

$$F_9=1 \cdot 3+0 \cdot 4+3 \cdot 3+0 \cdot 2+1 \cdot 1+7 \cdot 1=20^*.$$

Микросхему *DD5* размещаем в ячейку девять.

10 Осталась микросхема *DD4* и ячейки 5 и 8. Подсчитываем коэффициенты размещения:

$$F_5=1\cdot2+0\cdot1+2\cdot2+1\cdot3+1\cdot4+4\cdot3+3\cdot2=31;$$

$$F_8=1\cdot3+0\cdot2+2\cdot3+1\cdot4+1\cdot3+4\cdot2+3\cdot1=27^*.$$

Микросхему *DD4* размещаем в восьмую ячейку, пятая ячейка остается свободной. В результате коммутационное поле платы с размещенными микросхемами имеет вид, изображенный на рисунке 2.4.


<i>XS1</i>	<i>DD6</i>		<i>DD4</i>
	<i>DD1</i>		<i>DD5</i>
	<i>DD7</i>	<i>DD2</i>	<i>DD3</i>

Рисунок 2.4 – Размещение микросхем на коммутационном поле платы

Исходя из размещения микросхем на коммутационном поле платы, составляется сборочный чертеж платы и спецификация к нему (см. приложение).

3 АЛГОРИТМЫ ТРАССИРОВКИ ПЕЧАТНОГО МОНТАЖА

Проектирование печатного монтажа является одной из самых сложных задач автоматизации проектирования РЭА. Для ее решения предложено большое число различных алгоритмов.

Основным недостатком всех используемых в АСП программ является заложенный в них принцип последовательного и фрагментального просмотра коммутационного пространства. Локализация задачи в пределах одного фрагмента не обеспечивает оптимизации монтажа в целом, т. к. качество последующей разводки существенным образом зависит от ранее проведенных трасс.

Задача проектирования печатного монтажа может быть сформулирована следующим образом. На коммутационной поверхности заданы своими координатами (x, y) множество конструктивных элементов $R=\{r_1, r_2, \dots, r_T\}$. Выводы этих элементов образуют некоторое множество из L связанных подмножеств: $\varepsilon=\{C_1, C_2, \dots, C_L\}$, причем каждое l -е подмножество C_l объединяет N_l выводов конструктивных элементов из множества R в соответствии с принципиальной электрической схемой. Кроме того, заданы расположение групп контактных площадок разъемов и монтажных отверстий, а также ряд требований, предъявляемых к топологии платы: минимальная ширина проводников и зазора между ними, размеры контактных площадок,

число слоев металлизации и способы перехода одного слоя на другой и т. п. Требуется с учетом заданных конструкторско-технологических ограничений соединить выводы конструктивных элементов внутри каждого подмножества $C_i \subset E$ так, чтобы полученные соединения отвечали выбранному показателю качества.

На практике при оптимизации топологии печатного монтажа часто используют следующие критерии качества:

- минимум суммарной длины всех соединений;
- минимум числа соединений проводников;
- равномерность распределения проводников на печатной плате;
- минимальная протяженность параллельных участков соседних проводников;
- минимум числа изгибов проводников;
- минимум числа слоев металлизации и числа переходов из слоя в слой (применяется при проектировании многослойных печатных плат).

Трассировку соединений осуществляют с помощью алгоритмов, основанных на методах динамического программирования. Общим для этих алгоритмов является разбиение монтажного поля на ячейки, размер и форма которых определяют плотность и конфигурацию печатных проводников.

Наибольшее распространение на практике получило разбиение рабочего поля на правильные квадраты, что обеспечивает простую адресацию ячеек в прямоугольной системе координат и привычную форму соединений.

Размеры ячеек определяются конструктивно-технологическими требованиями, предъявляемыми к печатному монтажу. Так как в каждой ячейке обычно размещается только один вывод или печатный проводник, максимальные размеры ячеек определяются допустимой точностью воспроизведения проводников. Минимальные размеры ячеек обуславливаются возможностью запоминающих устройств ЭВМ и соотношением

$$d \geq b_{np} + l_z, \quad (3.1)$$

где d – расстояние между центрами соседних ячеек;

b_{np} – минимальная ширина печатного проводника;

l_z – минимальное расстояние между соседними проводниками.

Соединение выводов конструктивных элементов осуществляется в результате последовательного заполнения ячеек трассами, конфигурация которых является локально оптимальной в соответствии с выбранными критериями трассировки. Необходимо заметить, что при последовательном процессе проведения трасс, поскольку многие соединения конкурируют между собой, число разведенных цепей и их конфигурация определяются последовательностью трассировки отдельных соединений.

Известные алгоритмы трассировки печатных плат можно условно разбить на три большие группы:

1) волновые алгоритмы, основанные на идеях Ли и разработанные Ю. Л. Зиманом и Г. Г. Рябовым. Данные алгоритмы получили широкое распространение в существующих АСП, поскольку они позволяют легко учитывать технологическую специфику печатного монтажа со всей совокупностью конструктивных ограничений. Эти алгоритмы всегда гарантируют построение трассы, если путь для нее существует;

2) ортогональные алгоритмы, обладающие большим быстродействием, чем алгоритмы первой группы. Реализация их на ЭВМ требует в 75...100 раз меньше вычислений по сравнению с волновыми алгоритмами. Такие алгоритмы применяют при проектировании печатных плат со сквозными металлизированными отверстиями. Недостатки этой группы алгоритмов связаны с получением большого числа переходов со слоя на слой, отсутствием 100 %-ной гарантии проведения ряда трасс, большим числом параллельно идущих проводников;

3) алгоритмы эвристического типа, получающие все более широкое распространение. Эти алгоритмы частично основаны на эвристическом поиске пути в лабиринте. При этом каждое соединение проводится по кратчайшему пути, обходя встречающиеся на пути препятствия.

3.1 Волновой алгоритм Ли

Данный алгоритм является классическим примером использования методов динамического программирования для решения задач трассировки печатных соединений. Основные принципы построения трасс с помощью волнового алгоритма сводятся к следующему.

Все ячейки монтажного поля подразделяют на занятые и свободные. Занятыми считают ячейки, в которых уже расположены проводники, построенные на предыдущих шагах, или находятся монтажные выводы элементов, а также ячейки, соответствующие границе платы и запрещенным для прокладки проводников участкам. Каждый раз при проведении новой трассы можно использовать лишь свободные ячейки.

На множестве свободных ячеек коммутационного поля моделируют волну влияния из одной ячейки в другую, соединяемых впоследствии общим проводником. Первую ячейку, в которой зарождается волна влияний, называют источником, а вторую – приемником волны. Чтобы иметь возможность следить за происхождением фронта влияний, его фрагментам на каждом этапе присваивают некоторые веса:

$$P_k = P_{k-1} + \Psi (f_1, f_2, \dots, f_q)^*, \quad (3.2)$$

где P_k и P_{k-1} – веса ячеек k -го и $(k-1)$ -го фронтов;

$\psi(f_1, f_2, \dots, f_g)$ – весовая функция, являющаяся показателем качества проведения пути, каждый параметр которой $f_i (i=1, 2, \dots, g)$ характеризует путь с точки зрения одного из критериев качества (длины пути, числа пересечений и т. п.).

На P_k накладывают одно ограничение – веса ячеек предыдущих фронтов не должны быть больше весов ячеек последующих фронтов. Фронт распространяется только на соседние ячейки, которые имеют с ячейками предыдущего фронта либо общую сторону, либо хотя бы одну общую точку. Процесс распространения волны продолжается до тех пор, пока ее расширяющийся фронт не достигнет приемника или на Θ -м шаге не найдется ни одной свободной ячейки, которая могла бы быть включена в очередной фронт, что соответствует случаю невозможности проведения трассы при заданных ограничениях.

Если в результате распространения волна достигла приемника, то осуществляют «проведение пути», которое заключается в движении от приемника к источнику по пройденным на этапе распространения волны ячейкам, следя за тем, чтобы значения P_k монотонно убывали. В результате получают путь, соединяющий эти две точки.

Чтобы исключить неопределенность при проведении пути для случая, когда несколько ячеек имеют одинаковый минимальный вес, вводят понятие путевых координат, задающих предпочтительность проведения трассы. Каждое направление кодируют двоичным числом по $\text{mod } q$, где q – число просматриваемых соседних ячеек. При этом чем более предпочтительно то или иное направление, тем меньший числовой код оно имеет. Например, если задаться приоритетным порядком проведения пути сверху, справа, снизу и слева, то коды соответствующих путевых координат будут 00, 01, 10 и 11. Приписание путевых координат производят на этапе распространения волны. При проведении пути движение от ячейки к ячейке осуществляют по путевым координатам.

Пример 3.1. Задано множество ячеек коммутационного поля, на котором построено некоторое число проводников. Построить новый проводник между точками А и В так, чтобы он не пересекал ранее построенные проводники и имел минимально возможную длину.

Из точки А, вес которой положен равным нулю, строим расширяющийся фронт волны влияний, распространяющийся на все свободные и соседние с этой точкой ячейки. Каждая ячейка первого фронта генерирует следующий фронт волны, который занимает все свободные и соседние с первым фронтом ячейки и т. д. Вес ячейки k -го фронта считаем равным весу соседней ячейки $(k-1)$ -го фронта плюс единица, т.е. $P_k = P_{k-1} + 1$. Процесс распространения волны

продолжаем до тех пор, пока не достигнем ячейки с точкой *B*. Процесс поиска пути из *A* в *B* в соответствии с рассмотренным алгоритмом трассировки показан на рисунке 3.1.

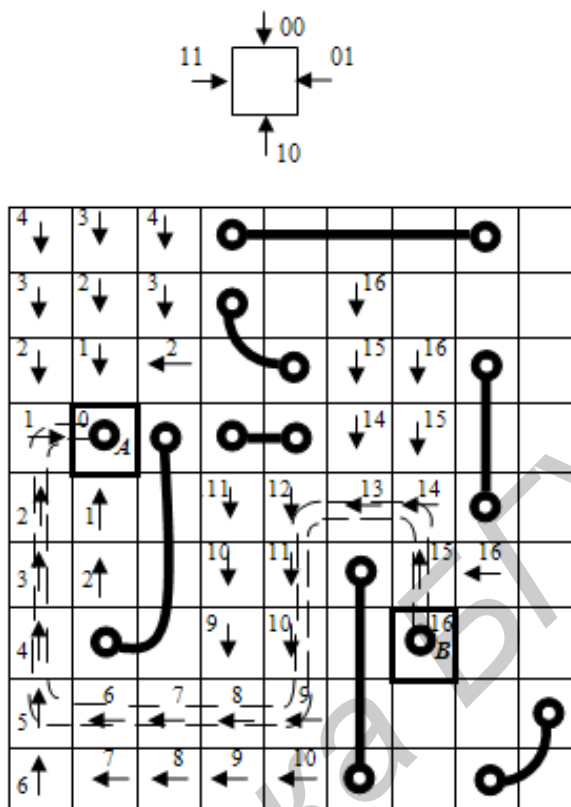


Рисунок 3.1 – Процесс распространения волны

В каждой ячейке указаны приписанные ей на этом этапе распространения волны путевые координаты и леса. Ячейка *B* достигается при построении 16-го фронта волны.

Проведение пути начинаем с ячейки *B*. Просматриваем окрестность точки приемника и находим ячейку, которая в наиболее предпочтительном направлении имеет вес на единицу меньше. Перемещаемся в эту ячейку и отмечаем след перехода. Процесс продолжаем до тех пор, пока след не приведет в точку *A*. На рисунке 3.1 вновь проведенный путь изображен пунктиром. Из рисунка видно, что построенный проводник действительно является кратчайшим между точками *A* и *B*, причем его относительная длина равна весу, присвоенному ячейке *B*.

3.2 Общая блок-схема программы проведения пути с помощью волнового алгоритма Ли

Укрупненная блок-схема программы, реализующей трассировку соединений с помощью алгоритма Ли, приведена на рисунке 3.2.

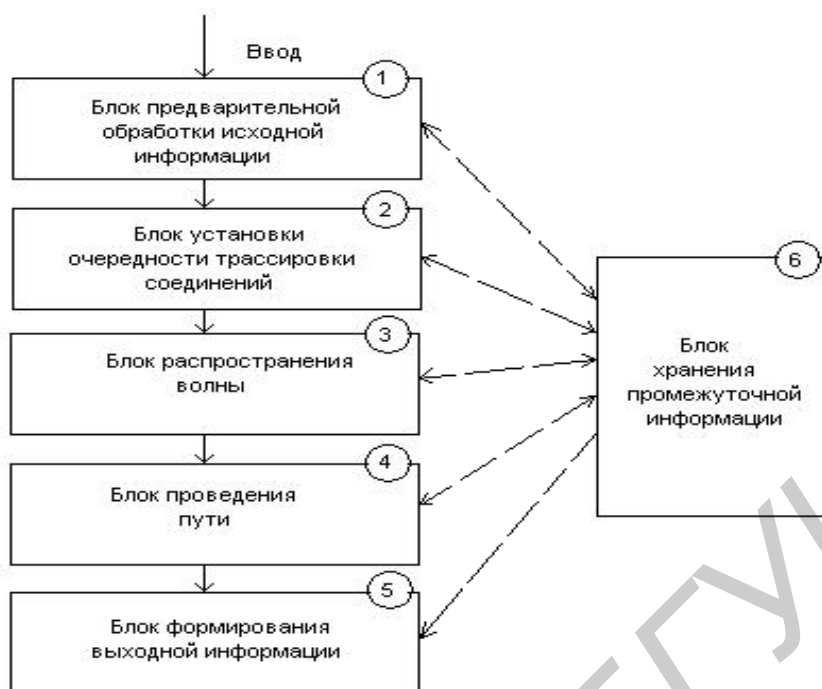


Рисунок 3.2 – Укрупненная блок-схема программы

Программа компонуется из пяти блоков, каждый из которых представляет собой обособленную программу, независимо решаемую на ЭВМ с выводом промежуточной информации в блок памяти. Подобное разбиение программы на независимые блоки обусловлено значительными затратами машинного времени на решение задачи в целом (даже на современных быстродействующих ЭВМ время решения может составлять несколько часов), поэтому вероятность бесперебойной работы ЭВМ в течение всего этого времени мала.

В первом блоке, исходя из конкретных конструкторско-технологических ограничений, определяют основные категории, по которым должна вестись оптимизация печатного монтажа, т. е. выбирается вариант трассировки соединений. Затем производят очистку и разметку коммутационного пространства платы (устанавливаются границы рабочего поля, места расположения выводов элементов и т. д.), после чего данные монтажной таблицы, в которой указаны электрические связи между отдельными выводами модулей, привязывают к координатам рабочего поля. Для этого все выводы моделей нумеруют и каждому i -му выводу j -го модуля ставят в соответствие приращение координат Δx_i , Δy_i относительно центра его установочной позиции x_j , y_j . Тогда координаты i -го вывода j -го модуля вычисляют следующим образом: $x_i^{(j)} = x_j + \Delta x_i$; $y_i^{(j)} = y_j + \Delta y_i$.

Во втором блоке устанавливают очередность трассировки соединений. Для этого все пары контактов $r = 1, 2, \dots, N$, подлежащие электрическому

объединению, располагаются в порядке возрастания расстояний между соединяемыми контактами: $Sr^{(1)} \leq Sr^{(2)} \leq \dots \leq Sr^{(N)}$. Блок-схема программы упорядочения пар приведена на рисунке 3.3.

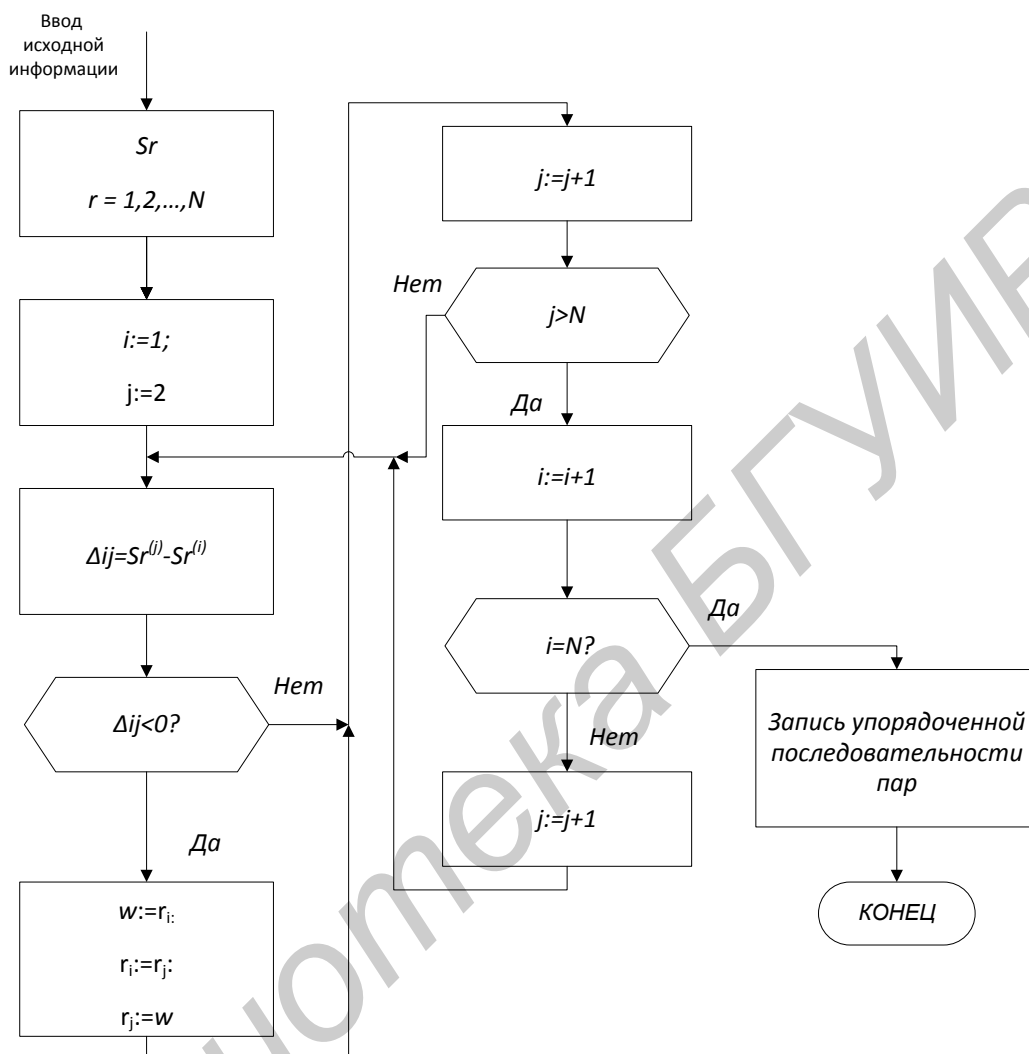


Рисунок 3.3 – Блок-схема упорядочения пар

В третьем блоке осуществляют «распространение волны» по выбранным критериям оптимизации.

В четвертом блоке выполняют «проведение пути». Путь начинают строить с ячейки, соответствующей концу трассы. Эту ячейку помечают как абсолютно занятую:

$P[x^{(0)}, y^{(0)}] = 1000$, после чего формируют вес P_{k-1} , который отыскивают в соседних ячейках. Выбор координат соседних ячеек производят так же, как и в программе «распространения волны». Различие заключается только в последовательности просмотра этих ячеек, что необходимо для однозначности проведения пути: $x = x^{(0)} - \varepsilon$, $y = y^{(0)} - \delta$.

В пятом блоке производят обработку выходной информации.

4 ТРАССИРОВКА ШИН «ЗЕМЛЯ» И «ПИТАНИЕ» С ИСПОЛЬЗОВАНИЕМ АЛГОРИТМА ПОСТРОЕНИЯ КСС

4.1 Трассировка шины «земля» с помощью алгоритма Краскала

Проведём трассировку шины «земля» с помощью алгоритма Краскала. Этот алгоритм строит кратчайшую связующую сеть (КСС), которая должна удовлетворять трём условиям:

- 1) длина рёбер должна быть минимальна;
- 2) ребро должно быть инцидентно только одной вершине;
- 3) максимальное подключение проводников к одному контакту $\rho_{\max} = 3 \dots 4$.

Построение КСС осуществляется путём последовательного выбора рёбер, удовлетворяющих трём условиям, при этом формируется массив индексов этих рёбер, упорядоченный по возрастанию, который анализируется по трём условиям. Условием получения покрывающего дерева является вычерчивание всех номеров вершин в массиве номеров.

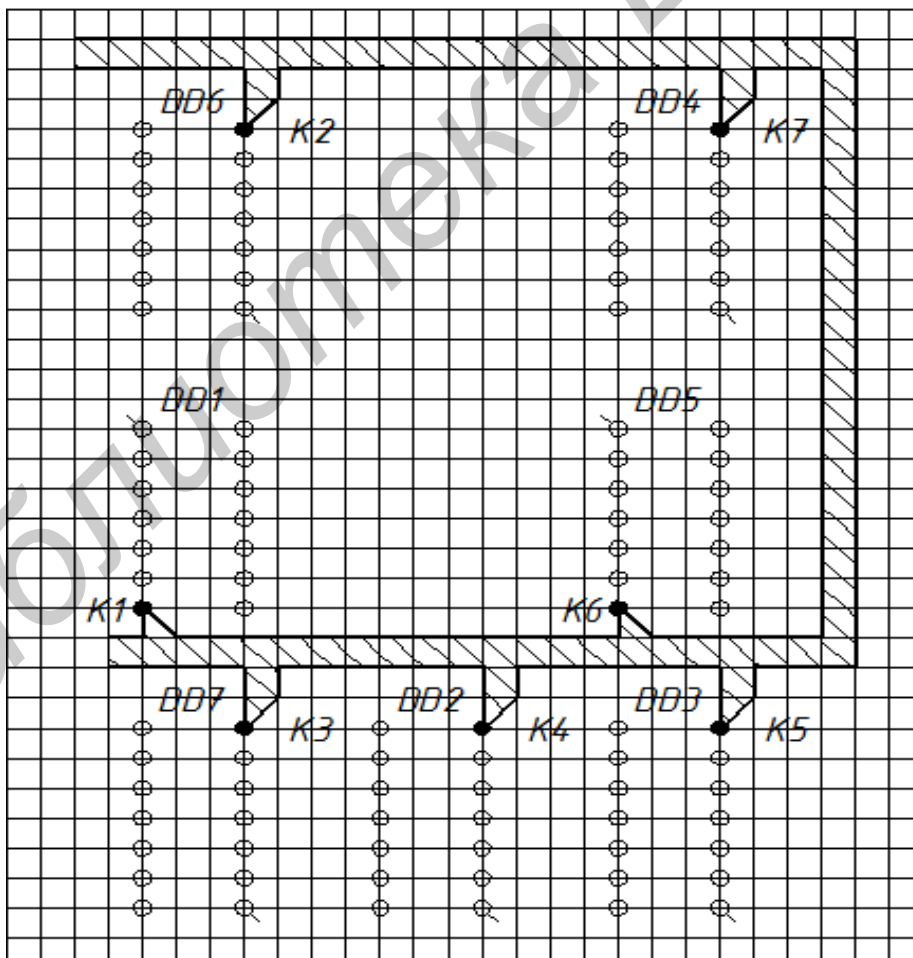


Рисунок 4.1 – Трассировка шины «земля»

Приведём пример трассировки шины «земля» с помощью алгоритма Краскала для примера 2.1. Размещение микросхем на печатной плате приведено на рисунке 4.1, вид со стороны монтажа. Все микросхемы имеют 14 выводов. Первый вывод обозначается «усиком» длиной 2...3 мм. Седьмой вывод микросхем подключается к шине «земля». Этот вывод зачернён. Необходимо соединить выводы $K1-K2-K3-K4-K5-K6-K7$. По координатной сетке строим матрицу длин (количество клеток от вывода к выводу по вертикали и горизонтали) (рисунок 4.2).

	$K1$	$K2$	$K3$	$K4$	$K5$	$K6$	$K7$
$K1$	0	19	7	14	21	14	33
$K2$	19	0	20	27	34	27	14
$K3$	7	20	0	7	14	15	34
$K4$	14	27	7	0	7	8	27
$K5$	21	34	14	7	0	7	20
$K6$	14	27	15	8	7	0	19
$K7$	33	14	34	27	20	19	0

Рисунок 4.2 – Матрица длин

Составим массив рёбер, упорядоченных по возрастанию. Для этого можно использовать половину матрицы длин (по диагонали). Получаем массив $d_{13}, d_{34}, d_{45}, d_{56}, d_{46}, d_{14}, d_{16}, d_{27}, d_{35}, d_{36}, d_{12}, d_{67}, d_{23}, d_{57}, d_{15}, d_{24}, d_{26}, d_{47}, d_{17}, d_{25}, d_{37}$. Применяем алгоритм Краскала, анализируя массив по трём условиям, в результате получаем:

$d_{13}, d_{34}, d_{45}, d_{56}, d_{27}, d_{67}, d_{57}$, то есть последовательность соединения микросхем:

$DD1 - DD7 - DD2 - DD3 - DD5 - DD4 - DD6$.

Шина «земля» показана на рисунке 4.1 заштрихованной областью. Шина «земля» строится со стороны пайки.

4.2 Трассировка шины «питание» с помощью алгоритма Прима

На рисунке 4.3 приведён пример размещения микросхем на печатной плате и трассировка шины «питание». К шине «питание» подключается 14-й вывод микросхем. Трассировку шины «питание» проводим с помощью алгоритма Прима. В нём построение КСС получаем путём присоединения не рёбер, а ближайших изолированных вершин. Алгоритм Прима работает с полной матрицей расстояний, которая приведена на рисунке 4.4.

Просматриваем первую строку матрицы и выбираем элемент d_{13} , являющийся минимальным в этой строке. При наличии нескольких элементов с одинаковыми минимальными значениями выбираем элемент с меньшим

индексом. Помечаем элемент d_{13} : $K1=K3=1$. Исключаем из рассмотрения (вычёркиваем) все элементы первого и третьего столбцов (рисунок 4.5).

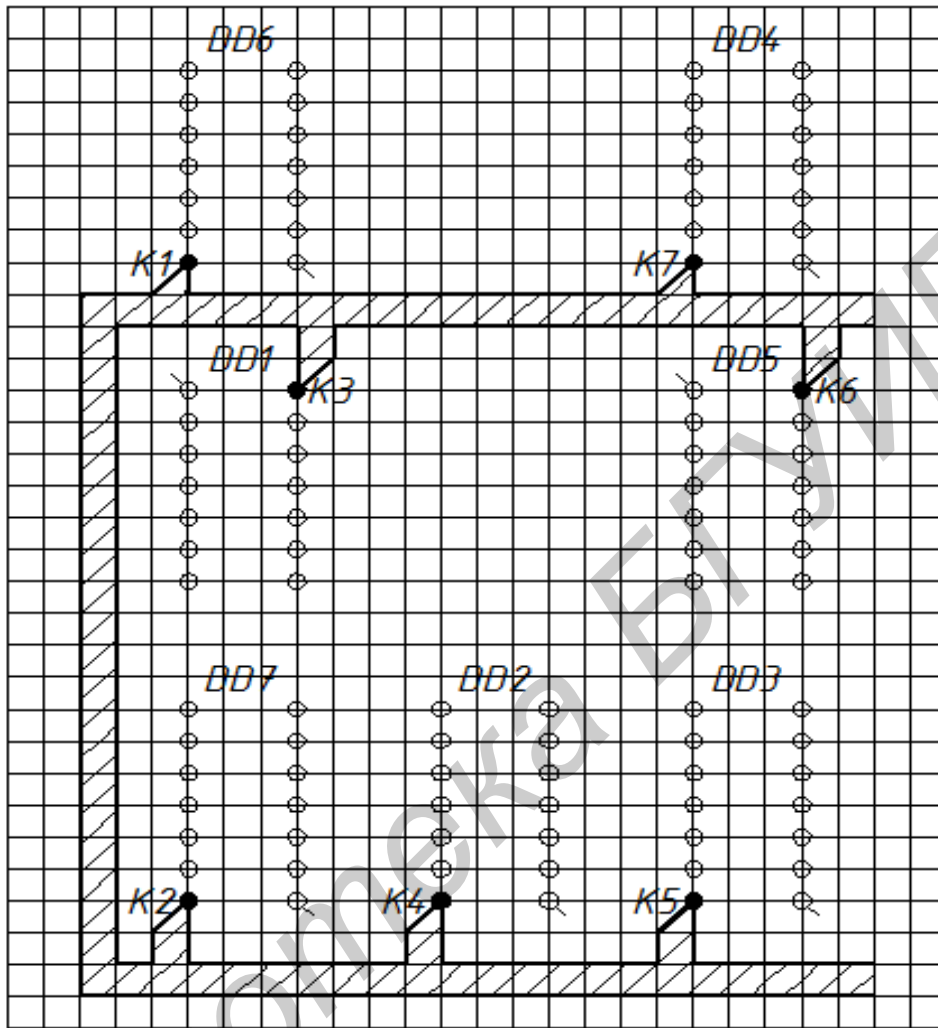


Рисунок 4.3 – Трассировка шины «питание»

	$K1$	$K2$	$K3$	$K4$	$K5$	$K6$	$K7$
$K1$	0	20	7	27	34	21	14
$K2$	20	0	19	7	14	33	34
$K3$	7	19	0	20	27	14	15
$K4$	27	7	20	0	7	26	24
$K5$	34	14	27	7	0	19	20
$K6$	21	33	14	26	19	0	7
$K7$	14	34	15	24	20	7	0

Рисунок 4.4 – Матрица расстояний

	<i>K2</i>	<i>K4</i>	<i>K5</i>	<i>K6</i>	<i>K7</i>
<i>K1</i>	20	27	34	21	14
<i>K2</i>	0	7	14	33	34
<i>K3</i>	19	20	27	14	15
<i>K4</i>	7	0	7	26	24
<i>K5</i>	14	7	0	19	20
<i>K6</i>	33	26	19	0	7
<i>K7</i>	34	24	20	7	0

Рисунок 4.5 – Матрица расстояний без первого и третьего столбцов

Просматриваем первую и третью строки. Выбираем элемент d_{17} : $K1=2$, $K7=1$. Исключаем из рассмотрения элементы седьмого столбца (рисунок 4.6).

	<i>K2</i>	<i>K4</i>	<i>K5</i>	<i>K6</i>
<i>K1</i>	20	27	34	21
<i>K2</i>	0	7	14	33
<i>K3</i>	19	20	27	14
<i>K4</i>	7	0	7	26
<i>K5</i>	14	7	0	19
<i>K6</i>	33	26	19	0
<i>K7</i>	34	24	20	7

Рисунок 4.6 – Матрица расстояний без первого, третьего и седьмого столбцов

Просматриваем первую, третью и седьмую строки. Выбираем элемент d_{76} : $K7=2$, $K6=1$. Исключаем из рассмотрения элементы шестого столбца. Просматриваем первую, третью, шестую и седьмую строки. Выбираем элемент d_{32} : $K3=2$, $K2=1$.

Продолжая процесс построения шины «питания» аналогичным образом, выбираем элементы d_{24} , d_{45} .

В результате применения алгоритма Прима и учитывая условия построения KCC , соединяем микросхемы в следующей последовательности:

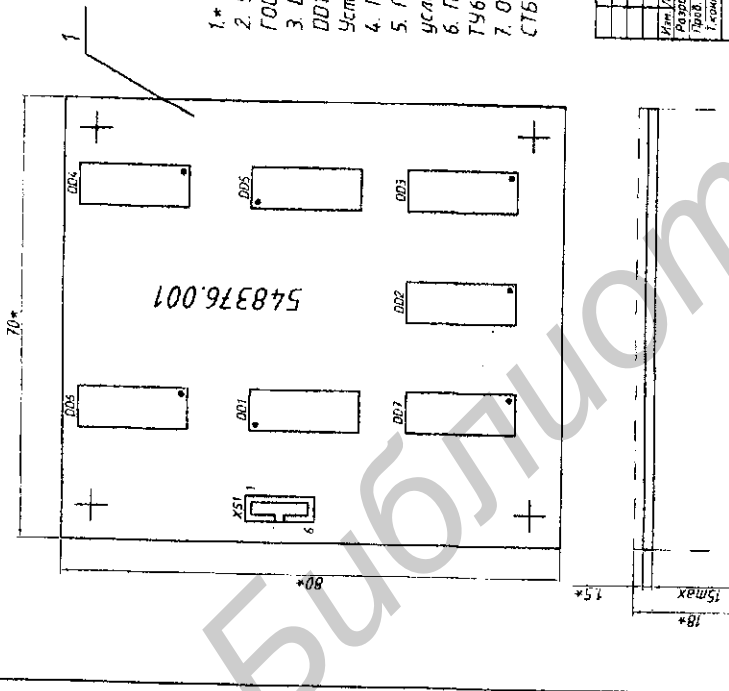
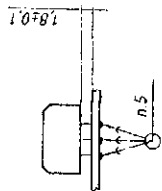
$$DD5 - DD4 - DD1 - DD6 - DD7 - DD2 - DD3.$$

Трассировка шины «питание» выполняется со стороны монтажа элементов и показана заштрихованной областью на рисунке 4.3.

ПРИЛОЖЕНИЕ

Библиотека БГУИР

Установка XS1

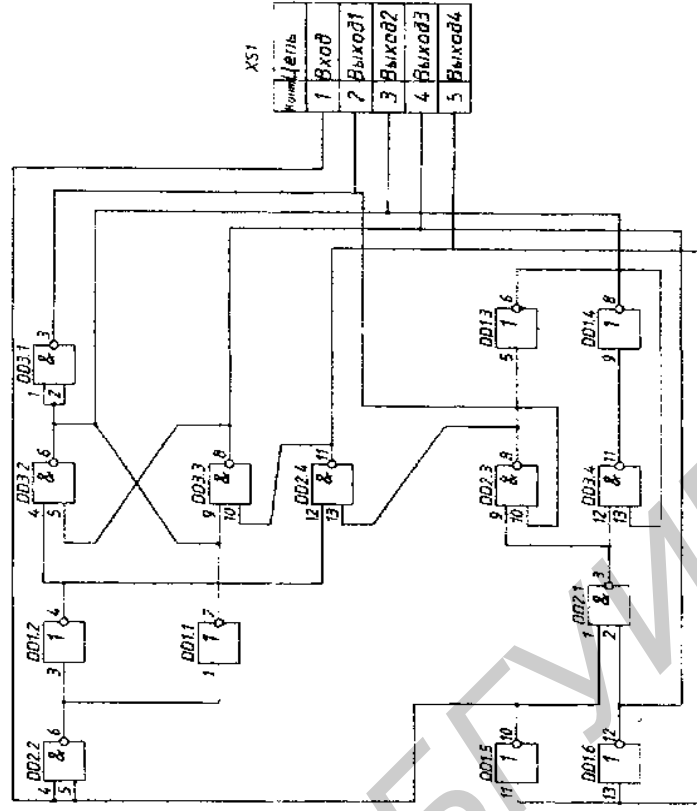


- 1.* Размеры для справок.
2. Установку элементов производить по ГОСТ 29137-91.
3. Шаг координатной сетки 2,5 мм. Элементы DD1...DD7 установить по варианту 320.00.0000.00.00. Установку XS1 см. по чертежу.
4. ПОС 61 ГОСТ 21931-76.
5. Позиционные обозначения элементов показаны условно.
6. Покрытие: лак УР-231, бесцветный ТУ6-10-863-84-92, кроме розетки XS1.
7. Остальные технические требования по СТБ 1022-96.

ГЧИР.548376.001 СБ		Листов		Листов	
Модуль управления		2:1		Листов 1	
Сварочный чертеж*					
Изм.	Лист	№ докум.	Подп.	Дата	
Разр.					
Пров.					
Н.контр.					
Утв.					

Поз. обозначение	Наименование	Кол.	Примечание
Микросхемы БКО.348.289-01 ТУ			
DD1	K555/М1	1	
DD2, DD3	K555/А3	2	
XS1	Розетка IDC2,0-6F	1	
ГЧИР.548376.001 ПЭЗ			
Изм.	Лист	№ докум.	Подп.
Разр.			
Пров.			
Н.контр.			
Утв.			
Модуль управления		Лист	Лист
Перечень элементов		1	1

ГУИР.548376.001 ЭЗ



ГУИР.548376.001 ЭЗ			
Изм.	Лист	Масштаб	Листов
Разраб.	Провер.	Дата	1
Модуль управления			
Схема электрическая			
принципиальная			
Исполн.	Инженер	Лист	1
Упр.			

Формат	Зона	Поз	Обозначение	Наименование	Кол.	Примечание
				Документация		
A3			ГУИР.548376.001 СБ	Сборочный чертёж		
A3			ГУИР.548376.001 ЭЗ	Схема электрическая принципиальная		
A4			ГУИР.548376.001 ПЭЗ	Перечень элементов		
				Детали		
A2	1		ГУИР.758724.001	Плата печатная	1	
				Прочие изделия		
				Микросхемы		
				БК0.348.289-01 ТУ		
	2			K555ЛАЗ	2	002,003
	3			K555ЛН1	1	001
	4			Розетка ЮС2,0-6F	1	X51
ГУИР.548376.001						
Изм	Кол.	№ докум.	Подп.	Взам	Лист	Листов
Разроб.					1	1
Пров.						
Н.контр						
Утв.						
Модуль управления						

ЛИТЕРАТУРА

- 1 Деньдобренко, Б. Н. Автоматизация конструирования РЭА : учебник для вузов / Б. Н. Деньдобренко, А. С. Малика. – М. : Высш. шк., 1980.
- 2 Корячко, В. П. Теоретические основы САПР : учебник для вузов / В. П. Корячко, В. М. Курейчик, И. П. Норенков – М. : Энергоатомиздат, 1987.
- 3 Оре, О. Теория графов / О. Оре. – М. : Наука, 1980.
- 4 САПР. Система автоматизированного проектирования : учеб. пособие для технических вузов. В 9 кн. / под ред. И. П. Норенкова. – М. : Высш. шк., 1986.
- 5 Селезнёв, И. Л. Теоретические основы САПР : учеб. пособие для студентов факультета компьютерного проектирования. В 3 ч. Ч. 1 : Математические методы в проектировании / И. Л. Селезнёв, И. И. Шпак. – Минск : БГУИР, 1997.
- 6 Селезнёв, И. Л. Теоретические основы САПР: учеб. пособие для студентов факультета компьютерного проектирования. В 3 ч. Ч. 2 : Элементы информационного обеспечения / И. Л. Селезнёв, И. И. Шпак. – Минск : БГУИР, 1998.
- 7 Математические методы моделирования конструкций и технологических процессов в САПР : учеб. пособие по курсу «Математическое обеспечение конструкторского и технологического проектирования с применением САПР» для студентов специальностей «Конструирование и производство РЭА» и «Конструирование и производство ЭВА» / И. И. Шпак [и др.]. – Минск : МРТИ, 1989.
- 8 Методические указания к лабораторным работам по курсу «Автоматизация конструкторского и технологического проектирования РЭС» для студентов специальности 1-39 02 01 / А. И. Толстая [и др.]. – Минск : БГУИР, 2008.
- 9 Системы автоматизированного проектирования в радиоэлектронике : справочник / Е. В. Авдеев [и др.]; под ред. И. П. Норенкова. – М. : Радио и связь, 1986.
- 10 ГОСТ 2.104-88 ЕСКД. Основные надписи.
- 11 ГОСТ 2.109-73 ЕСКД. Основные требования к чертежам.
- 12 ГОСТ 2.701-84 ЕСКД. Схемы. Виды и типы. Общие требования к выполнению.
- 13 ГОСТ 2.710-81 ЕСКД. Обозначения буквенно-цифровые в электрических схемах.

Учебное издание

Толстая Алла Ивановна
Цырельчук Игорь Николаевич
Шокурова Александра Павловна
Логин Владимир Михайлович

**АВТОМАТИЗАЦИЯ КОНСТРУКТОРСКОГО
И ТЕХНОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ РЭС**

Методическое пособие
по курсовому проектированию
для студентов специальности 1-39 02 01
«Моделирование и компьютерное проектирование РЭС»
всех форм обучения

Редактор Н. В. Гриневич
Корректор Е. Н. Батурчик

Подписано в печать 16.11.2011.
Гарнитура «Таймс».
Уч.-изд. л. 2,5.

Формат 60x84 1/16.
Отпечатано на ризографе.
Тираж 100 экз.

Бумага офсетная.
Усл. печ. л. 2,56.
Заказ 288.

Издатель и полиграфическое исполнение: учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0494371 от 16.03.2009. ЛП №02330/0494175 от 03.04.2009.
220013, Минск, П. Бровки, 6