

Министерство образования Республики Беларусь  
Учреждение образования  
«Белорусский государственный университет  
информатики и радиоэлектроники»

Кафедра радиоэлектронных средств

**П. П. Лычук**

***ОСНОВЫ БУЛЕВОЙ АЛГЕБРЫ  
И ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ***

Учебно-методическое пособие по дисциплине  
«Проектирование устройств цифровой обработки информации»  
для студентов специальностей  
I-39 02 01 «Моделирование и компьютерное проектирование РЭС»,  
I-39 02 02 «Проектирование и производство РЭС»  
дневной и заочной форм обучения

Минск 2007

УДК 681.31+512.563(075.8)

ББК 32.444-02 я 73

Л 88

Рецензент  
профессор кафедры ЭВС БГУИР,  
канд. техн. наук И. М. Русак

**Лычук, П. П.**

Л 88 Основы булевой алгебры и логические элементы цифровых устройств : учебно-метод. пособие по дисц. «Проектирование устройств цифровой обработки информации» для студ. спец. I-39 02 01 «Моделирование и компьютерное проектирование РЭС», I-39 02 02 «Проектирование и производство РЭС» дневн. и заочн. форм обуч. / П. П. Лычук. – Минск : БГУИР, 2007. – 66 с.

ISBN 978-985-488-157-7

Рассмотрены основы алгебры логики, основные аксиомы и тождества, формы представления булевых функций и методы их минимизации.

Приводится система параметров логических элементов, рассмотрены интегральные элементы одноступенчатой и двухступенчатой логики на биполярных и полевых транзисторах и особенности логических элементов, реализуемых в составе БИС.

**УДК 681.31+512.563(075.8)**  
**ББК 32.444-02 я 73**

ISBN 978-985-488-157-7

© Лычук П. П., 2007

© УО «Белорусский государственный университет информатики и радиоэлектроники», 2007

## Содержание

Введение. Общие сведения о цифровых сигналах.....	4
Глава 1. Основы теории проектирования устройств цифровой обработки информации.....	8
1.1. Основы алгебры логики.....	8
1.2. Основные аксиомы и тождества алгебры логики.....	16
1.3. Аналитическая форма представления булевых функций.....	20
1.4. Минимизация булевых функций.....	23
Глава 2. Логические элементы интегральных микросхем.....	33
2.1. Общие сведения.....	33
2.2. Система параметров.....	33
2.3. Интегральные элементы одноступенчатой логики.....	38
2.3.1. Резистивно-транзисторные ИМС (RTL).....	38
2.3.2. Диодно-транзисторные ИМС (DTL).....	40
2.3.3. ИМС с эмиттерными связями (ECL).....	41
2.3.4. Интегральные элементы инжекционной логики (И <sup>2</sup> Л).....	44
2.4. Интегральные элементы двухступенчатой логики.....	46
2.4.1. Диодно-транзисторные ИМС (DTL-2).....	46
2.4.2. Транзисторно-транзисторные ИМС (TTL).....	47
2.4.3. Транзистор-транзисторно-транзисторные ИМС (Т-TTL).....	49
2.5. Логические элементы на полевых транзисторах.....	51
2.5.1. ЛЭ на одноканальных МДП-структурах.....	55
2.5.2. Логические элементы на дополняющих МДП-транзисторах...	57
2.5.3. Неинвертирующие вентили.....	60
2.6. Логические элементы с вентильными и блокирующим КМДП-транзисторами.....	61
2.7. Особенности логических элементов, реализуемых в составе БИС.....	63
Литература.....	65

## **Введение.**

### **Общие сведения о цифровых сигналах**

В настоящее время до 90 % всех разрабатываемых устройств – цифровые. Цифровая техника работает с двухуровневыми символами (1, 0), которыми оказалось возможным представлять (кодировать) любую информацию, что привело к созданию чрезвычайно точных, надежных, малогабаритных и функционально-наращиваемых устройств. Использование в цифровой технике двухсимвольного алфавита привело к созданию новых, исключительно эффективных методов передачи, хранения и преобразования сигналов, к новым средствам обработки информации – информационным технологиям (под этим понимают технологию обработки информации с использованием современных средств цифровой техники и в частности вычислительной техники, в том числе и ПК).

С использованием информационных технологий проектируются и производятся современные радиоэлектронные средства и в частности средства связи (цифровая связь и цифровое телевидение), радиосредства обнаружения и опознавания (цифровая радиолокация и цифровая радионавигация), средства вычислений и автоматического управления, средства измерений, записи звука (CD), видеоизображений (DVD), цифровые фотоаппараты и т.д.

Цифровая техника основывается на трех базовых понятиях [1]. Первое понятие – теорема о дискретизации, сформулированная и доказанная в 1933 г. академиком В. А. Котельниковым. В этой теореме теоретически обоснована возможность получения цифрового эквивалента (цифрового образа) аналогового сигнала, хранить, передавать и обрабатывать который оказалось значительно проще и точнее, чем осуществлять аналогичные действия над аналоговым сигналом.

Второе понятие – алгебра логики (булева алгебра, названная так в честь ее автора – ирландского математика Дж. Буля), позволившая поставить анализ и синтез цифровых схем на прочный математический фундамент.

Третье понятие – импульсная техника, из которой цифровая техника заимствовала многие принципы, элементы и устройства.

Цифровые устройства обладают рядом преимуществ перед аналоговыми, а именно: огромной степенью интеграции, составляющей десятки миллионов транзисторов в одной микросхеме, сверхвысоким быстродействием СБИС (до 500 миллионов операций в секунду и больше), чрезвычайно низкой погрешностью, достигающей  $10^{-12}$ , малой зависимостью от параметров окружающей среды. Все это говорит в пользу того, что специалисты, владеющие знаниями в области цифровой техники, окажутся востребованными по существу в любой области народного хозяйства.

Цифровые устройства работают с цифровыми сигналами. В общем случае сигналом называют физический процесс, несущий информацию. Информация содержится в изменениях параметров сигнала (громкость звука, яркость и цвет светового излучения, амплитуда, частота и фаза электрического колебания).

Цифровые сигналы являются искусственными, «рукотворными». Их разделяют на две категории [1]. К одной из них относят сигналы, формируемые из

аналоговых сигналов. Такой сигнал принято считать эквивалентом (цифровым образцом) аналогового сигнала. Он несет в себе всю информацию о численном значении параметров физических величин (о температуре, напряжении, механическом усилии, и т.д.), заложенную в аналоговом сигнале.

Ко второй категории относят так называемые логические сигналы, появление которых связано с наступлением или не наступлением того или иного события.

Как правило, сигналы обеих категорий называют одинаково – цифровыми сигналами, а устройства, в которых действуют цифровые сигналы, называют цифровыми устройствами.

Цифровой сигнал – это модель, согласно которой в любой момент времени сигнал может принимать только одно из двух дискретных значений, которые называют «нулем» (0) и «единицей» (1) (или «низким» и «высоким» уровнями).

Цифровые системы строятся на основе схем, в которых происходит обработка двоичных чисел – нулей и единиц. Поэтому для последующего понимания материала напомним некоторые сведения о двоичной системе счисления.

Традиционная система чисел (которой учили в школе и которой мы ежедневно пользуемся) является десятичной системой счисления (иногда называют позиционной системой счисления). В такой системе число представляется строкой из десяти цифр: от 0 до 9. В такой строке цифр каждому разряду приписан определенный вес, а веса в соседних разрядах отличаются в 10 раз. Значение числа равно взвешенной сумме его разрядов, например: число  $1734_{10}$  (индекс 10 указывает на запись числа в десятичной системе счисления) выражается суммой

$$1734 = 1 \cdot 1000 + 7 \cdot 100 + 3 \cdot 10 + 4 \cdot 1 = 1 \cdot 10^3 + 7 \cdot 10^2 + 3 \cdot 10^1 + 4 \cdot 10^0.$$

Каждый вес – это степень числа 10, соответствующая положению цифры в строке. Крайний левый разряд в такой записи называется старшим разрядом, а крайний правый разряд – младшим разрядом.

Или, например:  $38_{10} = 3 \cdot 10^1 + 8 \cdot 10^0$ , где основание системы 10 возводится в нулевую степень (в младшем разряде), в первую (в старшем разряде), а коэффициентами ряда являются цифры 3 и 8, последовательное написание которых представляет рассматриваемое число.

В двоичной системе счисления основанием системы является число 2, используемых цифр две: 0 и 1, а веса единиц в соседних разрядах отличаются вдвое. Число в двоичной системе счисления представляется последовательностью коэффициентов в разложении этого числа по степеням числа 2.

Так, число  $38_{10}$  выражается следующим рядом по степеням 2 (двойки):

$$38_{10} = 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 100110_2,$$

где индекс 2 указывает, что данная совокупность цифр выражает число в двоичной системе счисления (является двоичным кодом числа).

Как следует из последнего примера, двоичный код формируется так же, как десятичный; его разряды – это коэффициенты в разложении числа по степеням основания (в данном случае – по основаниям 2). Рассмотренный двоичный код (у которого «веса» единиц в соседних разрядах отличаются вдвое) называется натуральным двоичным кодом.

Преимуществом двоичной системы счисления является то, что она использует только две цифры. Поэтому в аппаратуре для выполнения операций над числами в двоичной системе счисления (над двоичными числами) достаточно пользоваться двумя значениями, к примеру, напряжения.

Наряду с этим в двоичной системе счисления число имеет большее количество разрядов, чем в десятичной, что является ее недостатком.

Нередко в цифровых устройствах используют смешанное – двоично-десятичное представление числа. Аналогично представлению в десятичной системе счисления оно составляется десятичными разрядами единиц, десятков, сотен и т.д. Однако цифра в таком десятичном разряде представлена в двоичной системе счисления (двоичным кодом). Так как наибольшей цифрой в десятичном разряде является цифра 9, то он должен содержать четыре двоичных разряда (тетраду).

Двоично-десятичное представление числа используется, в частности, в системах индикации, когда число индицируется в привычной десятичной системе счисления, а его каждый разряд может формироваться элементами, работающими с двоичными кодами. Цифровой сигнал формируется из аналогового сигнала аналого-цифровым преобразователем (АЦП). Такое преобразование сводится к тому, что из аналогового сигнала периодически производятся выборки мгновенных значений (сигнал дискретизируется, т.е. он существует в определенные моменты времени:  $f_{\text{дискр}} = 2 \cdot f_{\text{max}}$ ). Затем осуществляется квантование сигнала: «высота» каждой выборки округляется до ближайшего разрешенного уровня (уровня квантования). После этого сигнал представляется совокупностью выборок, существующих в дискретные моменты времени, каждая из которых может иметь только конечное (не бесконечное) число значений. Затем каждое из этих значений оцифровывается двоичным числом (двоичным кодом). Разряд кода выборки представляют обычно уровнем потенциала: единицу в разряде – высоким уровнем ( $U_1$ ), нуль – низким ( $U_0$ ), а разряды кода выборки представляются последовательностью  $U_1$  и  $U_0$ . Совокупность таких последовательностей, каждая из которых выражает квантованный уровень соответствующей выборки, является цифровым сигналом. На выходах АЦП последовательность  $U_1$  и  $U_0$ , соответствующая одной выборке, сменяется последовательностью, соответствующей следующей выборке и т.д. (обычно говорят: код одной выборки сменяется кодом другой).

Высокий уровень  $U_1$ , представляющий единицу в разряде кода, называют логической единицей, и низкий уровень  $U_0$ , представляющий нуль в разряде кода, – логическим нулем. Нередко эти уровни называют логическими потенциалами. (Применяется и обратное представление).

Цифровой сигнал можно представить в параллельной и последовательной форме.

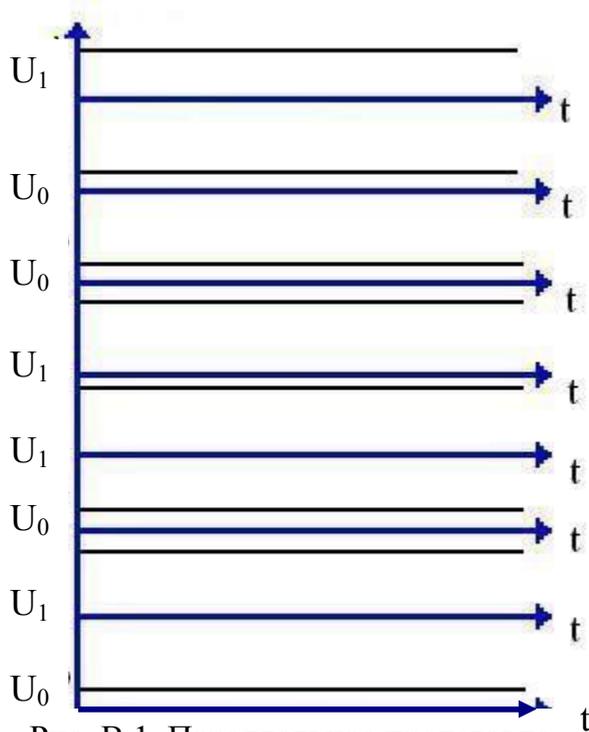


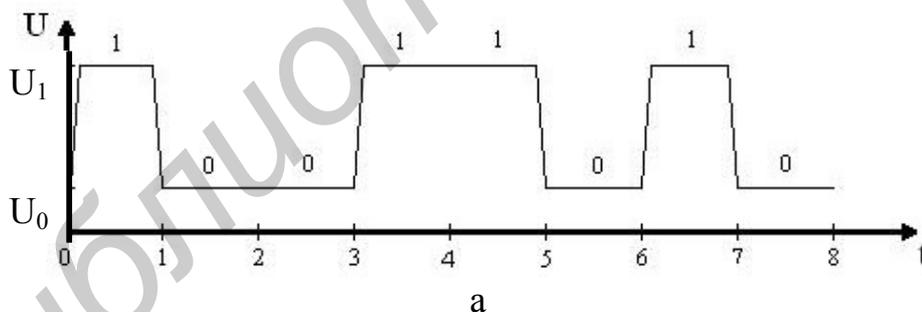
Рис. В.1. Параллельное представление цифрового сигнала

В первом случае уровни, выражающие цифры (0 и 1), в разрядах кода квантованной выборки появляются одновременно, параллельно.

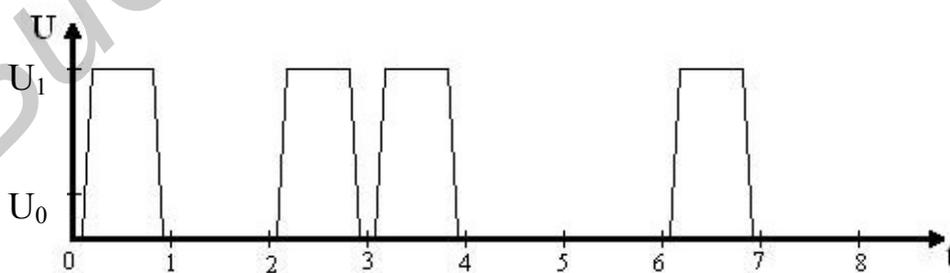
На рис. В.1 этими уровнями представляются разряды 8-разрядного кода 10011010 – «высота» некоторой выборки аналогового сигнала. При этом количество линий передачи, а также однотипных элементов устройства, обрабатывающих такой сигнал, соответствует его разрядности. Во многих случаях это компенсируется скоростью обработки.

При представлении цифрового сигнала в последовательной форме (последовательным кодом) уровни, выражающие цифры в разрядах кода выборки, сменяют друг друга, т.е. появляются последовательно. Каждый остается неизменным в течение так называемого тактового интервала. На его границе уровень потенциала изменяется, если следующая цифра двоичного кода отличается от предыдущей.

На рис. В.2, а код 10011010, выражающий прежнюю квантованную выборку, представлен последовательно сменяющимися уровнями.



а



б

Рис. В.2. Последовательное представление цифрового сигнала

Цифры (1 и 0) в разрядах кода выборки могут представляться как потенциалами (потенциальный цифровой (рис. В.1, В.2, а), так и импульсами и их отсутствием – импульсный цифровой сигнал (рис. В.2, б).

Обратное преобразование цифрового сигнала в аналоговый осуществляется цифроаналоговым преобразователем (ЦАП).

## Глава 1. Основы теории проектирования устройств цифровой обработки информации

### 1.1. Основы алгебры логики

Алгебра логики (булева алгебра) в отличие от обычной алгебры оперирует переменными, которые могут принимать только два значения типа «да-нет», включено-выключено и т. п. Обычно их обозначают латинскими буквами  $X, Y, Z, \dots$ . При этом для удобства математического описания значения этих переменных принято обозначать 1 и 0.

В алгебре логики определены отношение эквивалентности ( $=$ ) и три операции: дизъюнкция (операция **ИЛИ**), обозначаемая знаком  $\vee$  (или «+»), конъюнкция (операция **И**), обозначаемая знаком  $\wedge$  (или  $\&$ ) или точкой, которую можно опускать (например  $X \text{ Ч } Y = XY$ ), и отрицание (инверсия, операция **НЕ**), обозначаемое чертой над переменными или над элементами 0 и 1 (например,  $\bar{1}, \bar{0}, \bar{X}$ ).

Отношение эквивалентности удовлетворяет следующим свойствам:

- $X = X$  – рефлексивность;
- если  $X = Y$ , то  $Y = X$  – симметричность;
- если  $X = Y$  и  $Y = Z$ , то  $X = Z$  – транзитивность.

Из отношения эквивалентности следует принцип подстановки:

- если  $X = Y$ , то в любой формуле, содержащей  $X$ , вместо  $X$  можно подставить  $Y$ , и в результате будет получена эквивалентная формула.

Булева алгебра наиболее эффективна для описания функционирования различных электронных устройств, которые в силу специфики работы могут находиться в состоянии либо включено, либо выключено. Основным понятием булевой алгебры является понятие переключательной функции [6].

Переключательной (булевой, двоичной) функцией называют функцию вида

$$f(X_1, X_2, X_3, \dots, X_n),$$

которая, как и ее переменные (аргументы)  $X_1, X_2, X_3, \dots, X_n$ , может принимать два значения: 0 или 1.

Как и всякая функция, булева функция имеет область определения. Поскольку аргументы переключательной функции могут принимать только два значения, то область определения булевой функции выражается совокупностью комбинаций этих переменных и, следовательно, она всегда конечна. В свою очередь каждую совокупность комбинаций аргументов называют набором. В

итоге для любой переключательной функции от  $n$  переменных существует  $2^n$  различных наборов. Наборы аргументов нумеруют двоичными числами, разрядами которых являются сами аргументы переключательных функций.

В качестве примера покажем всевозможные наборы переключательных функций от одной и двух переменных (табл. 1.1 и 1.2).

Таблица 1.1

Номер набора	Аргумент
	$X_1$
0	0
1	1

Таблица 1.2

Номер набора	Аргумент	
	$X_1$	$X_2$
0	0	0
1	0	1
2	1	0
3	1	1

Поскольку любая булева функция определена на  $2^n$  наборах и сама принимает только два значения (0 или 1), то число булевых функций от  $n$  переменных равно  $2^{2^n}$ . Например, при  $n = 1$  (т.е. для булевой функции от одной переменной) существует  $2^2 = 4$  различных булевых функций, каждая из которых определена на  $2^1$  наборах (см. табл. 1.1).

Булевы функции от одной переменной (сингулярные функции), а также их условное обозначение и название приведены в табл. 1.3.

Как следует из табл. 1.3, существует всего четыре сингулярные функции от одной переменной  $X$ : константа 0, переменная  $X$ , инверсия  $X$ , константа 1.

Функции константа 0 и константа 1 названы так по той причине, что любому из двух ее наборов аргументов  $X = 0$  и  $X = 1$  ставится в соответствие постоянное значение функции, равное 0 для функции константа 0 и 1 для функции константа 1.

Таблица 1.3

Функция	Аргумент $X$		Условное обозначение	Название функции
	0	1		
$f_0(X)$	0	0	0	Константа 0
$f_1(X)$	0	1	$X$	Переменная $X$
$f_2(X)$	1	0	$\bar{X}$	Отрицание или инверсия $X$ (функция НЕ)
$f_3(X)$	1	1	1	Константа 1

Функция  $f_1(X)$  – переменная  $X$  на одном наборе  $X = 0$  равна 0, а на другом наборе  $X = 1$  равна 1, т. е. повторяет переменную  $X$ .

Функция  $f_2(X)$  принимает значение 1 на наборе  $X = 0$  и значение 0 на наборе  $X = 1$ . Функция, выполняющая такую операцию над аргументом, носит название отрицания или инверсии и является одной из основных функций булевой алгебры.

При  $n = 2$ , т. е. для булевых функций от двух переменных  $X_1$  и  $X_2$  (бинарные функции), существует  $2^4 = 16$  различных функций, каждая из которых определена на четырех наборах (см. табл. 1.2).

Булевы функции двух переменных, их условное обозначение и название приведены в табл. 1.4.

Среди этих 16 функций фактически бинарными являются 10, а остальные 6 зависят от двух переменных формально и являются либо константами ( $f_0$  и  $f_{15}$ ), либо сингулярными, т. е. повторениями переменных ( $f_3$  и  $f_5$ ) и их отрицаниями ( $f_{10}$  и  $f_{12}$ ).

Таблица 1.4

Функция	Наборы (аргументы)					Условное обозначение функции и алгебраическое выражение	Название функции
	x <sub>1</sub>	0	0	1	1		
	x <sub>2</sub>	0	1	0	1		
$f_0(x_1, x_2)$		0	0	0	0	0	Константа 0
$f_1(x_1, x_2)$		0	0	0	1	$x_1 \cdot x_2; x_1 \wedge x_2$	Конъюнкция (логическая операция И)
$f_2(x_1, x_2)$		0	0	1	0	$x_1 \Delta x_2; x_1 \cdot \overline{x_2}$	Запрет по $x_2$ (отрицание импликации)
$f_3(x_1, x_2)$		0	0	1	1	$x_1$	Переменная $x_1$
$f_4(x_1, x_2)$		0	1	0	0	$x_2 \Delta x_1; \overline{x_1} \cdot x_2$	Запрет по $x_1$
$f_5(x_1, x_2)$		0	1	0	1	$x_2$	Переменная $x_2$
$f_6(x_1, x_2)$		0	1	1	0	$x_1 \oplus x_2; x_1 \cdot \overline{x_2} + \overline{x_1} \cdot x_2$	Сумма по модулю 2, исключающее ИЛИ
$f_7(x_1, x_2)$		0	1	1	1	$x_1 + x_2; x_1 \vee x_2$	Дизъюнкция (логическая операция ИЛИ)
$f_8(x_1, x_2)$		1	0	0	0	$x_1 \downarrow x_2; \overline{x_1 + x_2}$	Стрелка Пирса (отрицание дизъюнкции)(ИЛИ-НЕ)
$f_9(x_1, x_2)$		1	0	0	1	$x_1 \sim x_2; x_1 \cdot x_2 + \overline{x_1} \cdot \overline{x_2}$	Эквивалентность (равнозначность)
$f_{10}(x_1, x_2)$		1	0	1	0	$\overline{x_2}$	Отрицание $x_2$ (функция НЕ)
$f_{11}(x_1, x_2)$		1	0	1	1	$x_2 \rightarrow x_1; x_1 + \overline{x_2}$	Импликация от $x_2$ к $x_1$
$f_{12}(x_1, x_2)$		1	1	0	0	$\overline{x_1}$	Отрицание $x_1$ (функция НЕ)
$f_{13}(x_1, x_2)$		1	1	0	1	$x_1 \rightarrow x_2; \overline{x_1} + x_2$	Импликация от $x_1$ к $x_2$
$f_{14}(x_1, x_2)$		1	1	1	0	$x_1 / x_2; \overline{x_1 \cdot x_2}$	Штрих Шеффера (отрицание конъюнкции, И-НЕ)
$f_{15}(x_1, x_2)$		1	1	1	1	1	Константа 1

К наиболее часто встречающимся булевым функциям от двух переменных относятся функции  $f_1$  (конъюнкция),  $f_7$  (дизъюнкция) и  $f_6$  (логическая неравнозначность, исключающее ИЛИ, сложение по модулю 2).

Функция  $f_1$  принимает значение 1 только на одном из четырех возможных наборов переменных, а именно на наборе  $X_1 = 1$  и  $X_2 = 1$ . На всех остальных наборах ее значение равно 0. Применительно к преобразованию сигналов это означает, что сигнал на выходе устройства, имеющего два входа ( $X_1$  и  $X_2$ ), появится только тогда, когда сигнал 1 будет одновременно присутствовать на двух входах.

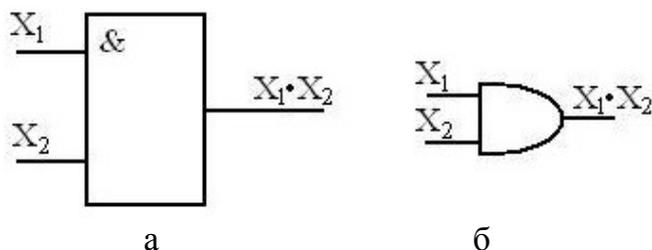


Рис. 1.1. Функциональное обозначение логического элемента И:  
а – отечественное; б – зарубежное

Элемент, реализующий эту функцию, носит название схемы И (логическое умножение).

На структурных схемах логический элемент (ЛЭ), выполняющий функцию И, обозначают в виде прямоугольника, внутри которого имеется символ & (энд) (рис. 1.1).

ЛЭ И часто называют схемой совпадений, или *конъюнктом*.

- Логика работы конъюнктора на два входа представляется таблицей истинности (состояний) (табл. 1.5).

Таблица 1.5

$x_1$	$x_2$	$y$
0	0	0
0	1	0
1	0	0
1	1	1

Логическое уравнение конъюнктора, составленное на основе таблицы истинности, запишется в виде

$$Y = X_1 \cdot X_2 \text{ или } Y = X_1 \wedge X_2.$$

Временная диаграмма работы конъюнктора на два входа имеет вид, представленный на рис. 1.2, где  $U_1$  и  $U_0$  – уровни напряжения, соответствующие «1» и «0».

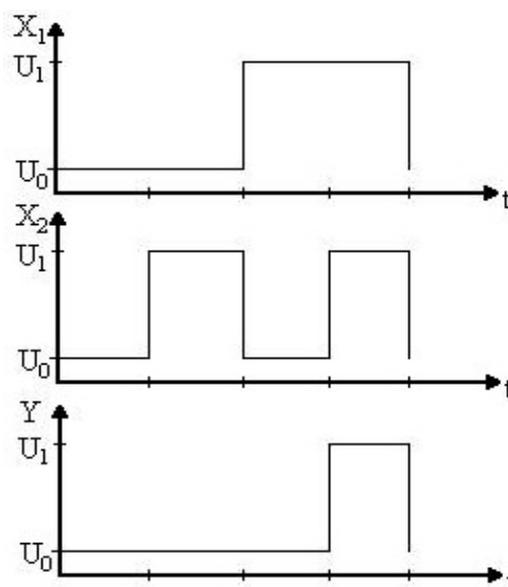


Рис. 1.2. Временная диаграмма работы конъюнктора на два входа

Из временной диаграммы следует, что если на вход конъюнктора поступают сигналы в разные моменты времени и разной длительности, то сигнал на выходе конъюнктора определяется как результат **пересечения** входных сигналов [2].

Функция  $f_7$  принимает значение 1 на всех наборах переменных, кроме одного:  $X_1 = 0$  и  $X_2 = 0$ . Применительно к преобразованию сигналов это означает, что сигнал на выходе устройства, имеющего два входа ( $X_1$  и  $X_2$ ), появится только тогда, когда сигнал 1 будет присутствовать хотя бы на одном из входов. Элемент, реализующий эту функцию, носит название схемы ИЛИ (логическое сложение). Схему ИЛИ обозначают прямоугольником с символом 1 внутри него (рис. 1.3) и иногда называют собирательной схемой или *дизъюнктором*.

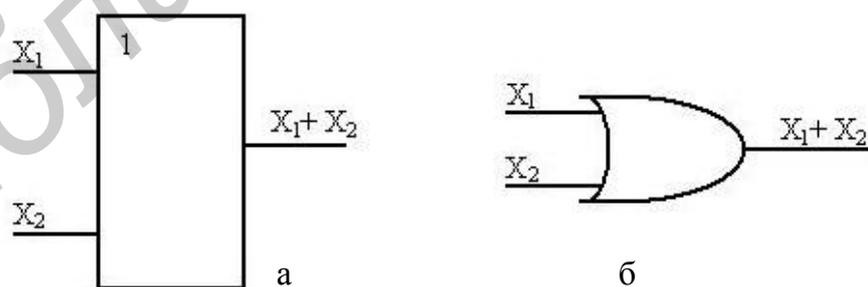


Рис. 1.3. Функциональное обозначение ЛЭ ИЛИ:

а – в отечественной литературе; б – в иностранной или переводной

- Таблица истинности дизъюнктора имеет следующий вид (табл. 1.6):

Таблица 1.6

$X_1$	$X_2$	$y$
0	0	0
0	1	1
1	0	1
1	1	1

Логическое уравнение  $Y = X_1 + X_2$  или  $Y = X_1 \vee X_2$ .

Временная диаграмма работы дизъюнктора на два входа имеет вид, представленный на рис. 1.4.

Из временной диаграммы следует, что если на вход дизъюнктора поступают сигналы в разные моменты времени и разной длительности, то сигнал на выходе дизъюнктора определяется как результат **объединения** входных сигналов.

Из остальных функций табл. 1.4 выделим функцию  $f_{12}$ . Элемент, реализующий ее, носит название схемы НЕ. Применительно к преобразованию сигналов данная функция означает, что сигнал на выходе устройства, имеющего один вход  $X_1$  (или  $X_2$  для  $f_{10}$ ), появится только в том случае, если сигнал 1 на входе отсутствует или, другими словами, на вход подан сигнал логического нуля.

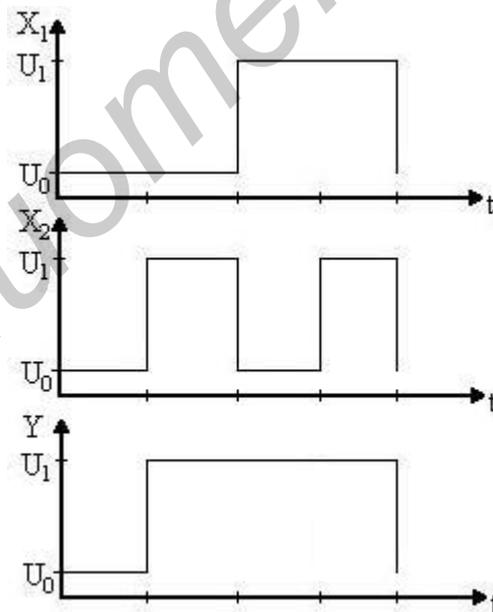


Рис. 1.4. Временная диаграмма работы дизъюнктора на два входа

При наличии сигнала 1 на входе на выходе схемы НЕ будет действовать сигнал 0. В соответствии с выполняемой операцией инверсии элемент НЕ иногда называют *инвертором*.

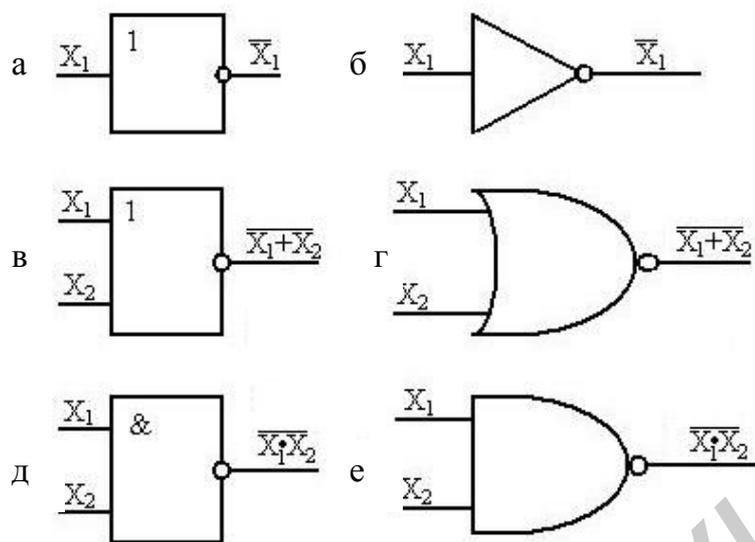


Рис. 1.5. Функциональное обозначение логических элементов:  
а, б – логический элемент НЕ; в, г – логический элемент ИЛИ-НЕ;  
д, е – логический элемент И-НЕ

Логическое отрицание обычно обозначают сплошной линией над соответствующими логическими переменными, например  $F = \bar{X}$ .

Инверсия по выходу (входу) обозначается кружком (о) в контуре прямоугольника, изображающем схему (рис. 1.5).

Логические элементы И, ИЛИ, НЕ являются самыми важными и самыми элементарными цифровыми устройствами, называемыми вентилями (gates). (По-английски термин «вентили» (во множественном числе) пишется и звучит точно так же, как фамилия основателя компании Microsoft Билла Гейтса). Вентиль называется комбинационной схемой, т. к. сигнал на его выходе определяется только комбинацией входных сигналов в данный момент времени.

Некоторые из приведенных в табл. 1.4 функций могут быть распространены и на большее число независимых переменных. К таким функциям можно отнести, например  $f_1$ ,  $f_7$ ,  $f_8$ ,  $f_{10}$  и др.:

$$f_1 = x_1 \cdot x_2 \cdot \dots \cdot x_n = x_1 \wedge x_2 \wedge \dots \wedge x_n,$$

$$f_7 = x_1 + x_2 + \dots + x_n = x_1 \vee x_2 \vee \dots \vee x_n,$$

$$f_8 = \overline{x_1 + x_2 + \dots + x_n} = \overline{x_1 \vee x_2 \vee \dots \vee x_n}.$$

Применительно к преобразованию сигналов, например, функция  $f_1$  от  $n$  переменных означает, что сигнал 1 на выходе устройства (в данном случае уже имеющего  $n$  входов) появится только при его присутствии одновременно на всех входах. Физическая реализация этой функции, как и функции  $f_1$  от двух переменных, носит название схемы И.

Обращаясь к табл. 1.4, можно заметить, что некоторые из приведенных функций получаются методом декомпозиции или перенумерации (переименования) аргументов булевых функций. Так, функция  $f_{13}$  может быть получена из функции  $f_{11}$ , если поменять местами аргументы  $X_1$  и  $X_2$ . Функция  $f_{14}$  (штрих Шеффера) может быть получена из функции  $f_{12}$  посредством замены значений аргумента  $X_1$  значениями функции  $f_1$ .

В общем случае операция замены аргументов одной функции другими функциями носит название суперпозиции. Например, если

$$f = f(Y_1, Y_2), \text{ а } Y_1 = Y_1(X_1, X_2) \text{ и } Y_2 = Y_2(X_3, X_4),$$

то очевидно, что

$$f = f(X_1, X_2, X_3, X_4).$$

Многочисленное применение метода суперпозиции позволяет получить более сложные булевы функции.

Возникает вопрос, возможен ли набор таких простых булевых функций, на основе которых можно получить любую сколь угодно сложную функцию. Этот вопрос связан с одним из основных понятий булевой алгебры – понятием функциональной полноты системы булевых функций. Система булевых функций будет называться полной, если на ее основе можно получить любую функцию, используя лишь операцию суперпозиции. Можно привести несколько систем булевых функций, обладающих функциональной полнотой. Одной из таких систем является система А. Эта система состоит из трех булевых функций и носит название основного функционально полного набора (ОФПН):

$$A \begin{cases} f_1 = x_1 \cdot x_2 - \text{конъюнкция}; \\ f_7 = x_1 + x_2 - \text{дизъюнкция}; \\ f_{12} = \bar{x} - \text{отрицание}. \end{cases}$$

В общем случае одна из приведенных в этой системе функций, а именно дизъюнкция или конъюнкция, является лишней, поскольку ее исключение не приводит к нарушению функциональной полноты системы. Действительно, кроме этой системы функциональной полнотой будут обладать системы булевых функций вида В и С, включающие всего две функции.

$$B \begin{cases} f_7 = x_1 + x_2; \\ f_{12} = \bar{x}. \end{cases} \quad C \begin{cases} f_1 = x_1 \cdot x_2; \\ f_{12} = \bar{x}. \end{cases}$$

Системы В и С будут функционально полными в силу того, что операцию конъюнкции, отсутствующую в системе В, и операцию дизъюнкции, отсутствующую в системе С, можно получить на основе имеющихся двух функций в соответствии с правилами алгебры логики.

Наконец, можно привести несколько систем, состоящих всего лишь из одной функции, которые также обладают функциональной полнотой.

Примером такой функции являются функция  $f_{14} = X_1/X_2 = \overline{X_1 \cdot X_2}$  (отрицание конъюнкции – штрих Шеффера) и функция стрелка Пирса  $f_8 = X_1 \downarrow X_2 = \overline{X_1 + X_2}$  (отрицание дизъюнкции). Недостающие функции дизъюнкции, конъюнкции и отрицания для этих систем можно получить на основе известных правил алгебры логики.

Можно привести и другие функционально полные системы.

## 1.2. Основные аксиомы и тождества алгебры логики

Булева алгебра позволяет не только математически описывать переключательные функции, но и преобразовывать их, давая возможность реализовывать эти функции на различных функционально полных системах. Поскольку переключательные функции в конечном счете отражают определенные логические связи между различными узлами цифровых устройств, то тем самым булева алгебра позволяет преобразовывать эти связи и, следовательно, она является аппаратом, позволяющим разработчику осуществлять выбор оптимального варианта.

В настоящее время наиболее полно разработаны методы преобразования выражений, которые содержат переключательные функции ОФПН. Применительно к такому набору булева алгебра располагает рядом аксиом и законов, основными из которых являются [4]:

### Система аксиом

$$\left. \begin{array}{l} x=0, \text{ если } x \neq 1, \\ x=1, \text{ если } x \neq 0. \end{array} \right\} (1.1) \quad \left. \begin{array}{l} 0+1=1+0=1, \\ 1 \cdot 0=0 \cdot 1=0. \end{array} \right\} (1.4)$$

$$\left. \begin{array}{l} 1+1=1, \\ 0 \cdot 0=0. \end{array} \right\} (1.2) \quad \left. \begin{array}{l} \bar{0}=1, \\ \bar{1}=0. \end{array} \right\} (1.5)$$

$$\left. \begin{array}{l} 0+0=0, \\ 1 \cdot 1=1. \end{array} \right\} (1.3)$$

Аксиома (1.1) является утверждением того, что в алгебре логики рассматриваются только двоичные переменные, аксиомы (1.2)...(1.5) определяют операции дизъюнкции и конъюнкции, а аксиома (1.5) – операцию отрицания. Если в аксиомах (1.2)...(1.5), заданных парами, произвести взаимную замену операций дизъюнкции и конъюнкции, а также элементов 0 и 1, то из одной аксиомы пары получится другая. Это свойство называется принципом двойственности.

## Теоремы и тождества алгебры логики

С помощью аксиом алгебры логики можно доказать целый ряд теорем и тождеств. Одним из эффективных методов доказательства теорем является метод перебора всех значений переменных: если теорема истинна, то с учетом (1.2)–(1.5) уравнение, формулирующее утверждение теоремы, должно быть истинно при подстановке любых значений переменных в обе его части.

Метод перебора не слишком трудоемок, так как переменные могут иметь только два значения: 0 и 1.

Так, методом перебора легко убедиться в справедливости следующих теорем:

Идемпотентные законы (законы тождества):

$$\left. \begin{aligned} x + x &= x, \\ x \cdot x &= x. \end{aligned} \right\} \quad (1.6)$$

Коммутативные законы (переместительные):

$$\left. \begin{aligned} x + y &= y + x, \\ x \cdot y &= y \cdot x. \end{aligned} \right\} \quad (1.7)$$

Ассоциативные законы (сочетательные):

$$\left. \begin{aligned} (x + y) + z &= x + (y + z), \\ (x \cdot y) \cdot z &= x \cdot (y \cdot z). \end{aligned} \right\} \quad (1.8)$$

Дистрибутивные законы:

$$\left. \begin{aligned} x \cdot (y + z) &= x \cdot y + x \cdot z \\ x + y \cdot z &= (x + y) \cdot (x + z) \end{aligned} \right\} \quad (1.9)$$

Законы отрицания:

$$\left. \begin{aligned} x + \bar{x} &= 1 \\ x \cdot \bar{x} &= 0 \end{aligned} \right\} \quad (1.10)$$

$$\left. \begin{aligned} 0 + x &= x \\ 1 \cdot x &= x \end{aligned} \right\} \quad (1.11)$$

$$\left. \begin{aligned} 1 + x &= 1 \\ 0 \cdot x &= 0 \end{aligned} \right\} \quad (1.12)$$

Законы двойственности (Теоремы де Моргана):

$$\left. \begin{aligned} \overline{\overline{x+y}} &= \overline{\overline{x} \cdot \overline{y}}, \\ \overline{\overline{x \cdot y}} &= \overline{\overline{x} + \overline{y}}. \end{aligned} \right\} \quad (1.13)$$

Закон двойного отрицания:

$$\overline{\overline{\overline{x}}} = \overline{\overline{x}} = x. \quad (1.14)$$

Законы поглощения (абсорбция):

$$\left. \begin{aligned} x + x \cdot y &= x, \\ x \cdot (x + y) &= x. \end{aligned} \right\} \quad (1.15)$$

Операции склеивания:

$$\left. \begin{aligned} x \cdot y + x \cdot \overline{y} &= x, \\ (x + y) \cdot (x + \overline{y}) &= x. \end{aligned} \right\} \quad (1.16)$$

Операции обобщенного склеивания:

$$\left. \begin{aligned} x \cdot y + \overline{x} \cdot z + y \cdot z &= x \cdot y + \overline{x} \cdot z, \\ (x + y) \cdot (\overline{x} + z) \cdot (y + z) &= (x + y) \cdot (\overline{x} + z). \end{aligned} \right\} \quad (1.17)$$

$$\left. \begin{aligned} x + \overline{x} \cdot y &= x + y, \\ x \cdot (\overline{x} + y) &= x \cdot y. \end{aligned} \right\} \quad (1.18)$$

Теоремы (1.6)–(1.13) и (1.15)–(1.18) записаны парами, причем каждая из теорем пары двойственна другой, так как из одной теоремы пары можно получить другую на основании принципа двойственности, т.е. путем взаимной замены операций дизъюнкции и конъюнкции, а также элементов 0 и 1, если они имеются. Теорема (1.14) самодвойственна, так как она не изменяется по принципу двойственности (отсутствуют элементы 0 и 1 и операции дизъюнкции и конъюнкции). Все теоремы могут быть доказаны аналитически или методом перебора. В качестве примера приведем доказательство тождества (1.13) методом перебора (табл. 1.7).

Таблица 1.7

x	y	$\overline{x+y}$	$\overline{\bar{x} \cdot \bar{y}}$
0	0	$\overline{0+0} = \bar{0} = 1$	$\bar{0} \cdot \bar{0} = 1 \cdot 1 = 1$
0	1	$\overline{0+1} = \bar{1} = 0$	$\bar{0} \cdot \bar{1} = 1 \cdot 0 = 0$
1	0	$\overline{1+0} = \bar{1} = 0$	$\bar{1} \cdot \bar{0} = 0 \cdot 1 = 0$
1	1	$\overline{1+1} = \bar{1} = 0$	$\bar{1} \cdot \bar{1} = 0 \cdot 0 = 0$

Если в логическое выражение входят операции дизъюнкции и конъюнкции, то следует соблюдать порядок выполнения операций: сначала выполняется операция конъюнкции, а затем – операция дизъюнкции. Этим устанавливается иерархия операций: конъюнкция – старшая операция, дизъюнкция – младшая.

В сложных логических выражениях для задания порядка выполнения операций используются скобки. Для упрощения записи выражений принято опускать те скобки, которые являются только подтверждением иерархии операций, например:

$$(X \cdot Y) + (\bar{X} \cdot Z) = X \cdot Y + \bar{X} \cdot Z.$$

Но скобки нельзя опустить в выражении  $X \cdot (Y + \bar{X}) \cdot Z$ , поскольку

$$X \cdot (Y + \bar{X}) \cdot Z = X \cdot Y \cdot Z \neq X \cdot Y + \bar{X} \cdot Z.$$

Некоторые теоремы и тождества алгебры логики имеют особое значение, так как позволяют упрощать логические выражения. Например, в соотношениях (1.6), (1.10)–(1.12) и (1.15)–(1.18) правая часть проще левой, поэтому, производя в логических выражениях соответствующие преобразования, можно добиться существенного их упрощения. С этой целью особенно часто используются тождества (1.15)–(1.18).

Перечисленные формулы приводятся без доказательств, но убедиться в их справедливости можно, подставив в правые и левые части равенств значения переменных 0 и 1. Эти формулы не исчерпывают возможных булевых равенств, но они являются основными при преобразовании булевых функций.

Операции дизъюнкции, конъюнкции и отрицания легко реализовать довольно простыми контактными (релейными) цепями и электронными схемами с односторонней проводимостью, имеющими конечное число входов и один выход. Простейшие электронные схемы, реализующие элементарные булевы функции (НЕ, И, ИЛИ, ИЛИ-НЕ, И-НЕ), называются логическими элементами (ЛЭ).

### 1.3. Аналитическая форма представления булевых функций

При решении конкретных технических задач булевы функции, отражающие логические связи, наиболее часто задаются в табличной форме. Однако такая форма задания функций при всей ее наглядности не позволяет ответить на вопрос, каким образом реализовать и если можно, то упростить данную функцию. Для реализации и последующего упрощения булеву функцию следует представить в аналитической форме в одном из функционально полных наборов. Поскольку в настоящее время методы представления и минимизации функций наиболее полно разработаны в базисе ОФПН, то именно этот базис в дальнейшем и будет рассматриваться.

Допустим, что в ходе решения задачи требуется реализовать переключающую функцию, заданную табл. 1.8.

Таблица 1.8

Номер набора	Аргументы			Значение функции на $i$ -м наборе $f_i$
	$x_1$	$x_2$	$x_3$	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Как видно из таблицы, функция должна принимать значение 1 только на 3-м, 6-м и 7-м наборах. На всех остальных наборах ее значение равно 0. Возникает вопрос, каким образом записать эту функцию аналитически, т.е. представить в виде формулы. Применительно к основному базису, содержащему элементы дизъюнкции, конъюнкции и отрицания, доказано, что любая переключающая функция, предварительно заданная в табличной форме, может быть записана аналитически в двух формах, получивших название канонических (нормальных): в дизъюнктивной совершенной нормальной форме (ДСНФ) и в конъюнктивной совершенной нормальной форме (КСНФ).

Аналитическая запись функций в виде ДСНФ и КСНФ предполагает представление этих функций посредством суперпозиции специально вводимых вспомогательных функций: минтермов и макстермов.

Минтермы часто называют конституентами единицы, а макстермы – конституентами нуля. *Минтермом* называют булево произведение (конъюнкцию) от  $n$  переменных, в котором каждая переменная входит один раз в прямой или инверсной форме. *Макстермом* называют булеву сумму от  $n$  переменных, в которой каждая переменная входит один раз в прямой или инверсной форме.

Отсюда следует, что переключательная функция от  $n$  переменных имеет число минтермов и макстермов, равное числу наборов, на которых она определена, то есть  $2^n$  минтермов и макстермов [6].

В качестве примера приведем минтермы и макстермы двух переменных  $X_1$  и  $X_2$  (табл. 1.9 и 1.10).

Таблица 1.9

Аргументы		Минтермы			
$x_1$	$x_2$	$m_0$	$m_1$	$m_2$	$m_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Таблица 1.10

Аргументы		Макстермы			
$x_1$	$x_2$	$M_0$	$M_1$	$M_2$	$M_3$
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Согласно приведенным определениям минтермы и макстермы двух аргументов выражаются формулами:

$$\begin{aligned}
m_0 &= \bar{x}_1 \cdot \bar{x}_2, & M_0 &= x_1 + x_2, \\
m_1 &= \bar{x}_1 \cdot x_2, & M_1 &= x_1 + \bar{x}_2, \\
m_2 &= x_1 \cdot \bar{x}_2, & M_2 &= \bar{x}_1 + x_2, \\
m_3 &= x_1 \cdot x_2, & M_3 &= \bar{x}_1 + \bar{x}_2.
\end{aligned}$$

Запись переключательной функции в виде ДСНФ означает, что любая переключательная функция, заданная табличным способом, может быть представлена в виде логической суммы конъюнктивных членов. При этом каждый из этих членов представляет собой произведение значения функции на  $i$ -м наборе на  $i$ -й минтерм. Поскольку переключательная функция имеет  $2^n$  минтермов, то аналитическая запись функции в ДСНФ имеет вид:

$$f = f_0 \cdot m_0 + f_1 \cdot m_1 + \dots + f_{2^n-1} \cdot m_{2^n-1} = \sum_{i=0}^{2^n-1} f_i \cdot m_i.$$

Таким образом, функция, заданная таблицей состояний (табл. 1.8), запишется аналитически следующим образом:

$$\begin{aligned}
f &= 0 \cdot m_0 + 0 \cdot m_1 + 0 \cdot m_2 + 1 \cdot m_3 + 0 \cdot m_4 + 0 \cdot m_5 + 1 \cdot m_6 + 1 \cdot m_7 = m_3 + m_6 + m_7 = \\
&= \bar{x}_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3.
\end{aligned}$$

Термины сокращенного представления функции в виде ДСНФ в частности означают: термин «дизъюнкция» указывает на то, что внешней функцией разложения является дизъюнкция, а внутренней – конъюнкция.

Термин «совершенная» указывает на то, что дизъюнктивные члены формируются из всех аргументов  $X_1 \dots X_n$ , т.е. на основе минтермов.

Термин «нормальная» указывает на то, что форма записи является двухуровневой, т.е. дизъюнкция конъюнкций.

Аналитическая запись функции в виде КСНФ означает, что переключательная функция, заданная табличным способом, может быть представлена в виде логического произведения (конъюнкцией) дизъюнктивных членов. При этом каждый из этих членов представляет собой сумму значений функции на  $i$ -м наборе и  $i$ -го макстерма.

Поскольку от  $n$  аргументов существует  $2^n$  макстермов, то аналитическая запись функции в КСНФ имеет вид

$$f = (f_0 + M_0) \cdot (f_1 + M_1) \cdot \dots \cdot (f_{2^n-1} + M_{2^n-1}) = \prod_{i=0}^{2^n-1} (f_i + M_i).$$

В итоге для рассматриваемого примера (табл. 1.8):

$$f = \prod_{i=0}^{2^n-1} (f_i + M_i) = (0 + M_0) \cdot (0 + M_1) \cdot (0 + M_2) \cdot (1 + M_3) \cdot (0 + M_4) \cdot (0 + M_5) \times \\ \times (1 + M_6) \cdot (1 + M_7) = M_0 \cdot M_1 \cdot M_2 \cdot M_4 \cdot M_5$$

или

$$f = (x_1 + x_2 + x_3) \cdot (x_1 + x_2 + \bar{x}_3) \cdot (x_1 + \bar{x}_2 + x_3) \cdot (\bar{x}_1 + x_2 + x_3) \cdot (\bar{x}_1 + x_2 + \bar{x}_3).$$

Сопоставляя две формы записи одной и той же переключательной функции, легко убедиться, что запись функции в виде КСНФ более громоздкая, так как содержит большее число членов. Это объясняется тем, что число наборов, на которых переключательная функция равна 0, значительно больше числа наборов, на которых функция равна 1. Для случая, когда число наборов, на которых функция равна 0, было бы меньше числа наборов, на которых функция равна 1, более предпочтительным оказывается представление функции в виде КСНФ. Отсюда следует, что обе формы представления функций фактически эквивалентны. Однако при минимизации функций более удобной оказывается запись их в виде ДСНФ. Поэтому в дальнейшем будем рассматривать только такие формы.

#### 1.4. Минимизация булевых функций

Рассмотрим функцию, представленную в ДСНФ, вида

$$f(x_1, x_2, x_3) = \bar{x}_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3. \quad (1.19)$$

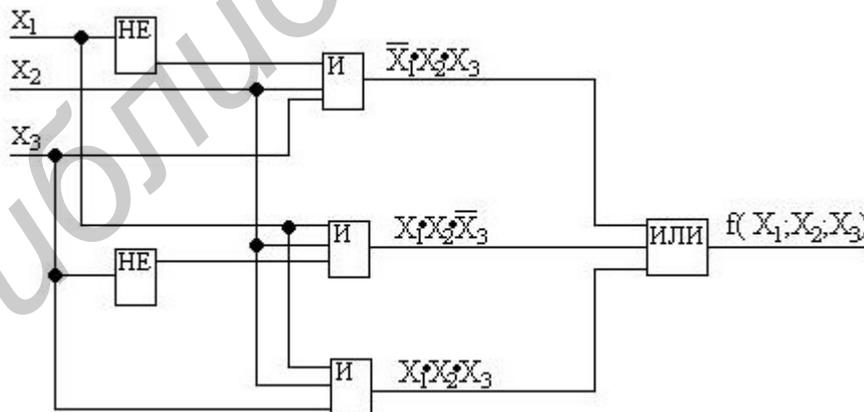


Рис. 1.6. Пример реализации функции в базисе элементов И, ИЛИ, НЕ

Для реализации этой функции потребуются три элемента И, один элемент ИЛИ и два элемента НЕ (рис. 1.6).

Можно ли эту функцию, предварительно заданную в ДСНФ, представить в более компактном виде, чтобы выполнялась та же функция, но при ее реализации требовалось бы меньшее число элементов? Процесс нахождения выражений, выполняющих ту же логическую функцию, что и первоначально заданная, но для реализации, которых требуется меньшее число элементов, и составляет сущность процесса минимизации.

Попытаемся это сделать для функции (1.19). Приняв во внимание равенство  $X + X = X$ , добавим к этому выражению еще один конъюнктивный член  $X_1 \cdot X_2 \cdot X_3$ :

$$f(x_1, x_2, x_3) = \bar{x}_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3.$$

Теперь преобразуем полученное выражение, используя приведенные выше формулы:

$$f(x_1, x_2, x_3) = x_2 \cdot x_3 \cdot (\bar{x}_1 + x_1) + x_1 \cdot x_2 \cdot (x_3 + \bar{x}_3) = x_2 \cdot x_3 + x_1 \cdot x_2 = x_2 \cdot (x_1 + x_3). \quad (1.20)$$

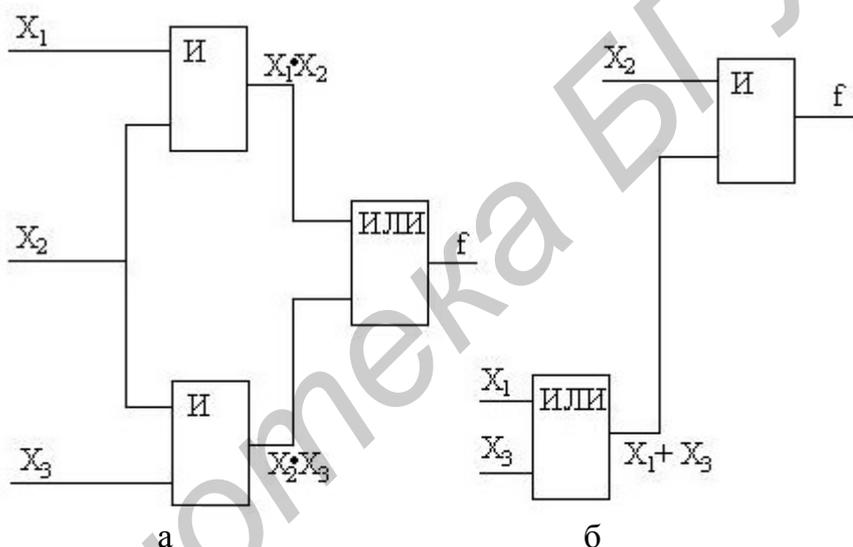


Рис. 1.7. Примеры реализации минимизированных функций:  
а – до преобразования; б – после преобразования

Реализация уже этой функции потребует значительно меньшего числа элементов (рис. 1.7 а, б), что подчеркивает неэкономичность реализаций функций алгебры логики, представленных в виде ДСНФ

Как видно из рис. 1.6 и 1.7, одна и та же функция реализуется далеко не однозначно по аппаратным затратам. Это говорит о том, что существует такая форма представления функции, которая выполняется с наименьшими аппаратными затратами. Применительно к рассматриваемой функции такой формой является представление ее в виде скобочной формулы:

$$f = X_2 \cdot (X_1 + X_3).$$

Всякая логическая операция реализуется на логических элементах (ЛЭ), параметры которых имеют определенные ограничения по числу входов, нагрузочной способности, быстродействию, потребляемой мощности и т.д. Поэтому наиболее часто процесс минимизации рассматривается в более упрощенной постановке, а именно в отыскании дизъюнктивных форм функции, содержащих по возможности меньшее число букв. В настоящее время известно достаточно большое число методов минимизации. Все они базируются на тождественных преобразованиях логических выражений и подразделяются на систематические и несистематические методы минимизации.

Примером несистематического метода минимизации является метод расчленения и проб. В соответствии с этим методом функции упрощают до минимальной только на основании аксиом и тождеств алгебры логики. Недостатком такого метода является то, что трудно определить, является ли полученное выражение минимальным или имеются пути его дальнейшего упрощения. В силу указанных причин данный метод не получил широкого распространения и его полностью вытеснили систематические методы.

Достоинством таких методов является то, что они описываются строгими алгоритмами, т.е. являются формализованными и имеется возможность применения ЭВМ, что особенно важно при минимизации функций с большим числом переменных.

К наиболее широко распространенным систематизированным методам следует отнести метод Квайна–Маккласки [8]. Нахождение минимальной формы по этому методу осуществляется в три этапа. На первом этапе исследуется вид задания функции. И если она задана произвольной формой в булевой алгебре, например:

$$f(x_1, x_2, x_3) = x_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3, \quad (1.21)$$

то с помощью тождественных соотношений она должна быть развернута в виде ДСНФ. В частности, применив к выражению (1.21) правило де Моргана, получим

$$f(x_1, x_2, x_3) = x_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 = (\bar{x}_2 + \bar{x}_3) \cdot (x_1 + x_2 + x_3) = x_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_3 + x_2 \cdot \bar{x}_2 + x_2 \cdot \bar{x}_3 + \bar{x}_2 \cdot x_3 + x_3 \cdot \bar{x}_3 = x_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_3 + x_2 \cdot \bar{x}_3 + \bar{x}_2 \cdot x_3. \quad (1.22)$$

Полученное в результате преобразований выражение представляет собой запись функции в дизъюнктивной нормальной форме (ДНФ). Для записи функции в виде ДСНФ, т.е. суммы минтермов, необходимо провести операцию развертывания, которая заключается в умножении на выражение  $X + \bar{X} = 1$  членов функции, не являющихся минтермами. Поскольку в выражении (1.22) ни один из членов не является минтермом, то для записи функций в виде ДСНФ необ-

ходимо умножить первый член на выражение  $X_3 + \bar{X}_3 = 1$ , второй на  $X_2 + \bar{X}_2 = 1$ , а третий и четвертый на  $X_1 + \bar{X}_1 = 1$ :

$$\begin{aligned} f(x_1, x_2, x_3) &= x_1 \cdot \bar{x}_2 \cdot (x_3 + \bar{x}_3) + x_1 \cdot \bar{x}_3 \cdot (x_2 + \bar{x}_2) + x_2 \cdot \bar{x}_3 \cdot (x_1 + \bar{x}_1) + \bar{x}_2 \cdot x_3 \cdot (x_1 + \bar{x}_1) = \\ &= x_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 = \\ &= x_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3, \end{aligned}$$

таким образом, мы получили запись функции в виде ДСНФ, т.е. суммы минтермов.

Второй этап заключается в нахождении сокращенной ДНФ (СДНФ). Проиллюстрируем его конкретным примером. Найдем СДНФ функции:

$$f(x_1, x_2, x_3) = x_1 \cdot x_2 \cdot x_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3.$$

Функция уже задана в виде ДСНФ, т.е. необходимость выполнения первого этапа отпадает. Далее осуществляются операции склеивания и поглощения. Проведем операцию склеивания в следующей последовательности:

- выполним всевозможные склеивания 1-го члена  $x_1 \cdot x_2 \cdot x_3$  с остальными;
- выполним всевозможные склеивания 2-го члена  $x_1 \cdot \bar{x}_2 \cdot x_3$  с остальными, кроме первого;
- выполним всевозможные склеивания третьего члена  $\bar{x}_1 \cdot \bar{x}_2 \cdot x_3$  с остальными, кроме первого и второго.

Напомним, что операция склеивания осуществляется по формуле

$$x_1 \cdot x_2 + x_1 \cdot \bar{x}_2 = x_1 \cdot (x_2 + \bar{x}_2) = x_1.$$

Результат склеивания запишем в виде:

$$x_1 \cdot x_2 \cdot x_3 + x_1 \cdot \bar{x}_2 \cdot x_3 = x_1 \cdot x_3 \cdot (x_2 + \bar{x}_2) = x_1 \cdot x_3;$$

$$x_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 = \bar{x}_2 \cdot x_3 \cdot (x_1 + \bar{x}_1) = \bar{x}_2 \cdot x_3;$$

$$\bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 = \bar{x}_1 \cdot \bar{x}_2 \cdot (x_3 + \bar{x}_3) = \bar{x}_1 \cdot \bar{x}_2.$$

Как видно из этих выражений, склеиваются всегда два минтерма, отличающихся друг от друга только одним аргументом, и только таким, который обязательно в один минтерм входит в прямой, а в другой – в инверсной форме. Такие минтермы принято называть смежными, а конъюнкции, получаемые от их склеивания, – *импликантами*.

После операции склеивания проводится операция поглощения, которая выполняется с помощью формулы

$$X_1 \cdot X_2 + X_2 = X_2.$$

Для проведения операции поглощения необходимо заданную функцию представить в виде

$$f(x_1, x_2, x_3) = x_1 \cdot x_3 + \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3,$$

где первые три члена получены от проведения операции склеивания. В этом выражении произведение  $x_1 \cdot x_3$  поглощает члены  $x_1 \cdot x_2 \cdot x_3$  и  $x_1 \cdot \bar{x}_2 \cdot x_3$ , произведение  $\bar{x}_2 \cdot x_3$  поглощает члены  $\bar{x}_1 \cdot \bar{x}_2 \cdot x_3$  и  $x_1 \cdot \bar{x}_2 \cdot x_3$  и произведение  $\bar{x}_1 \cdot \bar{x}_2$  поглощает члены  $\bar{x}_1 \cdot \bar{x}_2 \cdot x_3$  и  $\bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3$ .

Таким образом, в результате операции поглощения все минтермы функции оказались поглощены импликантами, что позволяет записать исходную функцию в виде

$$f(x_1, x_2, x_3) = x_1 \cdot x_3 + \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2. \quad (1.23)$$

К полученной формуле повторно применяют операции склеивания и последующего поглощения, и эта процедура выполняется до получения простых импликант.

В рассматриваемом примере произведения-импликанты не склеиваются между собой. Такие импликанты называют простыми, а функцию (1.23), состоящую из дизъюнкции простых импликант, – сокращенной ДНФ (СДНФ).

Однако СДНФ – еще не минимальная форма записи функции. Поэтому дальнейший третий этап минимизации связан с упрощением СДНФ и заключается в устранении избыточных простых импликант из СДНФ. Функции, полученные в результате устранения из сокращенной ДНФ избыточных импликант, принято называть *тупиковыми* ДНФ.

Наиболее распространенным методом получения тупиковых форм является метод импликантных матриц. Импликантная матрица представляет собой таблицу, включающую в себя все минтермы, расположенные горизонтально, и все простые импликанты, расположенные вертикально. Для рассматриваемого примера такая матрица показана в табл. 1.11.

Таблица 1.11

Простые импликанты	Минтермы			
	$x_1 \cdot x_2 \cdot x_3$	$x_1 \cdot \bar{x}_2 \cdot x_3$	$\bar{x}_1 \cdot \bar{x}_2 \cdot x_3$	$\bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3$
$x_1 \cdot x_3$	∇	∇		
$\bar{x}_2 \cdot x_3$		∇	∇	
$\bar{x}_1 \cdot \bar{x}_2$			∇	∇

Для каждой импликанты находят минтермы, которые ими поглощаются, и напротив каждого поглощенного минтерма ставят знак  $\forall$  (квантор общности). Например, импликанта  $X_1 \cdot X_3$  поглощает минтермы  $X_1 \cdot X_2 \cdot X_3$  и  $X_1 \cdot \bar{X}_2 \cdot X_3$ , и напротив каждого из них ставят знак  $\forall$ . Чтобы найти тупиковые формулы, необходимо в импликантной матрице найти минимальное число импликант, которые поглощают знаком  $\forall$  все минтермы.

Для матрицы табл. 1.11 такими импликантами будут произведения  $X_1 \cdot X_3$  и  $\bar{X}_1 \cdot \bar{X}_2$ , причем первое из них поглощает минтермы  $X_1 \cdot X_2 \cdot X_3$  и  $X_1 \cdot \bar{X}_2 \cdot X_3$ , а второе – остальные два минтерма  $\bar{X}_1 \cdot \bar{X}_2 \cdot X_3$  и  $\bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3$ . В результате тупиковая форма рассматриваемой функции запишется в виде

$$f(x_1, x_2, x_3) = x_1 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2.$$

Поскольку в нашем примере имеется всего одна тупиковая форма, то она и будет минимальной. В общем случае переключательная функция может иметь не одну, а несколько тупиковых форм, и тогда искомой минимальной ДНФ будет та, которая содержит наименьшее число букв.

Рассмотренный метод эффективен при числе переменных больше шести. Для функции с числом переменных до шести (такие функции наиболее распространены) минимизация обычно осуществляется по табличному методу Вейча–Карно. Этот метод, в отличие от рассмотренного выше, не требует первоначального представления функции в виде ДСНФ [9].

Особенностью этого метода является также то, что в его основу положена табличная запись членов минимизируемого выражения, представляемого в виде ДНФ.

Карты Карно – это графическое представление таблицы истинности, которой задается логическая функция. Они представляют собой прямоугольные таблицы, составленные из ячеек, число которых равно числу минтермов минимизируемого выражения. Хотя метод Вейча–Карно и является табличным, однако и здесь упрощение осуществляется за счет все тех же операций склеивания и поглощения. Правда, в данном случае это достигается благодаря такой записи минтермов в ячейки таблицы, когда каждую ячейку со всех сторон окружают ячейки со смежными минтермами.

Покажем один из способов записи минтермов по методу Вейча–Карно (рис. 1.8).

		X <sub>1</sub>		
	m <sub>0</sub> $\bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \cdot \bar{X}_4$	m <sub>4</sub> $\bar{X}_1 \cdot X_2 \cdot \bar{X}_3 \cdot \bar{X}_4$	m <sub>12</sub> $X_1 \cdot X_2 \cdot \bar{X}_3 \cdot \bar{X}_4$	m <sub>8</sub> $X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \cdot \bar{X}_4$
	m <sub>1</sub>	m <sub>5</sub>	m <sub>13</sub>	m <sub>9</sub> $X_1 \cdot \bar{X}_2 \cdot X_3 \cdot X_4$
X <sub>3</sub>	m <sub>3</sub>	m <sub>7</sub>	m <sub>15</sub>	m <sub>11</sub>
	m <sub>2</sub>	m <sub>6</sub>	m <sub>14</sub>	m <sub>10</sub>
		X <sub>2</sub>		

Рис. 1.8. Карта Карно для функций от четырех аргументов

В качестве примера здесь показана карта Карно для функций от четырех аргументов:  $X_1, X_2, X_3, X_4$ . Нетрудно увидеть, что любой из 16 минтермов находится как бы в окружении со всех четырех сторон смежными минтермами, расположенными в соседних (смежных) ячейках.

Например, смежными ячейками (клетками) для минтерма  $m_8$  будут клетки  $m_{12}, m_9, m_0$  и  $m_{10}$ , так как каждый из минтермов, записанных в этих клетках, отличается от минтерма  $m_8$  формой вхождения только одного аргумента (под формой вхождения понимают запись аргумента в прямом или инверсном виде).

Необходимо иметь в виду, что на рис. 1.8 скобками обозначены ячейки таблицы, в которые аргументы обязательно должны входить с прямой формой вхождения. Аргументы с инверсной формой вхождения при такой маркировке расположения аргументов, как правило, скобками не обозначаются.

Процесс минимизации по картам Вейча–Карно фактически состоит из двух этапов: нанесения функции на карту Карно и считывания упрощенных форм. Рассмотрим этап нанесения на карту Вейча–Карно функции

$$f = \underbrace{X_1 \cdot \bar{X}_2 \cdot X_3 \cdot \bar{X}_4}_1 + \underbrace{X_1 \cdot X_3 \cdot X_4}_2 + \underbrace{\bar{X}_2 \cdot X_4}_3 + \underbrace{\bar{X}_1}_4$$

Каждый минтерм заданной функции на карте Вейча–Карно обозначается 1, помещенной в клетку соответствующего минтерма. В рассматриваемом примере имеется лишь один минтерм, а именно минтерм  $X_1 \cdot \bar{X}_2 \cdot X_3 \cdot \bar{X}_4$ , обозначенный цифрой 1.

Таким образом, для нанесения его на карту достаточно записать 1 в клетку, в которую входят все символы минтерма  $X_1 \cdot \bar{X}_2 \cdot X_3 \cdot \bar{X}_4$  (рис. 1.9).

Чтобы нанести на карту выражение  $X_1 \cdot X_3 \cdot X_4$ , обозначенное цифрой 2, которое не является минтермом, следует вписать единицы в клетки карты, относящиеся к символам  $X_1 \cdot X_3 \cdot X_4$ . Как видно из рис. 1.9, таких единиц, удов-

летворяющих выражению  $X_1 \cdot X_2 \cdot X_3$ , можно поставить две. На рис. 1.9 эти единицы отмечены цифрой 2 в кружке.

Чтобы нанести на карту выражение  $\bar{X}_2 \cdot X_4$ , отмеченное цифрой 3, необходимо поставить 1 теперь уже в четыре ячейки карты, причем одна 1 попадет в ячейку, в которой уже была записана 1 от выражения 2 (эти клетки на рис. 1.9 обозначены цифрой 3 в кружке). Однако независимо от того, сколько единиц окажется в одной клетке (две и более), считается, что клетка отмечена только один раз, т.е. всегда ставится одна единица.

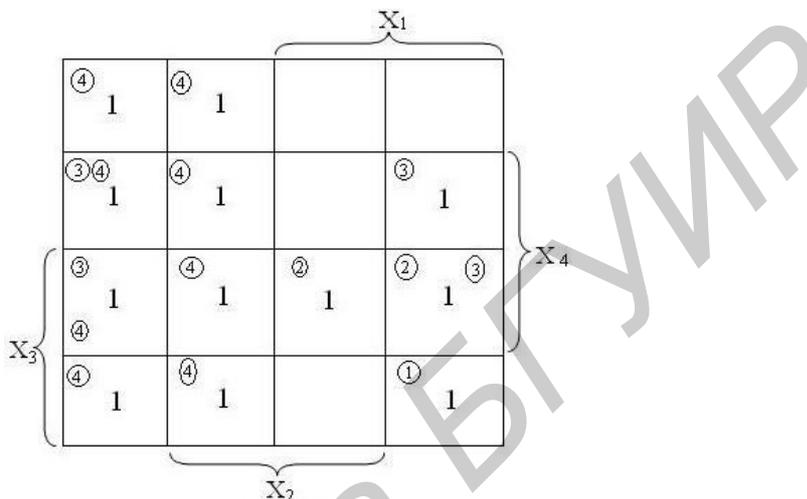


Рис. 1.9. Карта Карно с минимизацией минтермов

Очевидно, что для нанесения выражения  $\bar{X}_1$  на карту Карно необходимо вписать уже восемь единиц (см. рис. 1.9), часть из которых попадет в ранее отмеченные ячейки. Из рассмотренного примера становится понятно отсутствие необходимости первоначального представления функции в виде ДСНФ, поскольку карта Карно по существу автоматически обеспечивает развертывание выражения, записанного в ДНФ, в форму ДСНФ.

Кроме рассмотренного широко применяется еще один способ маркировки расположения минтермов на карте Карно. В соответствии с этим способом аргументы разбиваются на две группы. Например, для функции четырех переменных такими являются группы  $X_1 \cdot X_2$  и  $X_3 \cdot X_4$ , для трех переменных  $X_1$  и  $X_2 \cdot X_3$  или  $X_1 \cdot X_2$  и  $X_3$ . Наборы аргументов каждой группы используются для обозначения столбцов и строк карты Карно. При этом порядок чередования этих наборов при переходе от одного столбца к другому или от одной строки к следующей соответствует перестановке двоичных цифр в циклическом коде. Покажем примеры записи функций от четырех и пяти аргументов (рис. 1.10 и 1.11 соответственно).

Порядок нанесения функции на карты Карно практически не отличается от ранее рассмотренного. В качестве примера на рис. 1.10 показана запись на карте функции

$$f = \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 + x_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 + \bar{x}_1 \cdot x_2 \cdot x_3 \cdot x_4 + x_1 \cdot x_2 \cdot x_3 \cdot x_4,$$

а на рис. 1.11 функции

$$f = \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 \cdot x_5 + x_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 \cdot x_5 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 \cdot \bar{x}_5 + x_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 \cdot \bar{x}_5.$$

После нанесения выражения на карту начинается этап считывания упрощенных форм.

f

	$\bar{x}_1 \bar{x}_2$	$\bar{x}_1 x_2$	$x_1 x_2$	$x_1 \bar{x}_2$
$\bar{x}_3 \bar{x}_4$				
$\bar{x}_3 x_4$		1	1	
$x_3 x_4$		1	1	
$x_3 \bar{x}_4$				

Рис. 1.10. Карта Карно для функции четырех переменных

f

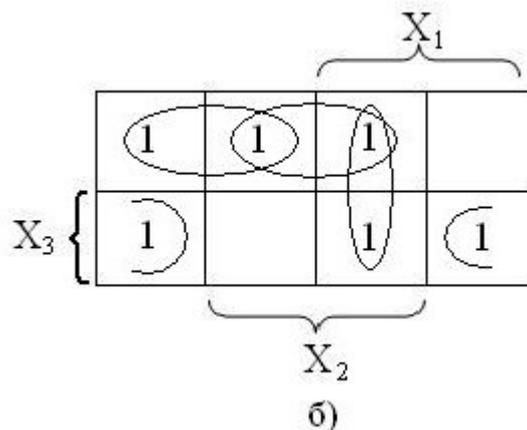
	$\bar{x}_1 \bar{x}_2$	$\bar{x}_1 x_2$	$x_1 x_2$	$x_1 \bar{x}_2$
000				
001		1	1	
011		1	1	
010				
110			1	1
111				
101				
100				

$x_3, x_4, x_5$

Рис. 1.11. Карта Карно для функции пяти переменных

Этот этап не отличается однозначностью, поскольку выражение с карты Карно можно прочесть различным образом. Считывание упрощенных форм достигается путем склеивания минтермов, отмеченных на карте 1. При этом склеиваемые минтермы охватываются замкнутыми контурами, если они находятся не в крайних ячейках.

Поскольку одна и та же функция считывается неоднозначно, то поиск минимальных форм происходит путем перебора различных вариантов и их последующего сравнения по числу букв. Считается, что тупиковой ДНФ соответствуют такие склеивания, когда каждый минтерм не содержит лишних покрытий, а минимальной ДНФ – склеивания с таким распределением поглощений, когда склеивается наибольшее число минтермов.



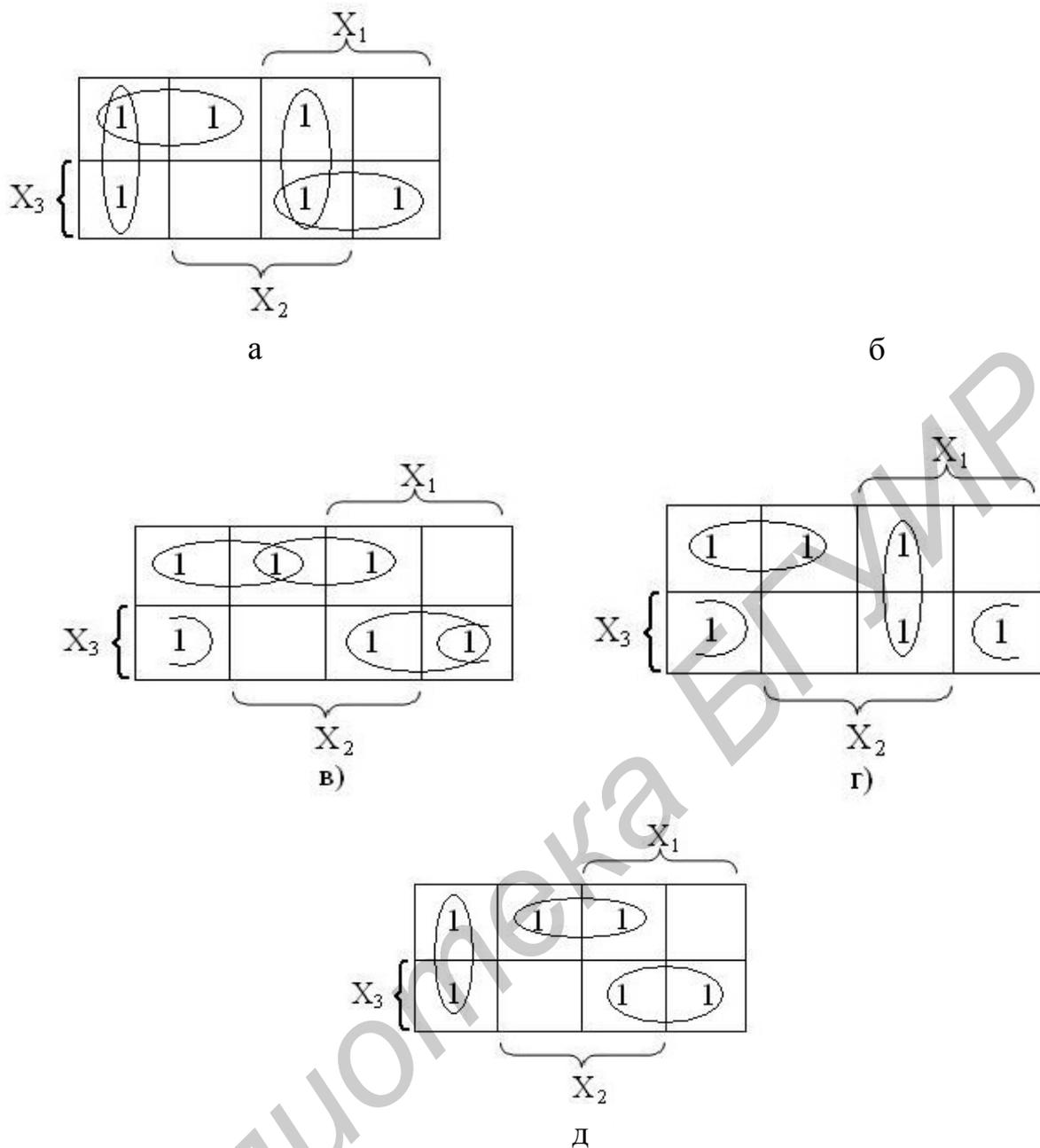


Рис. 1.12. Упрощенные формы карты Карно

Получаемая в результате функция реализуется с наименьшими аппаратурными затратами.

Этап считывания упрощенных форм с карт Карно рассмотрим на рис. 1.12, где представлена функция от трех переменных со скобочной формой маркирования минтермов.

На рисунках иллюстрируется неоднозначность считываемых упрощенных форм. Считывание с рис. 1.12, а–в приводит к тупиковым формам, содержащим по четыре импликанты:

$$f = \bar{x}_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot \bar{x}_3 + x_1 \cdot x_2 + x_1 \cdot x_3,$$

$$f = \bar{x}_1 \cdot \bar{x}_3 + x_2 \cdot \bar{x}_3 + x_1 \cdot x_3 + \bar{x}_2 \cdot x_3,$$

$$f = \bar{x}_1 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 + x_2 \cdot x_3 + \bar{x}_2 \cdot x_3.$$

При считывании, как показано на рис. 1.12, г, д, поглощения минтермов осуществляются наиболее удачно, поскольку они приводят к минимальным формам, содержащим по три импликанты:

$$f = \bar{x}_1 \cdot \bar{x}_3 + x_1 \cdot x_2 + \bar{x}_2 \cdot x_3,$$

$$f = \bar{x}_1 \cdot \bar{x}_2 + x_2 \cdot \bar{x}_3 + x_1 \cdot x_3.$$

Сопоставляя методы Квайна и Карно, следует отметить, что последний особенно эффективен при минимизации переключательных функций с числом аргументов не более шести. Однако в отличие от метода Квайна метод Карно не является систематическим. При числе аргументов более шести минимизация, как правило, ведется с применением ЭВМ, и здесь систематические методы минимизации по существу являются единственно возможными.

В заключение отметим, что в практике разработки цифровых устройств, как правило, для минимизации логических схем пользуются компьютерными программами, реализующими алгоритмы логической минимизации.

## Глава 2. Логические элементы интегральных микросхем

### 2.1. Общие сведения

Наиболее распространены логические элементы и схемы потенциального типа. Среди существующих логических элементов (потенциальные, импульсные, импульсно-потенциальные) потенциальные ЛЭ и схемы представляют наиболее распространенный класс. Основным отличительным признаком ЛЭ и схем потенциального типа от импульсных и импульсно-потенциальных является наличие связи по постоянному току между их входами и выходами. Другим отличительным признаком является то, что они могут управляться и управлять другими схемами с помощью сигналов как ограниченной (импульсные сигналы), так и неограниченной (потенциальные сигналы) длительности.

В общем случае не исключается возможность применения в таких схемах реактивных компонентов, т. е. индуктивностей и емкостей. Последние, как правило, играют вспомогательную роль. Однако именно принципиальная возможность построения ИМС различной сложности без реактивных компонентов выгодно отличает этот класс устройств от остальных, поскольку процесс их изготовления наилучшим образом соответствует возможностям микроэлектронной технологии.

Непрерывно возрастает степень интеграции ИМС потенциального типа и сложность выполняемых ими функций. Схемотехническая реализация ИМС потенциального типа осуществляется на основе ряда типовых, базовых функциональных элементов.

## 2.2. Система параметров

К параметрам, характеризующим логические и схемотехнические возможности ЛЭ микросхем и больших интегральных схем (БИС), относятся [6]:

- 1) реализуемая логическая функция;
- 2) нагрузочная способность  $n$ , характеризующая возможность подключения определенного числа идентичных ЛЭ (коэффициент разветвления по выходу);
- 3) коэффициент объединения по входу  $m$  ( $m_n$  – для реализации логической функции И;  $m_{\text{или}}$  – для реализации логической функции ИЛИ) (коэффициент объединения по входу);
- 4) средняя задержка передачи сигнала  $\tau_{\text{ср}}$  (полусумма времени задержек передачи сигналов 1 и 0 со входа ЛЭ на его выход);
- 5) предельная рабочая частота  $f_p$  (частота переключения триггера, составленного из рассматриваемых ЛЭ);
- 6) помехоустойчивость;
- 7) потребляемая мощность.

По виду реализуемой логической функции ЛЭ условно могут быть разбиты на два класса. К первому классу относятся функциональные элементы одноступенчатой логики. Это простейшие ЛЭ, реализующие функции И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ. Ко второму классу относятся функциональные элементы двухступенчатой логики, реализующие более сложные функции: И-ИЛИ, ИЛИ-И, НЕ-И-ИЛИ, И-ИЛИ-НЕ, И-ИЛИ-И и др.

Нагрузочная способность ЛЭ  $n$  определяет число входов идентичных элементов, которое может быть подключено к выходу каждого из них. При этом обеспечивается неискаженная передача двоичных символов 0 и 1 в цифровом устройстве по цепи из произвольного числа последовательно включенных элементов при наихудших сочетаниях дестабилизирующих факторов. Дестабилизирующими факторами могут быть: изменение питающих напряжений, разброс параметров компонентов, изменение температуры и т.п.

Часто нагрузочная способность  $n$  называется коэффициентом разветвления по выходу ( $K_{\text{раз}}$ ) и выражается целым положительным числом ( $n = 4, 5, 7, 10$  и т.д.).

Чем выше нагрузочная способность ЛЭ, тем шире их логические возможности и тем меньше затраты при проектировании и построении цифрового устройства. Однако увеличение параметра  $n$  возможно до определенных пределов, поскольку при этом ухудшаются другие параметры ЛЭ: снижается быстродействие, ухудшается помехоустойчивость и увеличивается потребляемая мощность. Обычно в состав одной серии ИМС часто входят ЛЭ с различной нагрузочной способностью: основные ЛЭ с  $n = 4 \dots 10$  и буферные элементы – так называемые усилители мощности с  $n = 20 \dots 50$ . Это позволяет более гибко проек-

тировать цифровые устройства, достигая оптимальных показателей по потребляемой мощности и числу ЛЭ.

В зависимости от частотного диапазона работы логических МДП-микросхем (металл–диэлектрик–полупроводник) их нагрузочная способность может изменяться в широких пределах ( $n = 10 \dots 100$ ).

*Коэффициент объединения по входу  $m$*  ( $K_{об}$ ) характеризует максимальное число логических входов функционального элемента. С увеличением параметра  $m$  расширяются логические возможности микросхемы за счет выполнения функций с большим числом аргументов на одном типовом элементе И-НЕ, ИЛИ-НЕ и т.п. Однако при увеличении числа входов, как правило, ухудшаются другие параметры функционального элемента, такие, как быстродействие, помехоустойчивость и нагрузочная способность.

С точки зрения возможности увеличения коэффициента объединения по входу И или по входу ИЛИ логические схемы существенно отличаются друг от друга. Например, в ИМС, где функция первой логической ступени выполняется на диодах или эмиттерных переходах многоэмиттерного транзистора, увеличение числа входов не требует существенных дополнительных затрат площади кристалла. В ИМС, где функция первой логической ступени выполняется на транзисторах, увеличение параметра  $m$  требует значительного увеличения числа компонентов ЛЭ и роста площади кристалла ИМС.

В существующих сериях интегральных микросхем основные логические элементы выполняются, как правило, с небольшим числом входов ( $m_{И} = 2 \dots 6, m_{ИЛИ} = 2 \dots 4$ ). Увеличение числа входов  $m$  обеспечивается за счет введения в серию ЛЭ специального расширителя, подключение которого к основной ИМС дает возможность увеличить  $m_{ИЛИ}$  и  $m_{И}$  до 10 и более.

К основным *динамическим параметрам* логического элемента относятся:

$t_{ф1}$  – фронт формирования уровня логической 1;

$t_{ф0}$  – фронт формирования уровня логического 0;

$\tau_{10}$  – задержка переключения из состояния 1 в состояние 0;

$\tau_{01}$  – задержка переключения из состояния 0 в состояние 1;

$\tau_{И}$  – длительность импульса;

$f_p$  – рабочая частота.

Определение этих параметров обеспечивается при сравнении сигналов на входе и выходе ЛЭ, т. е. при рассмотрении процесса передачи информации через ЛЭ.

На рис. 2.1 приведены характеристики сигналов на входе и выходе инвертора и показаны уровни отчета, относительно которых определяются динамические параметры ЛЭ.

Уровнями отчета динамических параметров ЛЭ являются (рассматривается положительная логика, при которой высокий уровень выходного сигнала соответствует 1, а низкий – 0) максимальный уровень логического 0 и минимальный уровень логической 1. Задержка переключения  $\tau_{10}$  определяется как вре-

менной интервал между уровнем 1 фронта нарастания входного импульса (положительный импульс) и уровнем 0 фронта спада выходного импульса (отрицательный импульс).

Задержка переключения  $\tau_{01}$  определяется как временной интервал между уровнем 0 фронта спада входного импульса и уровнем 1 фронта нарастания выходного импульса.

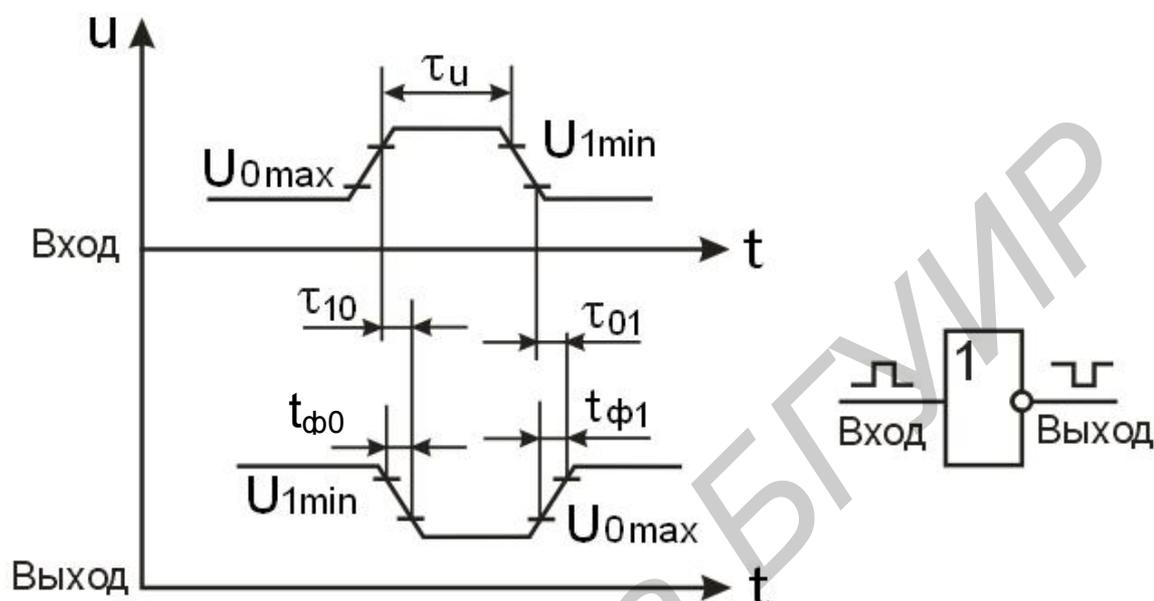


Рис. 2.1. К определению динамических параметров логического элемента (инвертора)

Фронты импульса, определяемые между уровнями 1 и 0 спада импульса, обозначаются  $t_{\phi 0}$ , между уровнями 0 и 1 нарастания импульса –  $t_{\phi 1}$ .

Средняя задержка  $\tau_{\text{ср}}$  ЛЭ определяется как полусумма задержек  $\tau_{10}$  и  $\tau_{01}$  и служит усредненным параметром быстродействия, используемым при расчете временных характеристик многоэлементных последовательно включенных логических микросхем:

$$\tau_{\text{ср}} = \frac{(\tau_{10} + \tau_{01})}{2} .$$

Произведение средней задержки на число последовательно соединенных ЛЭ в устройстве дает наибольшую задержку сигнала в этом устройстве. Параметр  $\tau_{\text{ср}}$  приводится в технических условиях на ИМС. Для упрощения процесса расчета временных характеристик сложных логических цепей часто считают сигналы прямоугольными, т.е.  $t_{\phi 0} = t_{\phi 1} = 0$ .

*Помехоустойчивость.* Базовый элемент ИМС в статическом режиме может находиться в одном из двух устойчивых состояний (0 или 1). По этой причине различают статическую помехоустойчивость ЛЭ по уровню 0 ( $U_{\text{но}}$ ) и по уровню 1 ( $U_{\text{н1}}$ ). Статическая помехоустойчивость базовых элементов ИМС определяется значением напряжения, которое может быть подано на вход ИМС относи-

тельно уровня 0 или 1, не вызывая ее ложного срабатывания (например, переход из состояния 1 в состояние 0 или наоборот).

Напряжение помехи либо повышает, либо понижает входное напряжение. Если на входе действует напряжение логического 0 ( $U_0$ ), то опасны помехи, имеющие положительную полярность, так как они повышают входное напряжение, что может привести к сбою в работе, т.е. ложному изменению выходных напряжений в цифровом устройстве. При поступлении на вход напряжения логической 1 ( $U_1$ ) и напряжения помехи отрицательной полярности также возможно ложное переключение. Максимально допустимые постоянные напряжения помехи положительной полярности (при напряжении логического 0 на входе) и отрицательной полярности (при напряжении логической 1 на входе) определяют помехоустойчивость ЛЭ по отношению к статическим (длительно действующим) помехам.

Внутренние помехи в цифровом устройстве возникают при переключении ЛЭ, поэтому их амплитуда пропорциональна логическому перепаду  $U_{л}$ .

Логическим перепадом называется разность напряжений логической 1 и логического 0:

$$U_{л} = U_1 - U_0.$$

Для оценки помехоустойчивости ЛЭ помимо напряжений  $U_{п1}$  и  $U_{п0}$  используют относительные величины:

$$K_{п0} = \frac{U_{п0}}{U_{л}}; \quad K_{п1} = \frac{U_{п1}}{U_{л}},$$

называемые коэффициентом помехоустойчивости.

Для повышения помехоустойчивости необходимо увеличивать логический перепад и уменьшать время переключения ЛЭ из состояния 1 в состояние 0 и наоборот.

*Потребляемая мощность* ЛЭ (мощность, потребляемая ЛЭ от источника питания) зависит от его логического состояния, так как изменяется ток  $I_{и.п}$  в цепи питания. ЛЭ потребляет ток

$$I_{и.п0} \text{ при } U_{вых} = U_0;$$

$$I_{и.п1} \text{ при } U_{вых} = U_1.$$

Поэтому средняя потребляемая мощность в статическом режиме

$$P_{ср} = 0,5 \cdot U_{и.п} \cdot (I_{и.п0} + I_{и.п1}).$$

Зная среднюю мощность и число ЛЭ в цифровом устройстве  $N_{л.э}$ , можно вычислить среднюю мощность, потребляемую устройством; она равна  $P_{ср} \cdot N_{л.э}$ . Уменьшить потребляемую мощность можно, снизив напряжение

или ток питания. Однако при этом понизятся помехоустойчивость, а для многих типов ЛЭ и быстродействие. Наиболее эффективный способ уменьшения мощности  $P_{cp}$  реализован в ЛЭ на КМДП-транзисторах (комплементарный металл–диэлектрик–полупроводник). В этих элементах токи в статическом режиме малы, а мощность потребляется только при переключении. Мощность, потребляемую дополнительно в процессе переключения, называют динамической. Она пропорциональна частоте переключения ЛЭ. Поэтому динамическую мощность определяют при заданной рабочей частоте, близкой к максимальной.

### 2.3. Интегральные элементы одноступенчатой логики

Логические элементы микросхем потенциального типа с одноступенчатой логикой по схемотехнической реализации и организации межэлементных связей делятся на следующие типы [6]:

- резисторно-транзисторные (RTL\*);
- транзисторные с непосредственной связью (DCTL);
- транзисторные с резистивными связями (TRL);
- транзисторные с резистивно-конденсаторными связями (RCTL);
- комплементарные с транзисторно-резистивной логикой (CRTL);
- диодно-транзисторные (DTL);
- транзисторные с эмиттерными связями (ECL);
- транзисторные с инжекционной логикой ( $I^2L$ ).

#### 2.3.1. Резистивно-транзисторные ИМС (RTL)

На рис. 2.2 показаны электрическая и функциональная схемы ЛЭ ИС типа RTL, реализующего функцию ИЛИ-НЕ. Операция ИЛИ осуществляется на резистивной сборке, а транзистор исполняет роль усилителя-инвертора.

\* Приводятся общепринятые в мировой практике обозначения разновидностей ИМС.

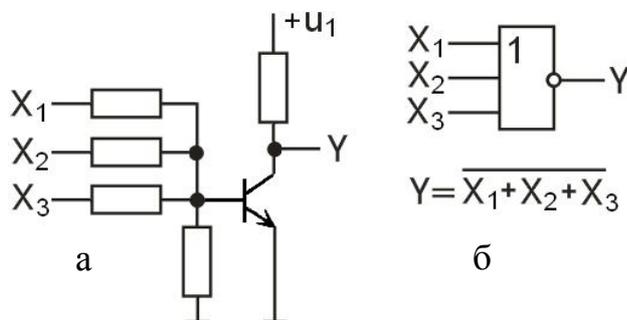


Рис. 2.2. Элемент двухступенчатой логики (DTL-2):  
а – схема элемента ИЛИ-НЕ; б – функциональное обозначение

Необходимо отметить, что ЛЭ может работать в двух логических режимах. При высоком уровне сигнала, принятом за логическую единицу (1), осуществляется так называемая положительная логика работы элемента. Если за логическую 1 принять низкий уровень, то имеет место отрицательная логика. В этом случае ЛЭ реализует операцию И-НЕ. Такое преобразование логики работы элементов в зависимости от принятой полярности сигнала логической 1 характерно и для всех других типов потенциальных микросхем.

**Транзисторные ИМС с непосредственной, резистивной и резистивно-емкостной связью (DCTL, TRL, RCTL)**

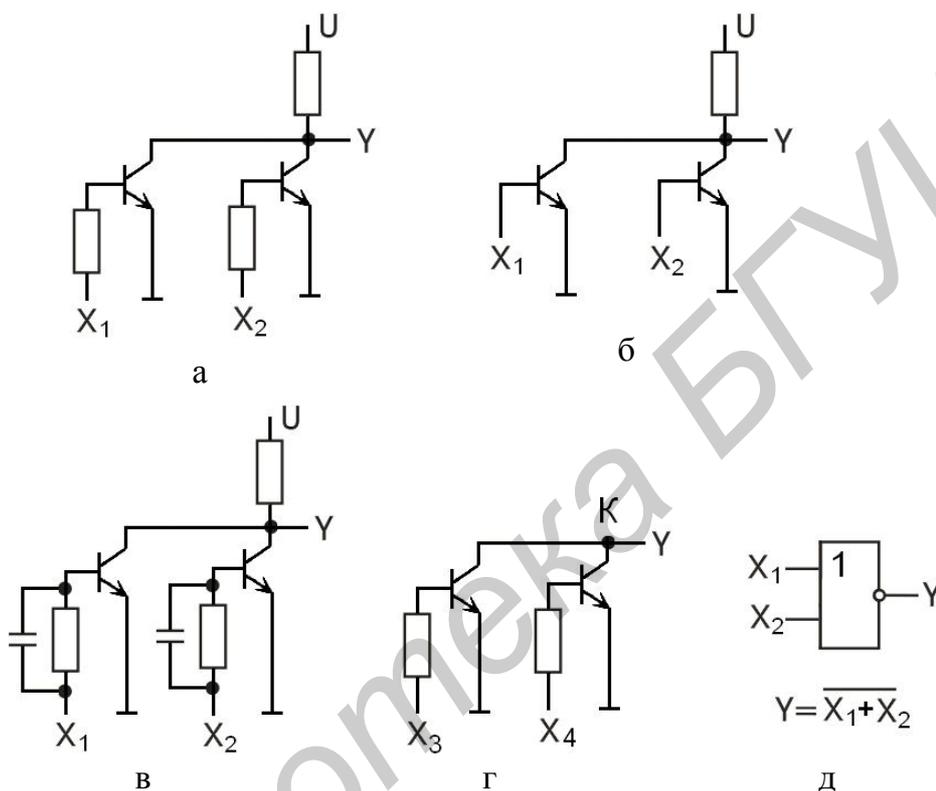


Рис. 2.3. Схемы ЛЭ:

- а – TRL; б – DCTL; в – RCTL; г – расширитель ИЛИ;
- д – функциональное обозначение

Транзисторные ИМС с непосредственной связью являются одним из основных схемотехнических направлений. Наиболее широко эта схемотехника применяется в ИМС на основе МДП-структур. Возможна также реализация транзисторных ИМС с непосредственными связями на основе биполярных транзисторов (рис. 2.3).

Включение компенсирующих резисторов в базовые цепи транзисторов ЛЭ (рис. 2.3, а) позволило значительно снизить рабочие токи и потребляемую мощность в TRL-ИМС. На основе элементов TRL были разработаны серии микромощных ИМС с  $P_{cp} \leq 100 \frac{\text{мкВт}}{\text{вентиль}}$ . Однако включение компенсирующих резисторов существенно снизило предельное быстродействие микросхем до

1 МГц, но в то же время обеспечило высокое значение параметров  $n$  и  $m$  ( $n > 4$  и  $m > 8$ ). Для повышения быстродействия элементов TRL параллельно базовому резистору были включены форсирующие конденсаторы (рис. 2.3, в). Микросхемы такого типа получили название транзисторных ИМС с резистивно-конденсаторными связями (RCTL). Предельное быстродействие элементов такого типа повысилось до 5 МГц при сохранении значений параметров  $n$  и  $m$ .

Несмотря на очевидные преимущества RCTL-ИМС не получили распространения из-за сложности их изготовления, так как создание идентичных и стабильных емкостей методами интегральной технологии является сложной задачей. Конденсаторы, выполненные на основе короткозамкнутых р-п-переходов, занимают большую площадь и имеют значительный разброс характеристик, что снижает степень интеграции и процент выхода годных ИМС в производстве.

### **Расширение функциональных возможностей ИМС**

Функциональные возможности ИМС определяются:

- 1) выполняемой логической функцией;
- 2) коэффициентом объединения;
- 3) нагрузочной способностью элемента.

Для транзисторной логики наиболее высокая нагрузочная способность достигается у TRL-ИМС ( $m = 8...12$  и  $n = 4...5$ ). Однако часто при синтезе конкретных цифровых устройств требуется увеличение параметра  $n$  у отдельных ИМС до 16...20, а параметр  $m$  может изменяться в пределах 1...12.

Подключение к основной логической схеме расширителей позволяет увеличивать емкость нагрузки ИМС (точка К на рис. 2.3, г), но приводит к снижению их быстродействия.

Для увеличения нагрузочной способности в состав серии микросхем включаются буферные ИМС, представляющие собой усилители мощности. Для обеспечения высокого быстродействия буферного усилителя, соответствующего быстродействию основных микросхем серии, применяется симметричный транзисторный выход.

Буферные усилители обеспечивают нагрузочную способность  $n > 20$  и работают при нагрузках  $C_n > 100$  пФ (допустимая емкостная нагрузка на основную вентиляционную схему обычно не превышает 30 пФ). Буферная ИМС может выполнять не только усилительные, но и логические функции за счет параллельного включения  $m$ -транзисторов на входе и выходе.

### **2.3.2. Диодно-транзисторные ИМС (DTL)**

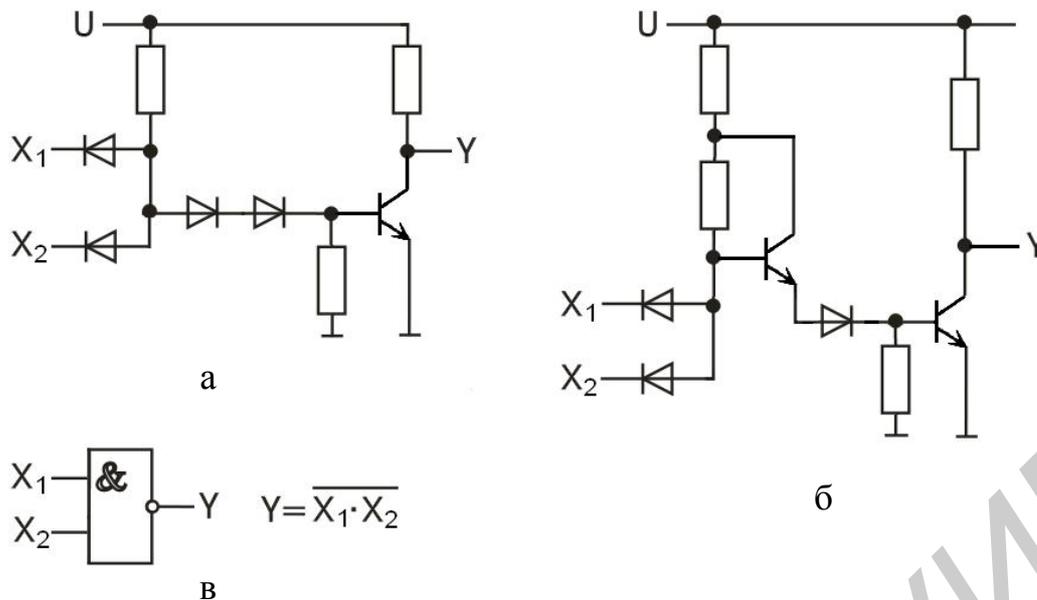


Рис. 2.4. Диодно-транзисторные ЛЭ DTL:

а – с усилителем на одном транзисторе; б – с усилителем на составном транзисторе; в – функциональное обозначение элемента И-НЕ

Базовые функциональные элементы (рис. 2.4) диодно-транзисторных ИМС реализуют типовую логическую функцию И-НЕ (для положительной логики). При этом функцию И выполняют диодные группы, а функцию усилителя-инвертора – транзисторные схемы.

Известны две наиболее распространенные разновидности DTL-ИМС:

- 1) ИМС с одностранзисторным усилителем на выходе;
- 2) ИМС с усилителем на составном транзисторе (усилитель Дарлингтона).

Базовые элементы И-НЕ для двух указанных групп DTL-ИМС приведены на рис. 2.4, а, б соответственно.

Применение усилителя на составном транзисторе позволяет снизить требования к коэффициенту усиления интегральных транзисторов, а также расширить температурный диапазон работы DTL-ИМС.

Модифицированные DTL-ИМС со свободным коллектором позволяют простым способом реализовать двухступенчатую логическую функцию И-ИЛИ-НЕ за счет объединения коллекторов выходных транзисторов.

Общим свойством описанных микросхем является использование нелинейного режима работы активных элементов. Усилители логических схем характеризуются надежным запирающим транзисторов в одном логическом состоянии и насыщением транзисторов в другом.

Режим насыщения не позволяет полностью использовать высокие частотные свойства транзисторов в микросхеме, так как основная задержка определяется длительным рассасыванием заряда при включении насыщенного транзистора.

В связи с разработкой новых поколений ЭВМ встал вопрос о создании ИМС с быстродействием более 50 МГц. Этим требованиям удовлетворяют ИМС с эмиттерными связями (ECL-ИМС), имеющие высокие динамические параметры.

### 2.3.3. ИМС с эмиттерными связями (ECL)

В базовом ECL-элементе ИЛИ, ИЛИ-НЕ обе логические операции (ИЛИ, НЕ) выполняются эмиттерно-связанными транзисторами, чем и обусловлено название типа логики. Элемент имеет два выхода, на одном из которых фиксируется результат операции ИЛИ, а на другом – операции ИЛИ-НЕ. Обозначают такой элемент ИЛИ, ИЛИ-НЕ.

Особенностью микросхем транзисторной логики с эмиттерными связями (ECL) является ненасыщенный режим работы транзисторов, что обеспечивает их высокое быстродействие. Вентильная ECL-ИМС выполняется на двух переключателях тока (рис. 2.5). Один из них, нормально открытый, реализован на транзисторе, на базу которого подано отпирающее напряжение  $U_0$ . Уровень  $U_0$  ниже минимального уровня логической 1. Второй переключатель тока состоит из  $m$  (по числу логических входов) транзисторов, имеющих общие коллекторы и эмиттеры, что обеспечивает реализацию функции ИЛИ. При отпирании любого транзистора второго переключателя тока повышается уровень напряжения на общем эмиттерном резисторе  $R_0$  и обеспечивается запирающее напряжение на базе первого переключателя тока, что приводит к формированию на выходе  $Y$  высокого уровня (логическая 1), в то время как на выходе  $\bar{Y}$  формируется низкий уровень (логический 0). Следовательно, по выходу  $\bar{Y}$  реализуется функция ИЛИ-НЕ, а по выходу  $Y$  – логическая функция ИЛИ.

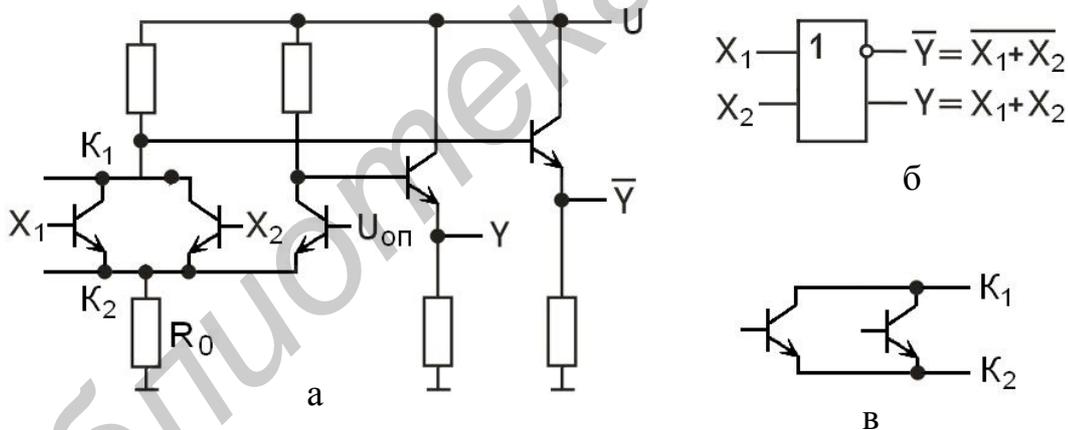


Рис. 2.5. Логический элемент с эмиттерными связями (ECL):  
 а – схема ИЛИ, ИЛИ-НЕ; б – функциональное обозначение;  
 в – расширитель функции ИЛИ

Выполнение выходных каскадов логической схемы на эмиттерных повторителях (выходное сопротивление 30...50 Ом) обеспечивает большую нагрузочную способность базового элемента ( $n > 10$ ). Кроме того, при наличии эмиттерных повторителей смещается выходной уровень 1 элемента на величину падения напряжения на переходе кремниевого транзистора ( $U_{03} = 0,7...0,8$  В), создавая условия для ненасыщенного режима работы транзисторов последующей логической группы.

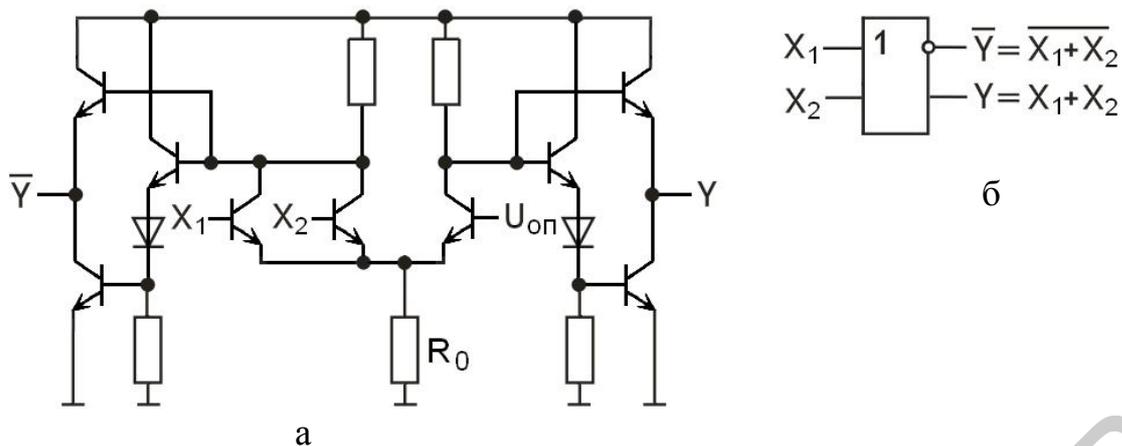


Рис. 2.6. Логический элемент ECL с мощным выходом:  
 а – схема элемента ИЛИ, ИЛИ-НЕ; б – функциональное обозначение

Транзисторы выходных эмиттерных повторителей работают в ненасыщенном режиме, так как напряжение на коллекторе всегда выше напряжения на базе и переходы коллектор-база никогда не оказываются смещенными в прямом направлении. Перепад напряжений логических уровней 1 и 0, как правило, находится в пределах 0,7...0,8 В, а помехоустойчивость составляет 0,15...0,2 В. За счет низкого выходного сопротивления уровень помех в линиях связи между элементами невысок, а постоянная токовая нагрузка элемента не вызывает всплесков напряжения в цепях питания. Наличие двух парафазных логических выходов в ECL-ИМС обеспечивает большую гибкость при проектировании цифровых устройств.

Увеличение коэффициента объединения по входам ИЛИ осуществляется за счет подключения к базовой ECL-ИМС логического расширителя. Однако на практике стремятся избежать применения логических расширителей, подключение которых существенно снижает быстродействие ИМС из-за значительных паразитных емкостей, что ограничивает параметр  $m$  в ECL БИС.

Для обеспечения высокой нагрузочной способности в состав серий ECL-ИМС включаются микросхемы с мощным выходом (рис. 2.6), обеспечивающие  $n > 30$  при  $C_n > 100$  пФ. Возможна реализация ECL-ИМС, выходной каскад которой выполнен в виде повторителя со свободным эмиттером. Такая реализация выхода позволяет подключать в качестве нагрузки микросхемы с различными входными сопротивлениями. Это обеспечивает расширение логических возможностей по ИЛИ за счет объединения выходов ИМС без применения логических расширителей.

В качестве ЛЭ, дополняющих функциональные возможности типовых ECL-ИМС, применяются ИМС эмиттерной функциональной логики (EFL). Их особенностью является применение многоэмиттерных транзисторов (МЭТ), реализующих безынверсную функцию (рис. 2.7).

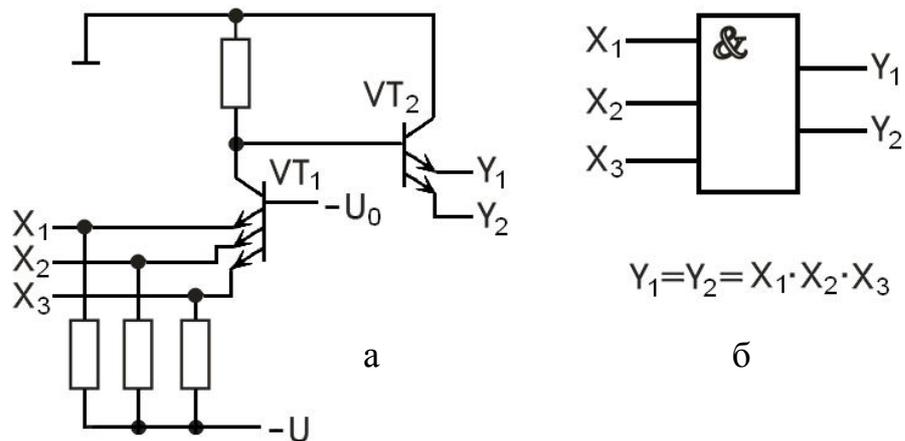


Рис. 2.7. Логический элемент ELF:  
а – схема элемента И; б – функциональное обозначение

Применение в качестве выходного каскада элемента многоэмиттерного транзистора позволяет осуществлять соединение типа проводное ИЛИ и обеспечивает распараллеливание нагрузки.

Комбинация элементов EFL (функции И) с элементами ECL (функции ИЛИ-НЕ), которые хорошо согласуются в кристалле технологически и электрически, позволяет создавать узлы БИС с минимумом активных компонентов и более высоким функциональным быстродействием.

Большая потребляемая мощность элементов ECL является основным препятствием увеличения степени интеграции ECL-БИС, которая практически не может превысить 1000 вентилях в кристалле. При этом мощность рассеивания на кристалле может достигнуть 5...10 Вт, что потребует применения специальных конструктивных решений и систем охлаждения аппаратуры. Такими решениями могут быть теплоотводящие платы, радиаторы, охлаждающие жидкости и вентиляторы обдува, что значительно снизит эффект микроминиатюризации от внедрения БИС.

Важнейшее преимущество ECL-ИМС – наибольшее быстродействие по сравнению со всеми другими видами микросхем, а также высокая помехозащищенность благодаря значительным рабочим токам в цепях передачи информации определяют повсеместное применение ИМС в процессорах суперЭВМ с быстродействием до 100 млн операций в секунду и более. К классу ECL (ЭСЛ) относятся в частности ИМС серий 100, 1500, 500.

#### 2.3.4. Интегральные элементы инжекционной логики (И<sup>2</sup>Л)

Схемы интегральной инжекционной логики (ИИЛ), или И<sup>2</sup>Л-схемы, являются развитием схем с непосредственными связями (рис. 2.8).

Типовой И<sup>2</sup>Л-вентиль содержит транзисторную структуру n-p-n, включенную по схеме с общим эмиттером и выполняющую роль выходного инвертирующего усилителя, обеспечивающего развязку выходов для исключения их взаимного влияния, а также дополняющую транзисторную структуру p-n-p, включенную по схеме с общей базой и служащую для инжекции тока в базу

выходного усилителя. Соответственно транзистор  $VT_1$  называют инжектором, а  $VT_2$  – инвертором (рис. 2.8, а). Эти транзисторы в многоступенчатой логической схеме совмещаются в объеме полупроводника, причем база транзистора p-n-p есть эмиттер транзистора n-p-n, а коллекторы транзисторов p-n-p есть базовые области транзисторов n-p-n. Это обеспечивает высокую плотность упаковки элементов инжекционных микросхем на кристалле.

Типовые многовыходные И<sup>2</sup>Л вентили с логикой ИЛИ-НЕ и И-НЕ приведены на рис. 2.8, б, д, в, е. Функция ИЛИ организуется объединением коллекторов выходных инвертирующих транзисторов, а функция И – подачей инверсных управляющих сигналов на входе и подключением дополнительного инвертирующего усилителя на выходе логической схемы.

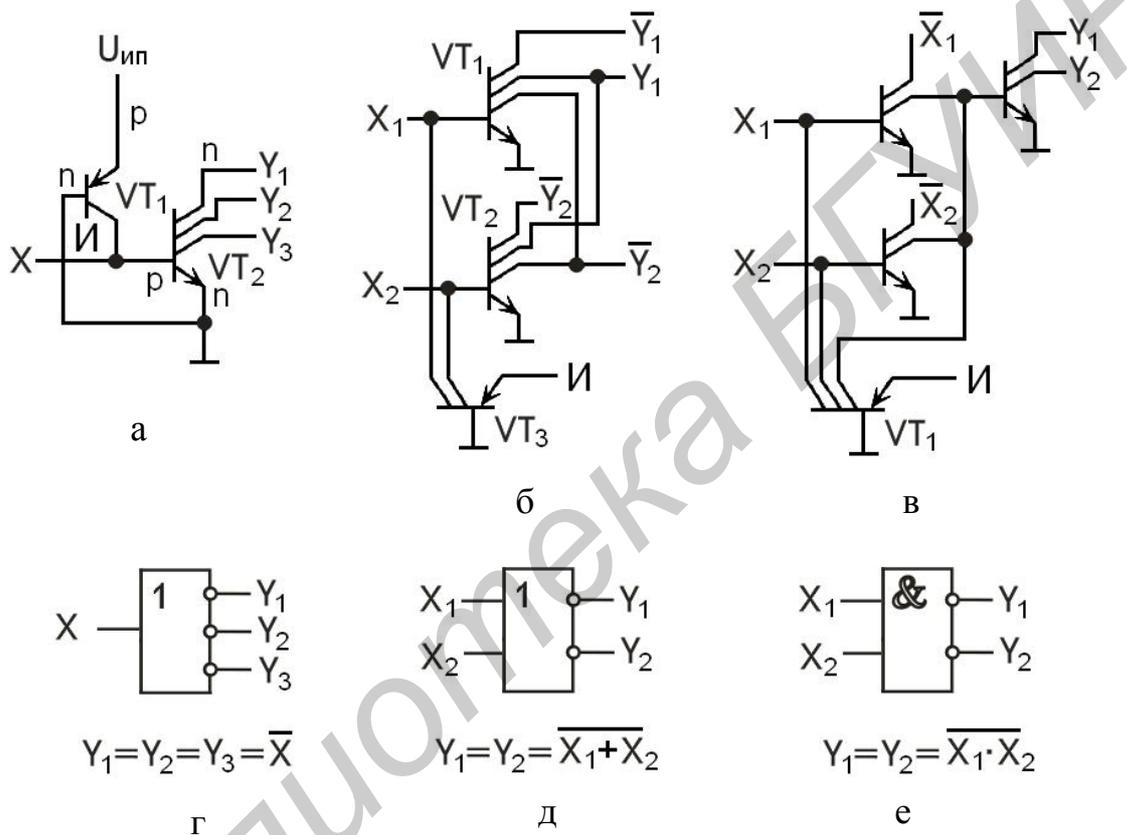


Рис. 2.8. Логические элементы инжекционной логики (И<sup>2</sup>Л):

а, г – схема инвертора и ее функциональное обозначение; б, д – схема ИЛИ-НЕ и ее функциональное обозначение; в, е – схема И-НЕ и ее функциональное обозначение

Работа инжекционной микросхемы может быть рассмотрена на основе логического вентиля ИЛИ-НЕ (рис. 2.8, б, д). При уровнях логического 0 на входах  $X_1$ ,  $X_2$  ток инжектора через многоколлекторный транзистор  $VT_3$  не сможет поступить в базы транзисторов  $VT_1$ ,  $VT_2$  и они останутся запертыми, что приведет к формированию на выходе вентилей ( $Y_1$  и  $Y_2$ ) уровня 1. При поступлении логической 1 на любой из входов (это соответствует режиму запирающего транзистора предшествующего каскада) инжектируемый ток через соответствующий коллектор транзистора  $VT_3$  поступит в базу транзистора схемы ИЛИ-НЕ (при

$X_2=1$  ток поступит в базу транзистора  $VT_2$ ) и откроет его, что приведет к формированию логического 0 на выходах  $Y_1=Y_2=0$ . (Логика работы схемы И-НЕ (рис. 2.8, в, е) предполагается рассмотреть самостоятельно).

Быстродействие переключения инжекционных микросхем определяется током инжектора, увеличение которого до определенного значения позволяет уменьшить задержку срабатывания вентиля. Однако при значительном увеличении тока инжектора из-за накопления больших избыточных зарядов в активных областях задержка срабатывания резко возрастает.

Повышение быстродействия реализуется при уменьшении геометрических размеров транзисторов, увеличении коэффициентов усиления, а также при создании И<sup>2</sup>Л-ИМС с небольшими логическими перепадами уровней сигналов. Логический перепад можно снизить в 2...3 раза за счет применения диодов Шотки, включенных последовательно между выходом одного логического каскада и входом другого. Вариант включения диодов Шотки приведен на рис. 2.9.

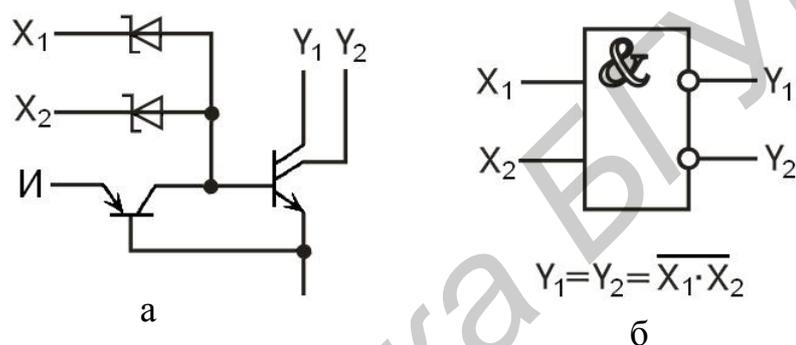


Рис. 2.9. Схема быстродействующего элемента И<sup>2</sup>Л с диодами Шотки: (функция И-НЕ) (а) и его функциональное обозначение (б)

Важной проблемой проектирования БИС на инжекционных элементах является обеспечение необходимой помехоустойчивости. Типовые И<sup>2</sup>Л-вентили имеют низкую помехоустойчивость к запирающим помехам (менее 0,1 В), что предопределило их использование преимущественно во внутренних узлах БИС. Для повышения помехоустойчивости во входных каскадах БИС применяют вентили с несколькими включенными последовательно базовыми диодами Шотки (помехоустойчивость к запирающим помехам увеличивается в 2...3 раза).

В заключение отметим, что И<sup>2</sup>Л-схемы весьма перспективны для построения БИС. Так, отечественные микропроцессоры К583, К584 выполнены на базе схемотехники И<sup>2</sup>Л.

#### 2.4. Интегральные элементы двухступенчатой логики

По схемотехнической реализации ЛЭ двухступенчатой логики, выполняемые на биполярных транзисторах, подразделяются на:

- диодно-транзисторные (DTL-2);
- транзисторно-транзисторные (TTL);
- транзисторно-транзисторные с диодами Шотки (TTL-S);

- транзистор-транзисторно-транзисторные (Т-ТТЛ).

### 2.4.1. Диодно-транзисторные ИМС (ДТЛ-2)

На рис. 2.10 приведена схема функционального элемента диодно-транзисторной логики, реализующая двухступенчатую функцию И-ИЛИ-НЕ. Реализация логической операции И и ИЛИ в микросхемах ДТЛ-2 осуществляется на диодах, а операция НЕ выполняется на транзисторном усилителе-инверторе. Для увеличения логических возможностей по входам И и ИЛИ применяются специальные расширители функций И и ИЛИ.

На смену диодно-транзисторным пришли более совершенные ИМС транзисторно-транзисторной логики.

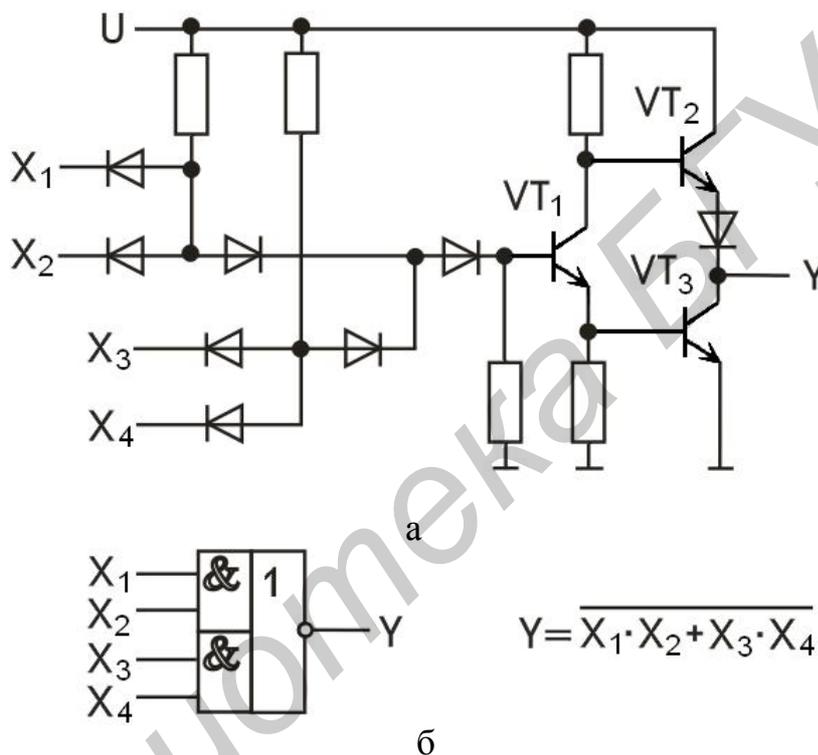


Рис. 2.10. Элемент двухступенчатой логики (ДТЛ-2)  
а – схема элемента И-ИЛИ-НЕ; б – функциональное обозначение

### 2.4.2. Транзисторно-транзисторные ИМС (ТТЛ)

В базовом ТТЛ-элементе логические операции осуществляются транзисторами, чем определяется название типа логики: транзисторно-транзисторная.

Разработка технологии изготовления многоэмиттерного транзистора (МЭТ), который легко реализуется методами интегральной технологии, послужила определяющим фактором в создании ряда серий ИМС транзисторно-транзисторной логики. Многоэмиттерный транзистор представляет собой интегральный элемент, объединяющий преимущества диодных логических схем и транзисторного усилителя. Его база через резистор соединена с положительным зажимом источника питания, эмиттеры являются входами элемента, а в цепь

коллектора включен эмиттерно-базовый переход следующего транзистора. Потенциал базы МЭТ выше потенциала коллектора, поэтому коллекторный переход МЭТ открыт. Режим эмиттерного перехода зависит от ситуации на входах элемента. Если хотя бы на одном входе присутствует низкий потенциал логического 0 (например  $X_1=0$ ), то потенциал эмиттера  $U_3$  меньше потенциала базы  $U_6$  – эмиттерный переход открыт. Таким образом оба перехода открыты, и он насыщен. При этом практически весь ток базы проходит в цепь эмиттера, а напряжение  $U_k$  (МЭТ) на коллекторе составляет доли вольта [8].

Если же на всех входах элемента высокий потенциал ( $X_1=X_2=1$ ), то  $U_3 > U_6$ ; эмиттерный переход закрыт и ток базы (МЭТ) переключается в цепь коллектора (напряжение на котором составляет около 2 В).

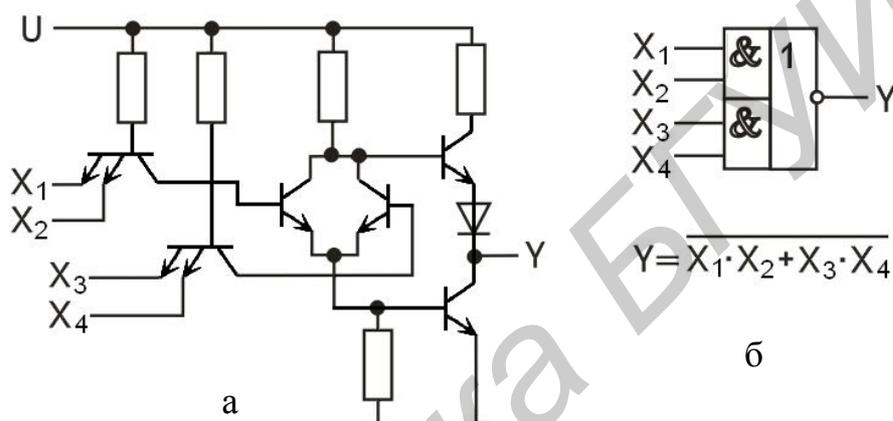


Рис. 2.11. Транзисторно-транзисторный логический элемент:  
а – схема элемента И-ИЛИ-НЕ; б – функциональное обозначение (TTL)

Повторяя структуру диодно-транзисторных ИМС, транзисторно-транзисторные ИМС (рис. 2.11) позволили значительно увеличить быстродействие (до 20 МГц), повысить уровень помехоустойчивости ( $U_p = 0,7$  В), снизить потребляемую мощность.

Выходные усилители TTL-микросхем с симметричным транзисторным выходом обеспечивают высокую нагрузочную способность базовой схемы ( $n = 10$ ) при значительных емкостях нагрузки ( $C_n=100$  пФ). При проектировании аппаратуры на TTL-микросхемах необходимо учитывать, что их выходные каскады в динамическом режиме потребляют мощность в 2...3 раза больше, чем в статическом режиме. Это объясняется появлением значительных импульсных токов на фронтах сигналов.

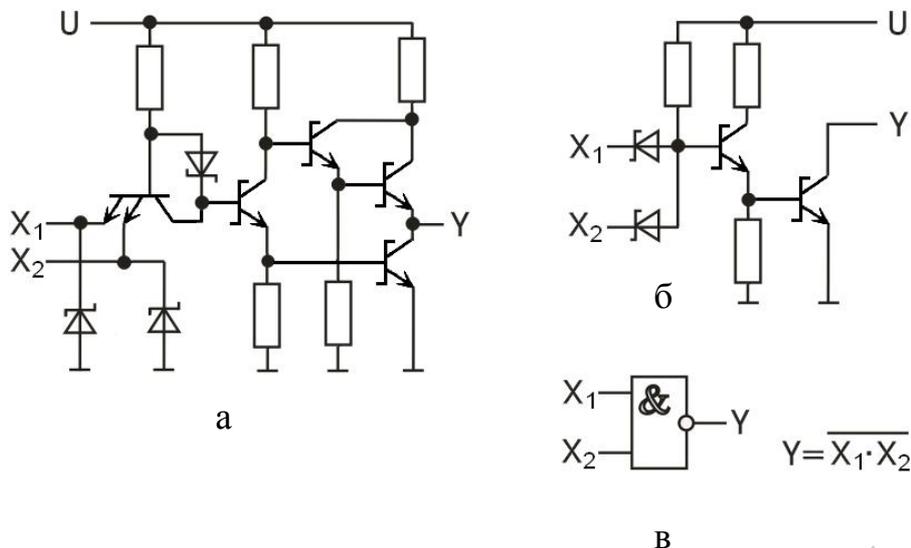


Рис. 2.12. Быстродействующие TTL-элементы с диодами Шотки: а – типовая схема элемента И-НЕ (TTLШ); б – схема маломощного элемента И-НЕ (TTLШ) со свободным коллектором; в – функциональное обозначение

Одним из наиболее важных достижений в технологии изготовления TTL-ИМС явилось применение диодов Шотки, включение которых между базой и коллектором транзисторов позволило резко повысить быстродействие за счет устранения режима насыщения транзисторов. Обычно структуру диода Шотки со связанными с ним коллектором и базой транзистора называют транзистором Шотки. Схема типового TTLШ-вентилья приведена на рис. 2.12, а. Она практически полностью повторяет конфигурацию TTL-вентилья, но имеет в 2...3 раза большее быстродействие.

Дальнейшее совершенствование схемотехники TTL с диодами Шотки привело к созданию модификации диодно-транзисторных маломощных ИМС с транзисторами Шотки и логическими диодами Шотки на входе. Схема такого элемента И-НЕ, получившего название маломощного TTL-элемента с транзисторами Шотки, приведена на рис. 2.12, б. Ее особенность состоит в том, что за счет применения быстродействующих диодов Шотки с малым падением напряжения на переходе в открытом состоянии входные многоэмиттерные транзисторы традиционных TTL-ИМС заменены диодными вентильными сборками, что позволило уменьшить площадь вентилья на кристалле при сохранении высокого быстродействия. Потребляемая мощность таких вентильей в 5...10 раз меньше. Этот фактор обеспечил широкое применение маломощных TTL-элементов с диодами Шотки.

Совершенствование технологических приемов, размеров транзисторов и методов проектирования позволили достигнуть для TTLШ-ИМС задержки 1–2 нс на вентиль, что соответствует уровню ECL-ИМС при меньшей в 2...3 раза потребляемой мощности на вентиль.

### 2.4.3. Транзистор-транзисторно-транзисторные ИМС (Т-ТТЛ)

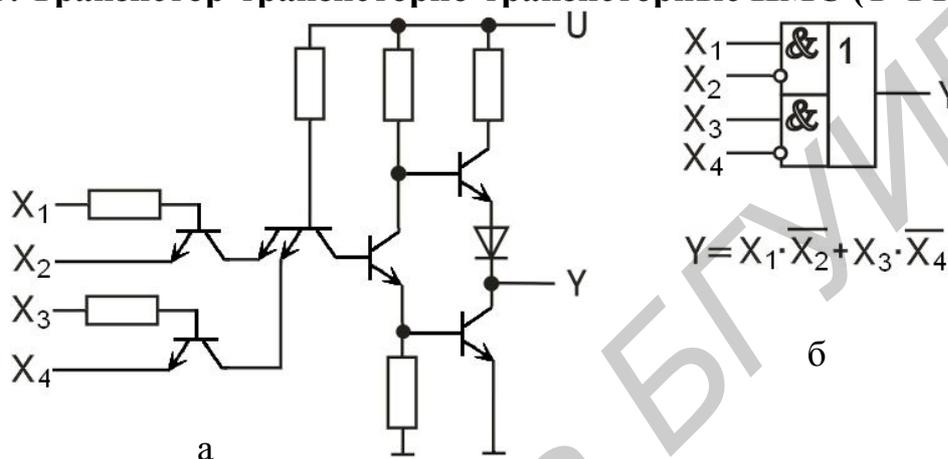


Рис. 2.13. Базовый логический элемент Т-ТТЛ:

а – схема элемента НЕ, И-ИЛИ; б – функциональное обозначение

Микросхемы транзистор-транзисторно-транзисторной логики относятся к разряду логических микросхем, выполненных на основе модернизации типовых ТТЛ-ИМС. На рис. 2.13 приведена базовая схема элемента Т-ТТЛ, реализующая двухступенчатую логическую функцию с запретом НЕ, И-ИЛИ. Логическая операция И с запретом выполняется на транзисторах, управляемых по базе и эмиттеру, а функция ИЛИ реализуется на МЭТ. В схемах с большим числом входов ИЛИ увеличивается число эмиттеров у МЭТ, но число МЭТ не изменяется. Это создает определенные технологические преимущества Т-ТТЛ-элементов перед сложными ТТЛ-элементами, у которых число МЭТ всегда равно числу входов ИЛИ. Наличие запрещающего входа по эмиттеру в схеме И открывает широкие возможности при построении цифровых устройств на основе совместного использования Т-ТТЛ и ТТЛ-элементов, которые имеют электрическое согласование.

В ряде случаев Т-ТТЛ-элементы полностью заменяют ТТЛ, позволяя более экономично реализовать сложные функциональные узлы. Существование прямых и инверсных входов в Т-ТТЛ-элементах позволяет увеличить их нагрузочную способность за счет одновременной работы на группы входов разного вида. Действительно, прямые входы (базы транзисторов) являются потребителями тока, а инверсные входы – источниками тока для выходного усилителя Т-ТТЛ-элемента. Поэтому в состоянии логической 1 (высокий уровень на вы-

ходе) схема будет отдавать ток, а в состоянии логического 0 потреблять ток от нагрузки. Поскольку ток одного прямого входа меньше тока, потребляемого от инверсного входа, то суммарный ток нагрузки выхода в состоянии логической 1 мал и не снижает высокого уровня на выходе Т-ТТЛ-элемента.

Недостатками Т-ТТЛ-элементов считают низкий уровень статической помехоустойчивости и увеличенное время задержки переключения при управлении по прямому (базовому) входу элемента НЕ, И.

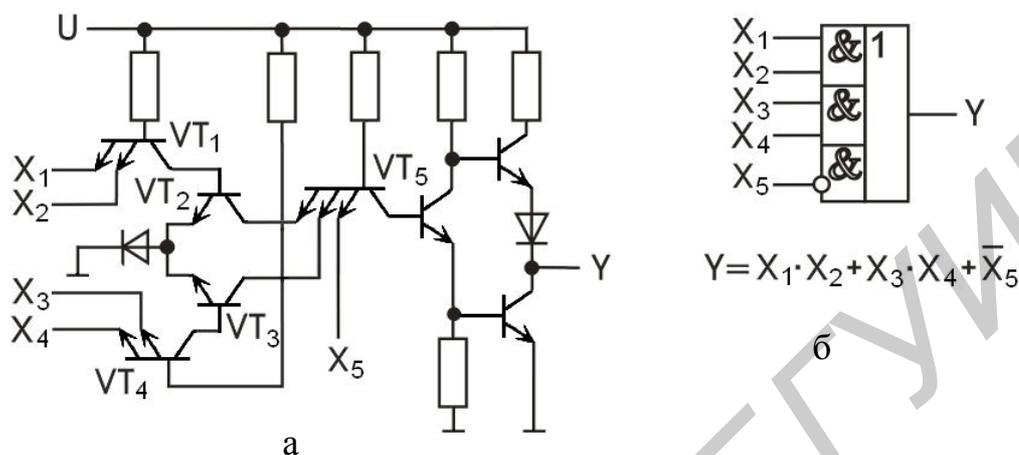


Рис. 2.14. Модифицированный логический элемент Т-ТТЛ:  
а – схема элемента И-ИЛИ; б – функциональное обозначение

Существует другая модификация Т-ТТЛ-элементов без использования базовых входов. В качестве примера на рис. 2.14 приведена схема элемента, выполняющего функцию И-ИЛИ. Особенностью схемы является выполнение функций как ИЛИ, так и И на многоэмиттерных транзисторах. Поступление логической 1 на все входы МЭТ схемы И (например, на входы  $X_1, X_2$ ) приведет к отпиранию коммутирующего транзистора  $VT_2$ . Транзистор  $VT_5$  будет открыт, а выходной усилитель заперт, и на выходе  $Y$  сформирован уровень логической 1. При поступлении логической 1 на  $VT_4$  отпирается коммутирующий транзистор  $VT_3$  и вновь на выходе  $Y$  будет уровень логической 1. Управление элементами по входу ИЛИ осуществляется сигналом с уровнем логического 0. Диод в эмиттерных цепях коммутирующих транзисторов обеспечивает необходимый уровень помехоустойчивости по входам И.

Выполнение схемы И на основе МЭТ позволяет увеличить число логических входов путем увеличения числа эмиттеров.

Элементы Т-ТТЛ совместно с элементами ТТЛ обеспечивают высокую гибкость проектирования и построения экономичных схем цифровых узлов.

В заключение отметим основные положительные качества элементов Т-ТТЛ:

- 1) наличие прямых и инверсных входов позволяет исключить ряд промежуточных инверторов при реализации сложных функций;
- 2) простота реализации триггеров однофазного типа, которые обеспечивают уменьшение числа входов, выходов и коммутационных связей при создании БИС;
- 3) обеспечивается двойная нагрузочная способность при работе на прямые и инверсные входы схем НЕ, И-ИЛИ одновременно;

4) существенно снижается потребляемая мощность в схемах НЕ, И-ИЛИ с большим числом входов по ИЛИ;

5) обеспечивается электрическое согласование с элементами TTL-ИМС и создание экономичных цифровых узлов при совместном использовании TTL и T-TTL-ИМС;

6) значительно снижается потребляемая мощность T-TTL-элементов и повышается быстродействие при использовании диодов Шотки.

## 2.5. Логические элементы на полевых транзисторах

Широкое практическое применение при разработке логических схем получили полевые транзисторы с МДП-структурой.

В отличие от биполярных транзисторов, управляемых током, полевые транзисторы по принципу действия являются аналогами электронных ламп, так как управляются напряжением. Условное графическое обозначение МДП-транзистора приведено на рис. 2.15.

Как правило, исток служит точкой, относительно которой измеряются потенциалы других точек прибора. Исток можно считать аналогом эмиттера в биполярном транзисторе, затвор является точкой приложения управляющего напряжения (аналог базы в биполярном транзисторе или сетки в электронной лампе), а сток является выходом прибора (аналог коллектора биполярного транзистора или анода в лампе). У МДП-транзисторов есть еще один внешний вывод – ПОДЛОЖКА (П), его обычно соединяют с истоком и не рассматривают отдельно.

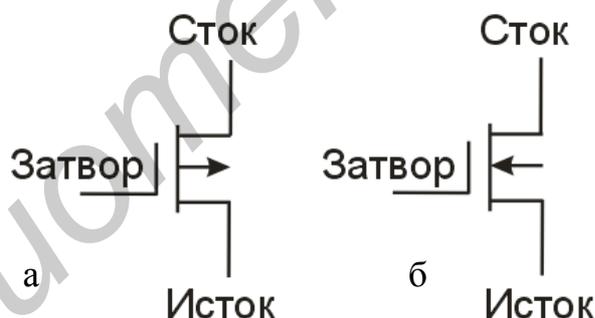


Рис. 2.15. Условное графическое обозначение МДП-транзисторов:

а – р-типа; б – n-типа

Подавая на затвор МДП-транзистора напряжение различного уровня, можно модулировать сопротивление канала сток-исток, т.е. изменять значение тока в канале при постоянном напряжении на стоке.

Различают МДП-транзисторы двух типов проводимости: р- и n-типа.

МДП-транзисторы р-типа отпираются при отрицательном, а n-типа – при положительном смещении напряжения затвора относительно истока.

Логические схемы на МДП-транзисторах р-типа с заземленным истоком требуют отрицательного напряжения питания (схемы отрицательной логики). Логические схемы на МДП-транзисторах n-типа с заземлением требуют поло-

жительного питающего напряжения (схемы положительной логики). При построении логических элементов на основе дополняющих МДП-транзисторов с каналами р- и n-типов (КМДП-ИМС) возможно создание схем как положительной, так и отрицательной логики.

Комплементарной (т.е. взаимодополняющей) считают пару полевых транзисторов, имеющих одинаковые характеристики, но противоположную полярность питающих напряжений, сигналов управления и токов исток-сток.

Если такую пару соединить следующим образом (рис 2.16):

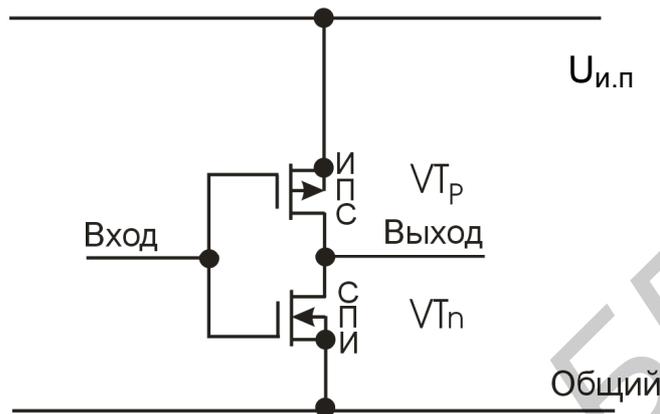


Рис. 2.16. Инвертор (схема HE)

(обратите внимание, верхний транзистор «перевернут»), то при напряжении на объединенном затворе (входе), равном 0 В, верхний транзистор будет открыт, а нижний закрыт и на выходе схемы будет  $U_{и.п}$ , так как у открытого транзистора сопротивление исток-сток мало, а у закрытого велико (разрыв цепи исток-сток). При  $U_{ВХ} = 1$  наоборот.

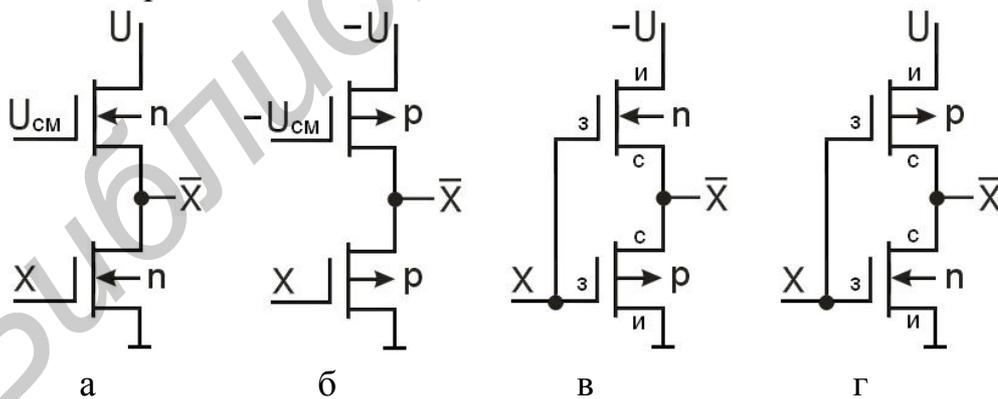


Рис. 2.17. Схема инверторов на МДП-транзисторах:  
а – n-типа; б – р-типа; в, г – р- и n-типа

На рис. 2.17 приведены четыре варианта выполнения простейших элементов-инверторов на МДП-транзисторах: n-типа (рис. 2.17, а), р-типа (рис. 2.17, б) и на дополняющих транзисторах (рис. 2.17, в, г). Для схем на дополняющих

транзисторах полярность логики зависит от последовательности включения транзисторов р- и n-типов. Если транзистор n-типа непосредственно подключен к общей шине, а транзистор р-типа к источнику питания (рис. 2.17, г), то элемент работает в режиме положительной логики (уровню логической 1 соответствует  $U$ , а уровню логического 0 соответствует 0 источника питания).

Если транзистор р-типа непосредственно подключен к общей шине, а транзистор n-типа – к источнику питания, то элемент работает в режиме отрицательной логики (уровню логической 1 соответствует « $-U$ », а уровню логического 0 соответствует 0 источника питания).

Передаточные характеристики полевых транзисторов имеют следующий вид (рис. 2.18):

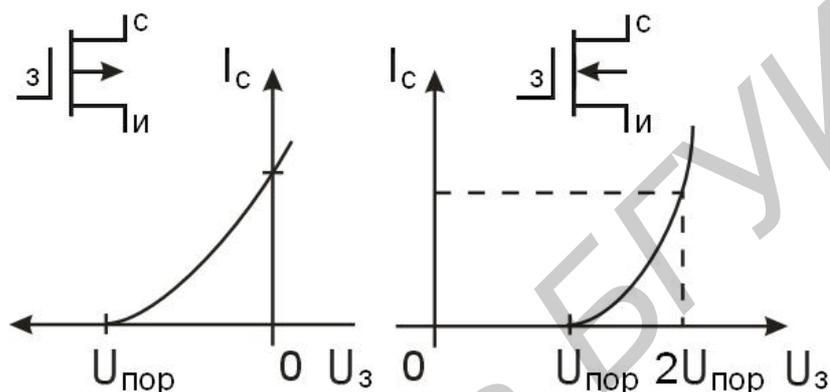


Рис. 2.18. Передаточные характеристики полевых транзисторов: а – обедненного (нормально открытого); б – обогащенного (нормально закрытого)

В первом из них зависимость тока стока  $I_c$  от напряжения на затворе  $U_3$  имеет вид кривой (рис. 2.18, а). Такой транзистор называют нормально открытым, так как при напряжении затвора, равном нулю, он проводит ток (при  $U_3 = 0$ ,  $I_c = \max$ ). Второй тип полевого транзистора нормально закрытый. При нулевом потенциале на затворе ток стока транзистора равен нулю (при  $U_3 = 2U_{\text{пор}}$ ,  $I_c = \max$ ) (рис. 2.18, б).

Затвор МДП-транзистора называют изолированным, поскольку он отделен от истока и стока изолирующим материалом, имеющим очень большое сопротивление. Тем не менее напряжение на затворе создает электрическое поле, которое увеличивает или уменьшает ток, текущий от истока к стоку. Этот «полевой эффект» дал название транзистору – «полевой транзистор» [8].

По этой причине, независимо от напряжения на затворе, никакой ток практически не течет от затвора к истоку или от затвора к стоку. Сопротивления между затвором и другими выводами очень велики, намного больше мегаома. Ток, протекающий по этим сопротивлениям очень мал, обычно меньше одного микроампера ( $\text{мкА}$ ,  $10^{-6} \text{ А}$ ), и называется током утечки.

Само условное обозначение МДП-транзистора напоминает нам, что между затвором и двумя другими выводами нет никакого соединения. Однако изображение МДП-транзистора наводит на мысль, что затвор имеет емкостную связь с истоком и стоком. В быстродействующих схемах мощность, расходуемая при заряде и разряде этих емкостей при каждом изменении входного сигнала, составляет заметную долю потребляемой схемой мощности.

В цифровых электронных устройствах используют преимущественно нормально закрытые полевые транзисторы.

Имеется определенная аналогия между биполярным  $n$ - $p$ - $n$ -транзистором и полевым нормально закрытым транзистором с каналом  $n$ -типа: оба они не проводят ток при нулевом (и отрицательном) смещении на управляющем электроде, оба открываются при положительном смещении на этом электроде, оба достигают тока насыщения.

В логических схемах на МДП-транзисторах одного типа проводимости нагрузкой является нормально открытый МДП-транзистор. В этом случае затвор транзистора-нагрузки подключается к источнику напряжения смещения  $U_{см}$ , который, как правило, имеет более высокий (по абсолютной величине) уровень напряжения, чем коммутируемое напряжение логической схемы.

В дальнейшем для простоты описания логических схем на МДП-транзисторах будем рассматривать схемы с одним источником питания.

Известны три разновидности схем на МДП-транзисторах: статического, квазистатического и динамического действия.

Специфические свойства МДП-транзисторов: сверхвысокое входное сопротивление ( $R_{вх} > 10^{12}$  Ом) и способность паразитной емкости затвора длительное время сохранять заряд и уровень напряжения на затворе наиболее широко используются при построении триггерных схем для регистровых и счетных устройств.

Схемы логических элементов статического и динамического действия на МДП-транзисторах  $n$ -типа и на дополняющих транзисторах будут рассмотрены ниже.

### 2.5.1. ЛЭ на одноканальных МДП-структурах

В настоящее время практически полностью осуществлен переход на применение  $n$ -канальных МДП-структур для проектирования БИС и СБИС при использовании транзисторов одной структуры. Однако первые достижения при создании МДП-ИМС и БИС связаны с развитием  $p$ -канальной технологии, где удалось достигнуть уровня интеграции до 10 транзисторов в кристалле. Однако с распространением  $p$ -МДП-ИМС и БИС стали проявляться недостатки  $p$ -канальных схем: высокие (по модулю) напряжения питания ( $-12 \dots -27$  В), невысокое быстродействие (менее 1 МГц), значительная потребляемая мощность в статическом режиме (5 ... 10 мВт/вентиль) и сложность согласования с биполярными ИМС, где типовые напряжения питания  $+3 \dots +5$  В. По этой причине интенсивное совершенствование МДП-технологии шло в направлении создания  $n$ -канальных и КМДП-элементов.

ЛЭ на полевых МДП-транзисторах n-типа, обладая более высоким быстродействием и крутизной передаточной характеристики, позволяют обеспечить единый номинал питающего напряжения +5 В как у биполярных TTL и TTLШ-элементов. По этой причине все основные разновидности логических МДП-элементов статического, квазистатического и динамического действия строятся на одноканальных МДП-транзисторах n-типа.

Основные принципы построения логических схем статического действия на МДП-транзисторах одной структуры во многом соответствуют принципам построения транзисторных логических схем с непосредственными связями (DCTL). Так, для построения многовходового вентиля ИЛИ-НЕ к одному нагрузочному МДП-транзистору подключаются стоки  $m$ -логических транзисторов, а их истоки – к общей шине (рис. 2.19). На рис. 2.19, а приведена схема вентиля элемента ИЛИ-НЕ на два входа, содержащая один нагрузочный транзистор и два логических. Ограничение параметра  $m_{или}$  (коэффициент объединения по входу) такой схемы определяется снижением уровня логической 1 на входе за счет падения напряжения на нагрузке от суммарного тока утечки  $I_0$  цепи сток-исток всех  $m$  входных МДП-транзисторов. Поскольку ток  $I_0$  МДП-транзисторов достаточно мал, то параметр  $m$  логической схемы может достигать 10 и выше.

Обладая сверхвысоким входным сопротивлением по затвору, МДП-транзистор обеспечивает построение ЛЭ с очень высокой нагрузочной способностью ( $p > 20$ ). Нагрузочная способность МДП-ИМС n-типа ограничивается лишь снижением быстродействия с ростом числа нагрузок, так как увеличивается постоянная времени заряда паразитной емкости нагрузки  $C_n$  током, протекающим через нагрузочный МДП-транзистор.

Интегральная технология МДП-структур позволяет использовать последовательное (ярусное) включение МДП-транзисторов, когда в цепь между нагрузкой и общей шиной включен не один, а два, три или четыре МДП-транзистора по схеме И. В этом случае исток нижнего логического МДП-транзистора подключается к общей шине, а его сток к истоку вышестоящего и т.д. Путь току через нагрузку к общей шине открывается лишь в том случае, если будут открыты МДП-транзисторы всех ярусов.

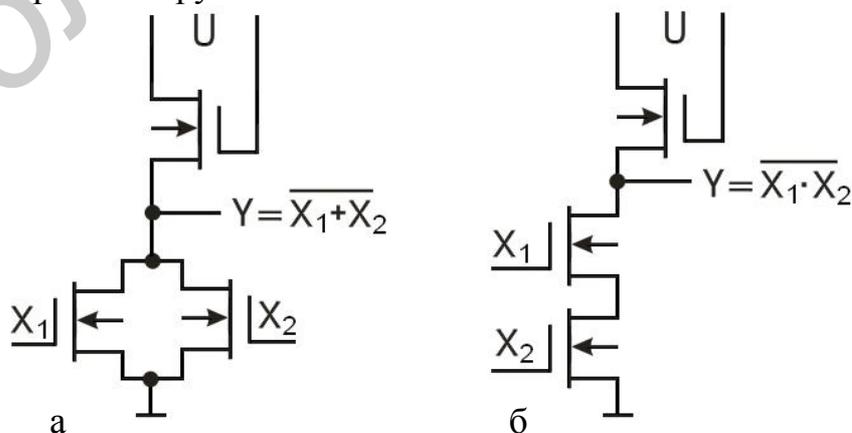


Рис. 2.19. ЛЭ на транзисторах n-типа:

а – схема элемента ИЛИ-НЕ; б – схема элемента И-НЕ

На рис. 2.19, а, б двухвходовые схемы И-НЕ и ИЛИ-НЕ имеют высокую нагрузочную способность  $n$ , но параметр  $m_{и}$  значительно уступает параметру  $m_{или}$  (обычно  $m_{и} \leq 4$ ). Это объясняется тем, что при увеличении числа ярусов схемы И требуются МДП-транзисторы с более высокой крутизной, чем в схемах ИЛИ-НЕ, для сохранения одинакового суммарного сопротивления последовательно включенных транзисторов. Кроме того, ярусное включение транзисторов усложняет топологию и снижает степень интеграции МДП-ИМС  $n$ -типа. Вместе с тем ярусное включение позволяет создавать ЛЭ, обладающие большей гибкостью, чем биполярные, при построении сложных функциональных узлов.

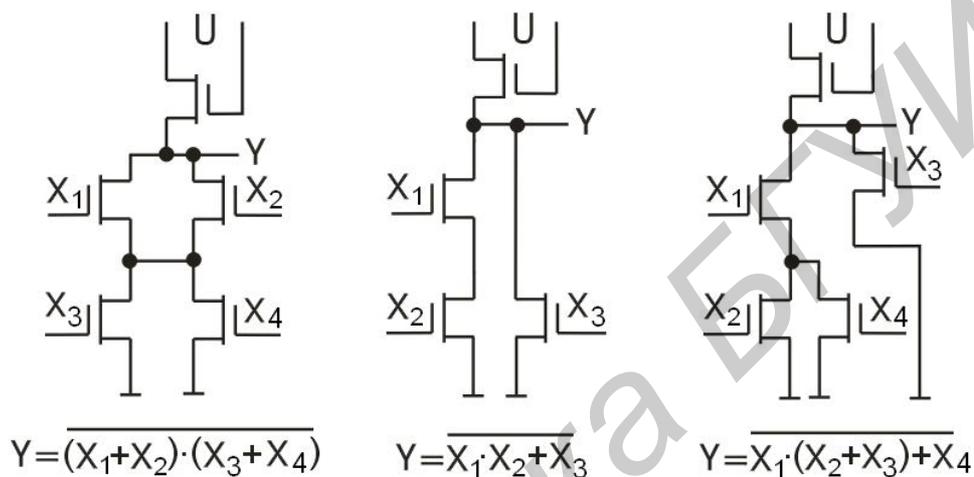


Рис. 2.20. Элементы двухступенчатой логики на транзисторах  $n$ -типа

На рис. 2.20 приводятся варианты  $n$ -канальных МДП-ИМС, выполняющих двухступенчатые логические функции типа И-ИЛИ-НЕ. Эти ИМС за счет ярусного и параллельного включения транзисторов имеют только одну степень задержки  $\tau_{ср}$  на преобразование информации, что соответствует биполярным элементам одноступенчатой логики.

Таким образом, за счет гибкости проектирования сложных логических структур на МДП-транзисторах обеспечивается более высокое функциональное быстродействие по сравнению с ЛЭ на биполярных транзисторах.

С ростом степени интеграции транзисторов в МДП-ИМС встал вопрос о снижении потребляемой мощности на вентиль, которая у МДП-ИМС на транзисторах  $n$ -типа довольно значительная (1... 10 мВт/вентиль). Снижение мощности за счет увеличения сопротивлений МДП-транзисторов в цепях нагрузки приводит к снижению быстродействия (до 50... 100 кГц) и сужает область применения МДП-БИС. Значительное уменьшение потребляемой мощности при высоком быстродействии достигается в ИМС на дополняющих (комплементарных) МДП-транзисторах.

### 2.5.2. Логические элементы на дополняющих МДП-транзисторах

Начиная с середины 80-х годов прошлого столетия прогресс в создании комплементарных МДП-схем (КМДП-схем) позволил значительно улучшить их характеристики, такие, как высокое быстродействие и малую потребляемую мощность, совместимость с семейством TTL-ИМС.

КМДП-логика является одновременно наиболее подходящей и самой простой для создания логических схем.

В настоящее время КМДП-схемы (КМОП-схемы) составляют подавляющую часть мирового рынка ИМС. В большинстве новых СБИС типа микропроцессоров и блоков памяти использована КМДП-технология.

Основные свойства ЛЭ на дополняющих МДП-транзисторах (КМДП-ИМС), выгодно отличающие их от ИМС на МДП-транзисторах n-типа:

- 1) малая потребляемая мощность в статическом режиме (микроватты);
- 2) высокое быстродействие;
- 3) высокая помехоустойчивость за счет большого перепада уровней сигналов логических 1 (3,5... 5,0 В) и 0 (0... 1,5 В);
- 4) новые логические возможности за счет взаимодополняющих структур;
- 5) высокая нагрузочная способность ( $n > 20$ ).

Логические КМДП-элементы отличаются тем, что для каждого логического входа необходимо применять транзистор n-типа и связанный с ним по затвору транзистор p-типа.

На основе КМДП могут быть построены элементы ИЛИ-НЕ положительной логики при параллельном включении транзисторов n-типа и последовательном включении транзисторов p-типа и элементы ИЛИ-НЕ отрицательной логики при параллельном включении транзисторов p-типа и последовательном включении транзисторов n-типа.

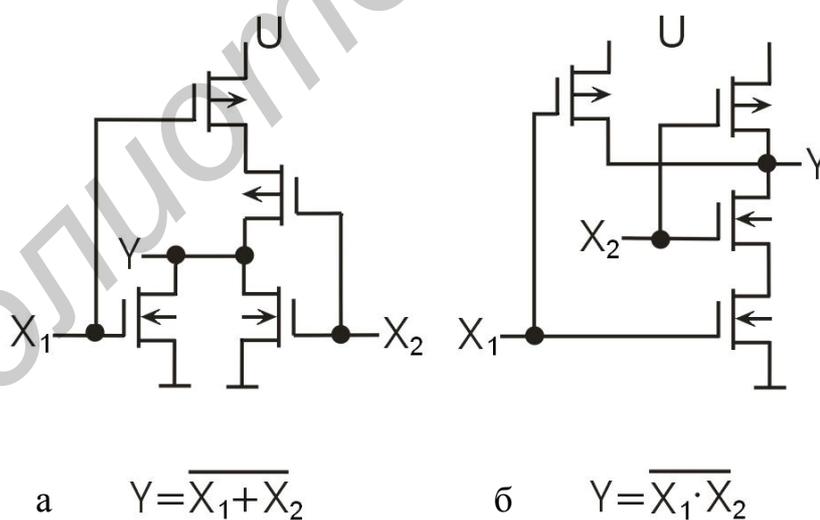


Рис. 2.21. ЛЭ на комплементарных МДП-транзисторах: а – схема элемента ИЛИ-НЕ; б – схема элемента И-НЕ

Для построения элемента ИЛИ-НЕ на  $m$  входов потребуется последовательное (ярусное) включение  $m$  транзисторов p-типа и параллельное вклю-

чение  $m$  транзисторов  $n$ -типа (положительная логика). Обычно коэффициент объединения по входу  $m \leq 4$ . Соответственно для выполнения элемента И-НЕ на  $m$  входов потребуется ярусное включение  $m$  транзисторов  $n$ -типа и параллельное включение  $m$  транзисторов  $p$ -типа (положительная логика).

На рис. 2.21 приведены двухвходовые элементы ИЛИ-НЕ и И-НЕ положительной логики на КМДП. Рассмотрим подробнее работу элемента ИЛИ-НЕ.

При поступлении на вход  $X_1$  логической 1 (напряжение, близкое к  $+U$ ) открывается транзистор  $n$ -типа, а связанный с ним по затвору транзистор  $p$ -типа запирается. На выходе формируется уровень логического 0, близкий к потенциалу общей шины.

Когда на входы  $X_1$  и  $X_2$  поданы одинаковые уровни логического 0, то оба транзистора  $n$ -типа запираются и отпираются оба транзистора  $p$ -типа, что приводит к формированию на выходе уровня логической 1, близкой к  $+U$ . Так как в состоянии  $Y = 0$  открыты транзисторы  $n$ -типа, а в состоянии  $Y = 1$  открыты транзисторы  $p$ -типа, то перезаряд емкости нагрузки всегда осуществляется через открытый МДП-транзистор.

Сравнивая схемы И-НЕ и ИЛИ-НЕ, следует отметить их различные характеристики. При одной и той же площади кремниевого кристалла транзистор с каналом  $n$ -типа имеет меньшее сопротивление в «открытом» состоянии, чем транзистор с каналом  $p$ -типа. Поэтому у последовательно включенных  $k$  транзисторов с  $n$ -каналом сопротивление в «открытом» состоянии меньше, чем у  $k$  транзисторов с  $p$ -каналом. В результате быстродействие схемы И-НЕ с  $k$  входами обычно выше и предпочтительнее, чем у  $k$ -входной схемы ИЛИ-НЕ, и поэтому схемы И-НЕ предпочтительнее.

КМДП-схемы с числом входов больше двух можно очевидным способом получить путем последовательно-параллельного расширения схем, представленных на рис. 2.21. В принципе можно создавать КМДП-схемы И-НЕ и ИЛИ-НЕ с очень большим числом входов. Однако на практике сопротивление последовательно включенных «открытых» транзисторов обычно ограничивает коэффициент объединения по входу (число входов, которые может иметь вентиль в конкретном логическом семействе) у КМДП-схем числом 4 для вентилях ИЛИ-НЕ и числом 6 для вентилях И-НЕ.

В КМДП-схемах при любой комбинации входных сигналов выход никогда не бывает соединен одновременно с шиной питания и с землей; в этом случае напряжение на выходе было бы где-то посередине между низким и высоким уровнями (между 0 и 1) и не соответствовало бы ни одному из логических уровней, а выходная цепь потребляла бы чрезмерно большую мощность из-за малого сопротивления между шиной питания и землей.

Поскольку в статическом состоянии транзисторы  $n$ - и  $p$ -типов не могут быть открыты одновременно, статическая мощность равна напряжению источника питания, умноженному на ток утечки закрытого прибора. Эта мощность составляет  $0,1 \dots 1$  мкВт/вентиль.

Динамическая мощность КМДП-БИС значительно больше, но это имеет место лишь при перезарядке паразитных емкостей нагрузки во время действия фронта импульса. Динамическая мощность ИМС может быть определена как

$$P_d = 2C_H f_p U^2,$$

где  $C_H$  – емкость нагрузки;  
 $f_p$  – рабочая частота;  
 $U$  – напряжение источника питания.

Для снижения динамической мощности необходимо уменьшать паразитные емкости затворов в составе БИС, т.е. переходить на субмикронные размеры МДП-транзисторов.

Поскольку пороговое напряжение р-канального прибора  $U_{ор}$  выше, чем у n-канального  $U_{он}$ , напряжение питания должно быть выше  $U_{ор}$ . В этом случае обеспечивается высокая помехоустойчивость ЛЭ и хорошее быстродействие.

Типовые значения мощности, потребляемой в динамическом режиме отдельными КМД-ИМС при различных частотах, находятся в пределах:

50. . . 100 мкВт/вентиль при  $f_p = 100$  кГц;  
200. . . 400 мкВт/вентиль при  $f_p = 400$  кГц;  
500. . . 1000 мкВт/вентиль при  $f_p = 1$  МГц .

В составе БИС эти значения уменьшаются еще на один-два порядка.

Указанные значения мощности в 5...10 раз ниже, чем у вентиляй, выполненных на основе МДП-транзисторов одной структуры.

Построение ЛЭ на основе КМДП отличается высокой гибкостью. Например, на четырех транзисторах р-типа и четырех транзисторах n-типа путем изменения схемы соединения могут быть получены девять видов элементов, выполняющих различные логические функции.

Наряду с технологическими трудностями сравнительно большое число компонентов на функцию создает дополнительные ограничения для создания КМДП-БИС по сравнению с МДП-БИС n-типа. Однако сверхмалая мощность КМДП-ИИС и высокое быстродействие обеспечили широкое применение ИМС сверхвысокой степени интеграции (БИС и СБИС) на комплементарных МДП-структурах.

### 2.5.3. Неинвертирующие вентили

В КМДП-логике и в большинстве других логических семейств простейшими являются схемы инверторов, а следом за ними идут элементы И-НЕ и ИЛИ-НЕ. Обычно невозможно создать неинвертирующий вентиль с меньшим числом транзисторов, чем в простом инверторе [8].

Неинвертирующий КМДП-буфер, а также логические схемы И и ИЛИ получаются в результате подключения инвертора к выходу соответствующего инвертирующего элемента. Реализованные таким образом неинверти-

рующий буфер и логический элемент И показаны на рис. 2.22 и рис. 2.23 соответственно.

Комбинация схемы, приведенной на рис. 2.21,а, с инвертором даст логический элемент ИЛИ.

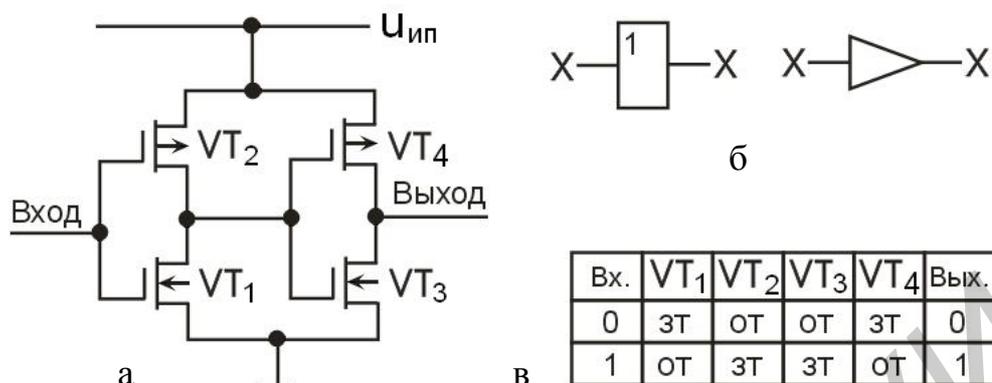
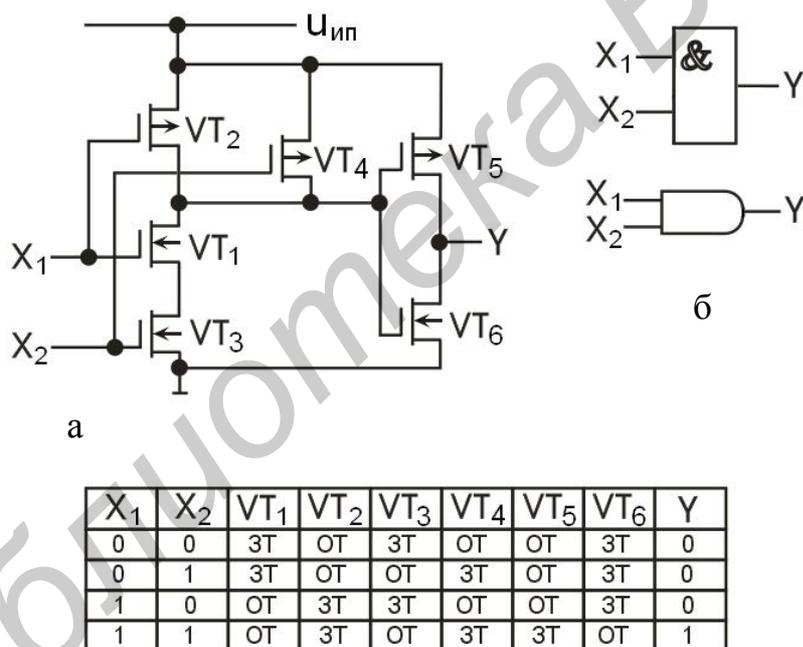


Рис. 2.22. Неинвертирующий КМДП-буфер:

а – схема электрическая принципиальная; б – функциональное обозначение; в – таблица, описывающая работу схемы (зт – закрыт; от – открыт)



в

Рис. 2.23. 2-входовая КМДП-схема И:

а – схема электрическая принципиальная; б – функциональное обозначение; в – таблица, описывающая работу схемы (зт – закрыт; от – открыт)

## 2.6. Логические элементы с вентильным и блокирующим

## КМДП-транзисторами

ЛЭ этой разновидности построены с учетом положительных вентильных свойств МДП-транзисторов. В каждом двухвходовом ЛЭ с вентильным и блокирующим КМДП-транзисторами (КМДП с ВБ) имеется один собственно вентилирующий МДП-транзистор n-типа (или p-типа) и связанный с ним по затвору второй, блокирующий МДП-транзистор p-типа (n-типа). Объединенные затворы вентильного и блокирующего транзисторов (ВТ и БТ) во всех случаях являются одним из логических входов ЛЭ, сток ВТ – вторым логическим входом, а объединенные истоки ВТ и БТ – выходом ЛЭ. Роль ВТ может выполнять транзистор n- или p-типа, а БТ может быть подключен своим стоком либо к источнику питания, либо к общему проводу. Во всех вариантах включения ВТ и БТ выполняется функция И с запретом (НЕ, И) с инверсией или без инверсии по выходу [6].

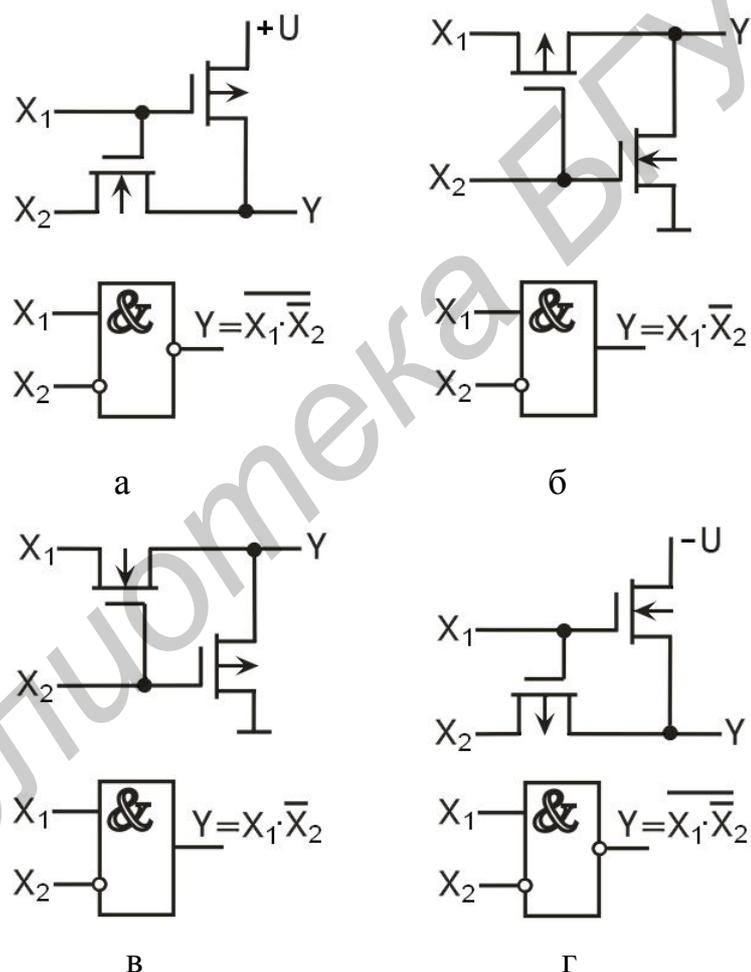


Рис. 2.24. Варианты включения вентильных и блокирующих транзисторов: а, б – для положительной логики; в, г – для отрицательной логики

На рис. 2.24 показаны четыре возможных варианта включения ВТ и БТ. В дальнейшем будем рассматривать логические схемы и устройства, рабо-

тающие в положительной логике, так как ЛЭ отрицательной логики работают аналогично.

На рис. 2.24, а показана схема ЛЭ, выполняющего функцию НЕ, И-НЕ, где в качестве ВТ использован транзистор n-типа, а в качестве БТ – транзистор p-типа, подключаемый к источнику +U.

В схеме ЛЭ, выполняющего функцию НЕ, И (рис. 2.24, б), в качестве ВТ использован транзистор p-типа, а в качестве БТ – транзистор n-типа, подключаемый к общей шине. Кратко проанализируем его работу.

При сочетании сигналов  $X_1 = 1, X_2 = 1$  будет открыт БТ и на выходе Y потенциал общей шины ( $Y = 0$ ). При сочетании сигналов  $X_1 = 0, X_2 = 1$  вновь открыт БТ и  $Y = 0$ . При сочетании сигналов  $X_1 = 0, X_2 = 0$  открыт уже ВТ, но так как  $X_1 = 0$ , то на выходе Y будет потенциал общей шины ( $Y = 0$ ). Лишь при сочетании сигналов  $X_1 = 1, X_2 = 0$  вентильный транзистор p-типа будет открыт и передаст на выход Y сигнал ( $Y = 1$ ).

(Работу схем в, г предлагается рассмотреть самостоятельно).

Особенностью ЛЭ на КМДП с ВБ является то, что при закрытом ВТ выход элемента надежно подключается через открытый БТ либо к источнику питания U, либо к общей шине, что обеспечивает высокую помехоустойчивость рассматриваемых ИМС, как это имеет место у традиционных КМДП-ИМС.

Большие функциональные возможности открываются при проектировании цифровых устройств при совместном применении ИМС на КМДП с ВБ, выполняющих функции НЕ, И и НЕ, И-НЕ, с КМДП-ИМС, выполняющих функции И-НЕ и ИЛИ-НЕ.

На рис. 2.25 приведена схема ЛЭ, выполняющего функцию 4И-НЕ, причем два входа этой схемы являются инверсными, что обеспечивается за счет подключения двух схем НЕ, И на КМДП с ВБ к традиционной двухвходовой схеме И-НЕ.

Если вместо схемы И-НЕ применить двухвходовую схему ИЛИ-НЕ, то на тех же восьми дополняющих МДП-транзисторах будет реализована функция НЕ, И-ИЛИ-НЕ (рис. 2.26).

Анализируя схемы на рис. 2.25 и 2.26, можно увидеть, что схемы на КМДП с ВБ реализуют все функции, присущие элементам Т-ТТЛ. Применяя сочетания схем НЕ, И и НЕ, И-НЕ на КМДП с ВБ, подключаемых к входам традиционных схем И-НЕ, ИЛИ-НЕ и И-ИЛИ-НЕ, можно получить новые виды реализуемых функций, которые позволяют построить экономичные схемы триггеров, сумматоров, дешифраторов и других цифровых устройств.

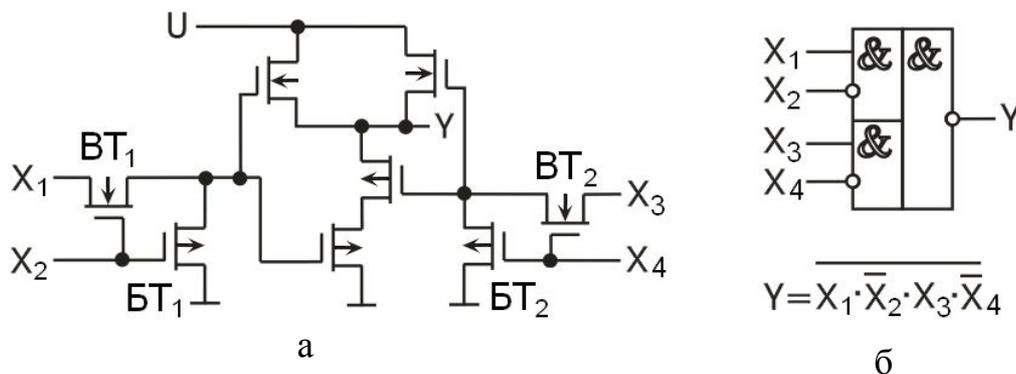


Рис. 2.25. Логический элемент НЕ, И-НЕ на КМДП с ВБ:  
а – схема элемента 4И-НЕ; б – функциональное обозначение

## 2.7. Особенности логических элементов, реализуемых в составе БИС

Рассмотренные типовые схемы ЛЭ TTL-, T-TTL-, ECL-, И<sup>2</sup>Л-типов характеризуются универсальностью, так как предназначены для автономного применения в цифровых устройствах, при котором должно быть обеспечено высокое быстродействие передачи сигналов при хорошей помехоустойчивости и сравнительно высокой нагрузочной способности (типичные значения  $n = 5 \dots 10$ ). Однако использование этих элементов в составе кристалла БИС, где внутрисхемные связи имеют невысокую протяженность, сравнительно небольшую нагрузку и, следовательно, имеют низкую помехоустойчивость, позволяет упростить их конфигурацию и резко увеличить плотность упаковки ЛЭ в кристалле БИС. Упрощение схем ЛЭ позволяет значительно уменьшить число компонентов на реализацию вентилей И-НЕ, ИЛИ-НЕ, уменьшить потребляемую мощность и обеспечить качественный скачок при создании СБИС большой функциональной сложности.

Оценивая многообразие реализаций ЛЭ ИМС, необходимо выделить ряд наиболее приемлемых технологий БИС и СБИС, получивших наиболее широкое применение. К таким технологиям относятся биполярные и мало-мощные TTL-микросхемы с диодами Шотки, инжекционные логические микросхемы (И<sup>2</sup>Л), микросхемы эмиттерно-связанной логики (ECL) и в части МДП-технологии микросхемы на полевых транзисторах. Сравнительные характеристики ЛЭ БИС для этих технологий приведены в табл.2.1, где отражены относительные величины важнейших параметров.

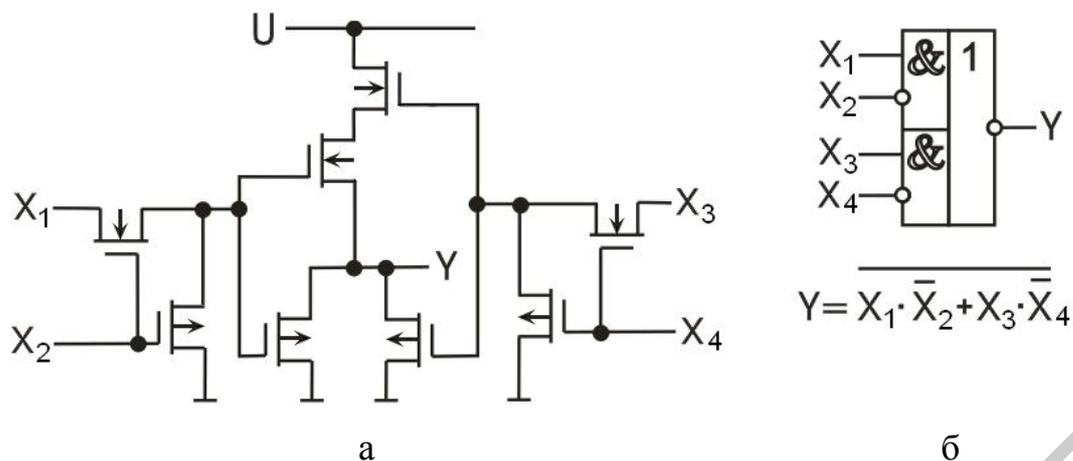


Рис. 2.26. Логический элемент на КМДП с ВВ:  
а – схема элемента НЕ, И-ИЛИ-НЕ; б – функциональное обозначение

Таблица 2.1

Тип ИМС	Относительная плотность упаковки*	Удельная мощность, мВт/вентиль	Достижимая задержка на вентиль, нс
TTL-Ш	6	6	1
И <sup>2</sup> Л	10	2	2
ECL	1	20	0,3
n-МДП	10	3	3
КМДП	8	0,01	1

Прогресс в отношении быстродействия и плотности ИС за последние десятилетия отражает закон Мура, впервые сформулированный основателем фирмы Intel Гордоном Муром в 1965 г. и состоящий в том, что число транзисторов, приходящихся на квадратный дюйм в ИС, каждый год удваивается [8].

В последние годы темп этого движения несколько замедлился: удвоение происходит теперь каждые 18 месяцев; но важно отметить, что одновременно с удвоением плотности также вдвое увеличивается быстродействие схем. То есть полупроводниковая техника развивается по экспоненциальному закону.

Когда только появились ИС, в одном корпусе было порядка дюжины транзисторов. Сегодня в результате экспоненциального роста плотности упаковки микропроцессоры преодолели отметку в 10 миллионов транзисторов на один кристалл. Эксперты утверждают, что менее чем через 10 лет это число достигнет 100 миллионов.

\* За единицу взята площадь размещения на кристалле ECL-вентилей.

### Литература

1. Браммер, Ю. А. Цифровые устройства : учеб. пособие для вузов / Ю. А. Браммер, И. Н. Пащук. – М. : Высш. шк., 2004. – 229 с.
2. Новиков, Ю. В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования / Ю. В. Новиков. – М. : Мир, 2001. – 379 с.
3. Угрюмов, Е. Цифровая схемотехника : учеб. пособие / Е. Угрюмов. – СПб. : БХВ – Петербург, 2004. – 528 с.
4. Пухальский, Г. И. Цифровые устройства : учеб. пособие для студ. втузов / Г. И. Пухальский, Т. Я. Новосельцева. – СПб. : Политехника, 1996. – 885 с.
5. Преснухин, Л. Н. Расчет элементов цифровых устройств / Л. Н. Преснухин, Н. В. Воробьев, А. А. Шишкевич. – М. : Высш. шк., 1991. – 526 с.
6. Букреев, И. Н. Микроэлектронные схемы цифровых устройств / И. Н. Букреев, В. И. Горячев, Б. М. Мансуров. – М. : Радио и связь, 1990. – 416 с.
7. Новиков, Ю. В. Основы микропроцессорной техники : курс лекций / Ю. В. Новиков, П. К. Скоробогатов. – М. : ИНТУИТ.РУ, 2003. – 440 с.
8. Уэйкерли, Дж. Проектирование цифровых устройств : в 2 т. / пер. с англ. / Дж. Уэйкерли. – М. : Постмаркет, 2002. – Т.1 – 544 с., Т.2 – 528 с.
9. Соломатин, Н. М. Логические элементы ЭВМ / Н. М. Соломатин. – М. : Высш. шк., 1990. – 160 с.
10. Миловзоров, В. П. Элементы информационных систем / В. П. Миловзоров. – М. : Высш. шк., 1989. – 440с.
11. Безуглов, Д. А. Цифровые устройства и микропроцессоры : учеб. пособие / Д. А. Безуглов, И. В. Калиенко. – Р н/Д : Феникс, 2006. – 480 с.

Учебное издание

Лычук Петр Павлович

## **ОСНОВЫ БУЛЕВОЙ АЛГЕБРЫ И ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ**

Учебно-методическое пособие по дисциплине  
«Проектирование устройств цифровой обработки информации»  
для студентов специальностей  
I-39 02 01 «Моделирование и компьютерное проектирование РЭС»,  
I-39 02 02 «Проектирование и производство РЭС»  
дневной и заочной форм обучения

Редактор Е. Н. Батурчик  
Корректор М. В. Тезина

---

Подписано в печать 02.04.2007.  
Гарнитура «Таймс».  
Уч.-изд. л. 4,0.

Формат 60x84 1/16.  
Печать ризографическая.  
Тираж 250 экз.

Бумага офсетная.  
Усл. печ. л. 4,07.  
Заказ 678.

---

Издатель и полиграфическое исполнение: Учреждение образования  
«Белорусский государственный университет информатики и радиоэлектроники»  
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131666 от 30.04.2004.  
220013, Минск, П. Бровка, 6