

Министерство образования Республики Беларусь
Учреждение образования
БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ИНФОРМАТИКИ И
РАДИОЭЛЕКТРОНИКИ

Кафедра радиотехнических систем

А.И. Бурак

**Лабораторный практикум по курсу
"Вычислительные и микропроцессорные устройства"
для студентов специальности 39 09 01
вечерней и заочной форм обучения**

Минск 2002

УДК 621.374(075.8)
ББК 32.847 я73 Б 91

Бурак А.И.
Б 91 Лабораторный практикум по курсу “Вычислительные и микропроцессорные устройства” для студентов специальности 39 09 01 вечерней и заочной форм обучения /А.И.Бурак. -Мн.: БГУИР. 2002.- 30с.:ил.

ISBN 985-444-388-4

В лабораторных работах исследуются комбинационные схемы на микросхемах малой и средней степени интеграции, методы аналого-цифрового и цифроаналогового преобразований, режимы работы программируемого параллельного интерфейса на основе БИС Intel 82C55. Средой для выполнения работ является пакет схемотехнического моделирования Electronics Workbench фирмы Interactive Image Technologies.

УДК 621.374(075.8)
ББК 32.847 Я73

ISBN 985-444-388-4

© А.И.Бурак, 2002
© БГУИР, 2002

Содержание

1. Лабораторная работа N1. Исследование комбинационных схем и устройств отображения информации
 - 1.1. Арифметические сумматоры
 - 1.2. Мультиплексоры и демультимплексоры
 - 1.3. Шифраторы и дешифраторы
 - 1.4. Цифровой компаратор
 - 1.5. Устройство контроля четности
 - 1.6. Отображение информации на светодиодных индикаторах
2. Лабораторная работа N 2. Исследование методов цифроаналогового и аналого-цифрового преобразования
 - 2.1. ЦАП с весовыми резисторами
 - 2.2. ЦАП с цепочкой резисторов типа R-2R
 - 2.3. Аналого-цифровой преобразователь с ЦАП в цепи обратной связи следящего типа
 - 2.4. Аналого-цифровой преобразователь с ЦАП в цепи обратной связи последовательного счета
 - 2.5. Аналого-цифровой преобразователь с ЦАП в цепи обратной связи последовательного приближения
 - 2.6. Аналого-цифровой преобразователь двойного интегрирования
 - 2.7. Аналого-цифровой преобразователь параллельного действия
3. Лабораторная работа N3. Исследование интерфейсных устройств

Лабораторная работа N1

Исследование комбинационных схем и устройств отображения информации

Цель работы: изучение комбинационных схем и устройств отображения информации микропроцессорных и вычислительных устройств на интегральных микросхемах малой и средней интеграции.

1.1. Арифметические сумматоры

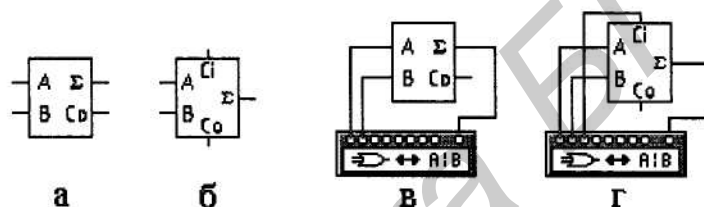


Рис. 1.1. Библиотечные элементы полусумматора (а), сумматора (б) и схемы их подключения к логическому анализатору (в, г)

Арифметические сумматоры являются составной частью арифметико-логических устройств (АЛУ) микропроцессоров. В программе EWB арифметические сумматоры представлены двумя базовыми устройствами, показанными на рис. 1.1а, б: полусумматором и полным сумматором. Они имеют следующие назначения выводов: А, В - входы слагаемых, S - результат суммирования, C₀ - выход переноса, C_i - вход переноса. Многоразрядный сумматор создается на базе одного полусумматора и п полных сумматоров.

Для исследования внутренней структуры и логики функционирования сумматоров лучше всего использовать логический преобразователь. После подключения сумматоров к преобразователю согласно рис. 1.1 в, г и последовательно

нажимая кнопки , получаем таблицу истинности и булево выражение. Сравнивая полученные данные с логикой работы базовых логических элементов, приходим к выводу, что при подключении вывода Σ к клемме OUT преобразователя сумматор выполняет функции элемента «исключающее ИЛИ». Подключив клемму OUT преобразователя к выходу S_0 полусумматора и проделав аналогичные действия, приходим к выводу, что в таком включении полусумматор выполняет функции элемента «И». Следовательно, эквивалентная схема полусумматора имеет вид, показанный на рис. 1.2.

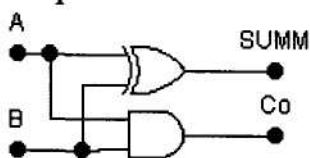


Рис. 1.2. Структура библиотечного полусумматора

В программе EWB кроме сумматоров имеется также модель четырехразрядного АЛУ- микросхема 74181 (отечественный аналог - К155ИПЗ). Схема ее включения в режиме сумматора без переноса показана на рис. 1.3. Значения четырехразрядных операндов А, В и управляющие сигналы на входе задаются с помощью генератора слова и в шестнадцатеричной форме отображаются одноименными семисегментными индикаторами. На выходах F0-F3 результат операции отображается индикатором F. Изменяя состояния на управляющих входах, можно промоделировать большинство функций АЛУ, используемых в микропроцессорах. Для примера на рис. 1.3. показан результат арифметического суммирования операндов А и В.

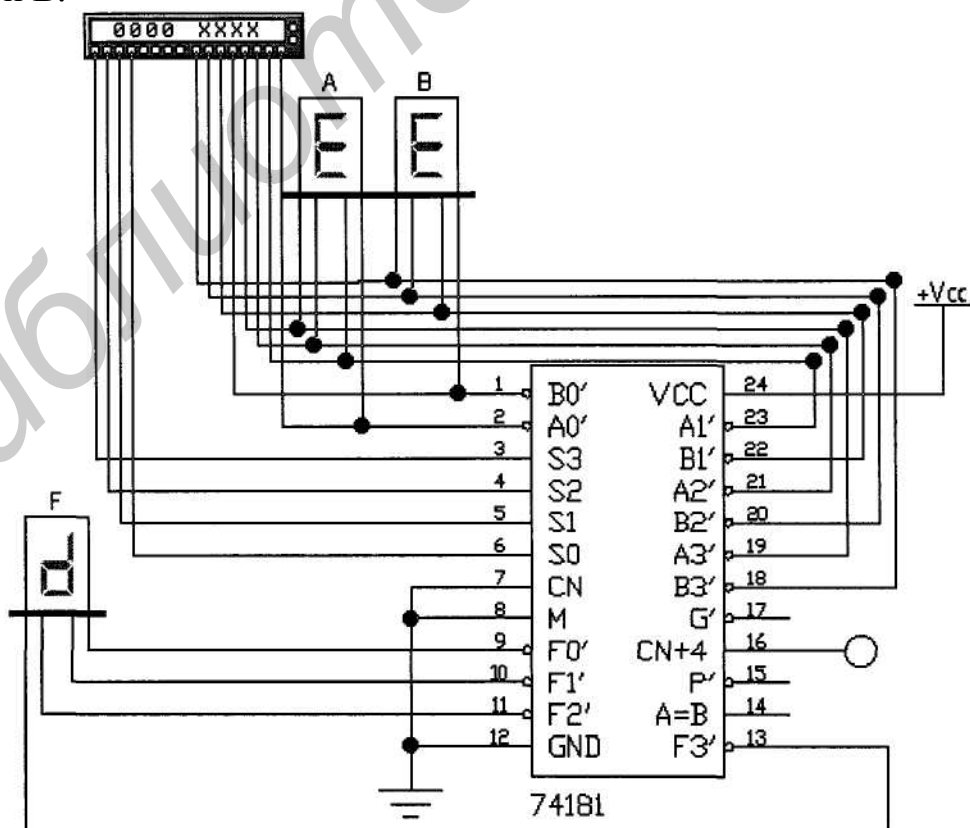


Рис. 1.3. Схема включения ИМС 74181 в режиме сумматора без переноса

Контрольные вопросы и задания

1. Чем отличается полусумматор от полного сумматора ?
2. Выясните внутреннюю структуру полного сумматора, пользуясь схемой его подключения к логическому преобразователю на рис. 1.1,г, и принимая во внимание методику решения аналогичной задачи для полусумматора.
3. Соберите на базе одноразрядных сумматоров схему трехразрядного сумматора и проверьте правильность его функционирования.
4. Проверьте работу ИМС 74181 в режиме сумматора с переносом для арифметических и логических команд (список команд можно получить, выделив ИМС и нажав клавишу F1).

1.2. Мультиплексоры и демультиплексоры

Назначение мультиплексоров - коммутация в необходимом порядке сигналов, поступающих с нескольких входных шин на одну выходную. Количество информационных входов определяется как 2^p , где p - количество управляющих (адресных) входов. Например, у мультиплексора может быть 16 входов и один выход. Для выбора любого из 16 каналов необходимо иметь 4 адресных входа ($2^4 = 16$), на которые подается двоичный адрес канала. Так, для передачи данных от канала номер 9 на адресных входах необходимо установить код 1001.

На рис 1.4,а приведена схема двухканального мультиплексора, состоящего из элементов ИЛИ, НЕ и двух элементов И.

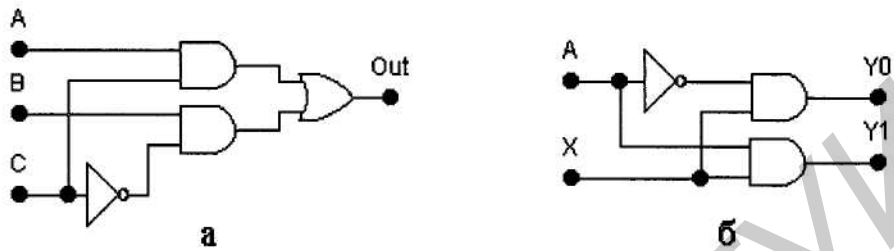


Рис. 1.4. Схема двухканального мультиплексора (а) и демультиплексора (б)

Произведя анализ работы двухканального мультиплексора, можно определить, что его выходной сигнал описывается булевым выражением $Out = BC' + AC$, т.е. сигнал из канала Ф проходит на выход при адресном входе $C=1$, что и соответствует логике работы мультиплексора.

Кроме основного назначения, мультиплексоры могут быть использованы для синтеза комбинационных схем, выполняющих любую логическую функцию [2].

Демультиплексоры в функциональном отношении противоположны мультиплексорам. С их помощью сигналы с одного информационного входа распределяются в требуемой последовательности по нескольким выходам. Выбор нужного выходного канала, как и в мультиплексоре, обеспечивается установкой соответствующего кода на адресных входах. На рис.1.4 приведена схема двухканального демультиплексора, на котором обозначено: X – информационный вход, A – адресный вход, Y0, Y1 – выходные каналы.

Контрольные вопросы и задания

1. Исследуйте внутреннюю структуру и работу четырехканального мультиплексора 74153. Функциональное назначение выводов этой ИМС таково: A, B – адресные входы; $1G', 2G'$ – инверсные входы разрешения первого и второго мультиплексоров; $1CO...1C3$ и $2CO...2C3$, $1Y$ и $2Y$ – входы и выходы первого и второго мультиплексора соответственно.
2. Реализуйте на ИМС 74153 логическую функцию, заданную преподавателем.
3. Проведите исследование демультиплексора на рисю 1.4,б
4. Используя ИМС 74139 (сдвоенный четырехканальный дешифратор-демультиплексор), соберите схему 8-канального демультиплексора.

1.3. Шифраторы и дешифраторы

Шифраторы (кодеры) используются чаще всего для преобразования десятичных чисел в двоичный или двоично-десятичный код, например, в микрокалькуляторах, в которых нажатие клавиши соответствует генерации соответствующего двоичного кода. Поскольку возможно нажатие сразу нескольких клавиш, в шифраторе используется принцип приоритета старшего разряда, т.е. при нажатии клавиш 5 и 2 будет генерироваться код 101, соответствующий цифре 5. В библиотеке программы EWB имеется шифратор 74148, схема его включения приведена на рис 1.5.

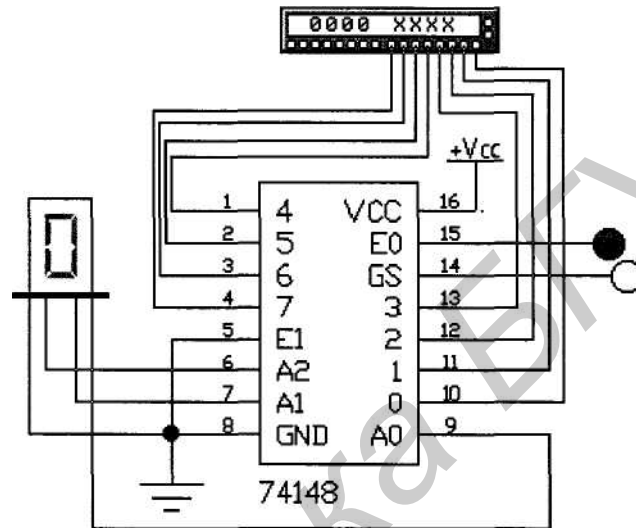


Рис. 1.5. Схема включения ИМС 74148

Назначение выводов ИМС 74148: 0...7- входы; A0,A1,A2- выходы; E1- вход разрешения; E0, GS- выходы для каскадирования шифраторов.

Дешифратор (декодер)- устройство с несколькими входами и выходами, у которого определенной комбинации входных сигналов соответствует активное состояние одного из выходов, т. е. дешифратор является обращенным по входам демультиплексором, адресные входы которого стали информационными, а бывший информационный вход стал входом разрешения. Поэтому часто дешифраторы называют дешифраторами - демультиплексорами и наоборот.

Дешифраторы и демультиплексоры в виде серийных ИМС средней степени интеграции широко используются в информационно- измерительной технике и микропроцессорных системах управления, в частности, в качестве коммутаторов-распределителей информационных сигналов и синхроимпульсов, для демультиплексирования данных и адресной логики в запоминающих устройствах, а также для преобразования двоично-десятичного кода в десятичный с целью управления индикаторами и печатающими устройствами.

Дешифраторы как самостоятельные изделия электронной техники имеют 4, 8 или 16 выходов. Если потребуется большее число выходов, дешифраторы наращиваются в систему.

В качестве примера на рис. 1.6 приведена схема включения дешифратора 74138 (отечественный аналог К155ИД3). ИМС 74154 имеет четыре адресных вхо-

да А, В, С, D, два входа разрешения G1, G2 и шестнадцать выходов 0..15 (выходы не прямые, как ошибочно обозначено в EWB, а инверсные, т. е. в исходном состоянии на выходах сигнал логической единицы). В режиме дешифратора с генератора слова на входы G1, G2 подается 0, а на адресные входы - код в диапазоне 0000...1111. В режиме демультиплексора один из разрешающих входов, например G1, используется в качестве информационного. Информационный сигнал в виде логического 0 с этого выхода распределяется по выходам 0...15 в соответствии с состоянием адресных входов, т. е. режимы дешифратора и демультиплексора практически не различимы.

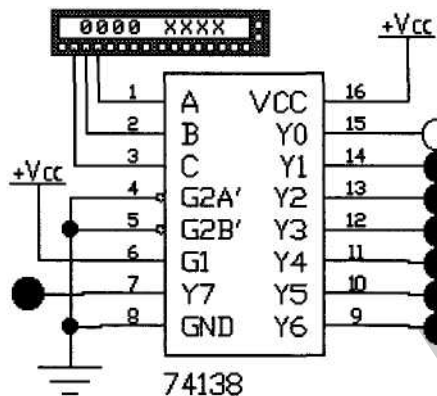


Рис 1.6. Схема включения дешифратора 74138

Контрольные вопросы и задания

1. Что такое шифратор, при решении каких задач он используется ?
2. Меняя кодовые комбинации в генераторе слова схемы на рис. 1.5, покажите, в чем заключается смысл слова «приоритетный» в названии шифратора типа 74148.
3. При решении каких задач цифровой техники используется дешифратор ?
4. Подготовьте выходные кодовые комбинации генератора слова в схеме на рис. 1.6, обеспечивающие поочередное выключение индикаторов.
5. Проиллюстрируйте работу дешифратора 74138 в режиме демультиплексора.

1.4. Цифровой компаратор

Цифровые компараторы (от английского *compare* - сравнивать) выполняют сравнение двух чисел А, В одинаковой разрядности, заданных в двоичном или двоично-десятичном коде. В зависимости от схемного исполнения компараторы могут определять равенство $A=B$ или неравенства $A<B$, $A>B$. Результат сравнения отображается в виде логического сигнала на одноименных выходах.

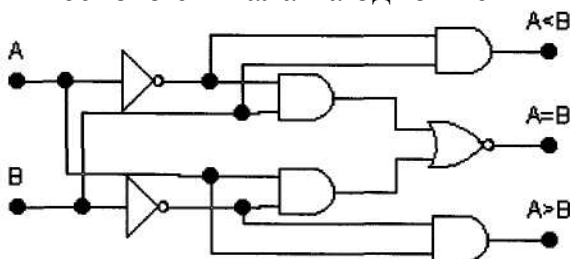


Рис.1.7. Схема одноразрядного цифрового компаратора

Цифровые компараторы применяются для выявления нужного числа (слова) в цифровых последовательностях, для отметки времени в цифровых приборах, для выполнения условных переходов в вычислительных устройствах, а также в адресных селекторах.

Схема одноразрядного компаратора приведена на рис. 1.7. Компаратор состоит из двух элементов НЕ, четырех элементов И и одного элемента ИЛИ-НЕ.

Для исследования компаратора к нему подключен логический преобразователь. Подсоединяя его клемму OUT к каждому выходу компаратора, можно получить таблицу истинности и булево выражение для каждого режима работы компаратора. Подключив вывод « $A=B$ » к клемме OUT находим, что $OШЧ A'B'+AB$. Следовательно, условию $A=B$ соответствуют две комбинации сигналов на входе: $A=B=1$ или $A=B=0$.

Контрольные вопросы и задания

1. Какие функции выполняет цифровой компаратор, в каких устройствах он может использоваться ?
2. Используя схему на рис. 1.7, проведите ее исследование в режимах $A>B$, $A<B$ и проанализируйте полученные результаты.
3. Воспользовавшись схемой на рис. 1.7 как макромоделью, соберите схему двухразрядного цифрового компаратора.

1.5. Устройство контроля четности

Операция контроля четности двоичных чисел позволяет повысить надежность передачи и обработки информации. Ее сущность заключается в суммировании по модулю 2 всех разрядов с целью выяснения четности числа, что позволяет выявить наиболее вероятную ошибку в одном из разрядов двоичной последовательности.

Обнаружение ошибок путем введения дополнительного бита четности происходит следующим образом. На передающей стороне передаваемый код анализируется и дополняется контрольным битом до четного или нечетного числа единиц в суммарном коде. Соответственно суммарный код называется четным или нечетным. В случае нечетного кода дополнительный бит формируется таким образом, чтобы сумма всех единиц в передаваемом коде, включая контрольный бит, была нечетной. При контроле четности все, естественно, наоборот. Например, в числе 0111 число единиц нечетно. Поэтому при контроле нечетности дополнительный бит должен быть нулем, при контроле четности - единицей. На практике чаще всего используется контроль нечетности, поскольку он позволяет фиксировать полное пропадание информации (случай нулевого кода во всех информационных разрядах). На приемной стороне производится проверка кода четности. Если он правильный, то прием разрешается, в противном случае включается сигнализация ошибки или посылается передатчику запрос на повторную передачу.

В библиотеке программы EWB схема проверки на четность и нечетность представлена ИМС 74280 (аналог - К555ИП5), схема ее включения показана на рис. 1.8. ИМС 74280 имеет 9 входов (A, B...I) и два выхода (EVEN, ODD), один

из которых - инверсный. Вход I используется для управления видом контроля (0 - контроль четности, 1 - контроль нечетности) и управляется переключателем Z (управляется с клавиатуры одноименной клавишей). Вывод NC - *not connection* - пустой, т.е. внутри ИМС к нему ничего не подключено.

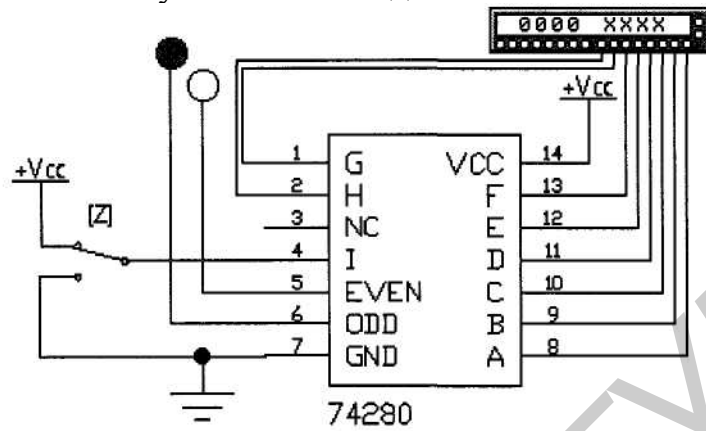


Рис 1.8 Схема включения ИМС 74280

Контрольные вопросы и задания

1. Какое назначение имеют формирователи кода четности, где они могут быть использованы ?
2. Проверьте правильность функционирования схемы на рис. 1.8, подавая на входы двоичные комбинации с генератора слова.

1.6. Отображение информации на светодиодных индикаторах

Многие микроконтроллерные (МК) устройства требуют наличия только простейшей индикации типа ДА/НЕТ, ВКЛ/ВЫКЛ. Такая индикация реализуется на основе отдельных светодиодов.

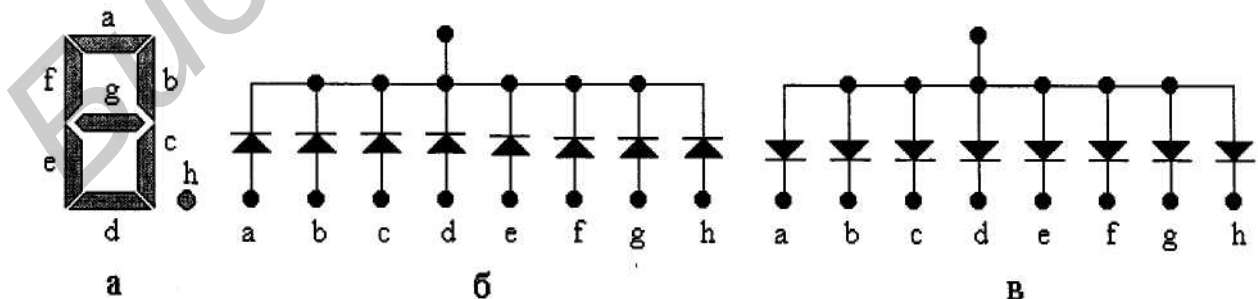


Рис. 1.9. Семисегментный индикатор: а- внешний вид; б, в- схемы

Семисегментные индикаторы (ССИ) широко используются для отображения цифровой и буквенной информации. Семь отображающих элементов позволяют высвечивать десятичные и шестнадцатеричные цифры, некоторые буквы русского и латинского алфавитов, а также некоторые специальные знаки. Структура ССИ и показана на рис. 1.9. Для засветки одного сегмента большинства типов ССИ необходимо обеспечить протекание через сегмент тока 10-15 мА.

Преобразование двоичных кодов в коды для ССИ может осуществляться либо программно, либо программно, либо и использованием преобразователей К176ИД2, К176ИД3.

Библиотека БГУИР

Для отображения многосимвольной информации используются линейные (однострочные) дисплеи. Такие дисплеи представляют собой "линейку", смонтированную из отдельных ССИ.

Существует два способа организации интерфейса МК с линейным дисплеем: статический и динамический. Первый требует наличия на входах каждого индикатора специальных буферных регистров для хранения кодов выводимых символов. Естественно, что с увеличением разрядности дисплея возрастает число дополнительных микросхем, а следовательно, и стоимость МК-системы. Второй способ (динамический) основан на том, что любой световой индикатор является инерционным прибором, а человеческому глазу отображаемая на дисплее информация, если ее обновлять с частотой более 20 раз в секунду, представляется неизменяемой. Динамический способ вывода информации на дисплей требует значительно меньших аппаратных затрат, но более сложного программного обеспечения. Именно этот способ организации вывода информации получил преимущественное распространение в МК-системах.

При использовании аппаратных схем преобразователей кодов процедура индикации одного символа сводится к выдаче двоичного кода символа в соответствующий порт вывода МК.

При динамической индикации байт индикации поступает одновременно на входы всех ССИ, образующих линейный дисплей, а выбор знакоместа осуществляется байтом выборки, представляющим собой код "бегущий ноль" (единица). При бездешифраторном способе формирования байта выборки максимальное число знакомест линейного дисплея ограничено разрядностью порта. Использование для формирования кода "бегущий ноль" внешнего дешифратора позволяет значительно увеличить число знакомест линейного дисплея.

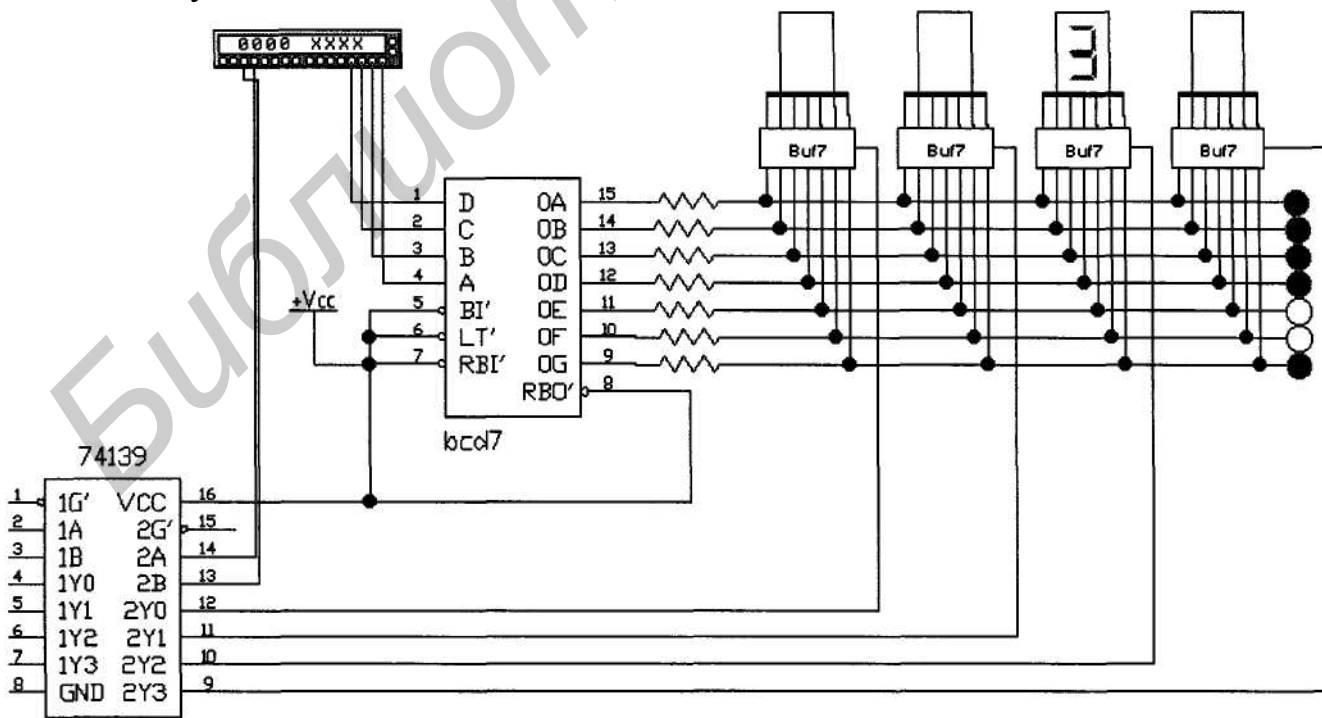


Рис 1.10 Функциональная схема динамического отображения информации

Рассмотрим организацию динамической индикации на примере вывода информации на четырех семисегментных индикаторах (рис. 1.10).

В данной системе генератор слова можно рассматривать как порты ввода-вывода микроконтроллера. Система работает следующим образом: цифровой код с младших разрядов генератора слова поступает на дешифратор двоичного кода в код семисегментного индикатора и далее на соответствующие сегменты всех индикаторов. Нужный разряд выбирается с помощью дешифратора 74139, управляемого старшими разрядами генератора слова. Так как в модели ССИ, представленной в программе EWB, отсутствует общий вывод, был введен дополнительный модуль Buf7, позволяющий полностью смоделировать ССИ с общим катодом.

Контрольные вопросы и задания

1. Принцип работы динамической системы индикации, ее отличие от других систем.
2. В схеме на рис. 1.10 выведите на индикаторы цифровую последовательность, заданную преподавателем.
3. Повторите выполнение пункта 2 при бездешифраторном варианте индикации.

Лабораторная работа N 2

Исследование методов цифроаналогового и аналого-цифрового преобразования

Широкое распространение цифровой обработки сигналов требует применения интегральных схем как для прямого преобразования исходной аналоговой величины в соответствующий ей цифровой эквивалент, так и для обратного преобразования выходных цифровых данных в пропорциональные аналоговые уровни. Связь между аналоговыми и цифровыми сигналами осуществляется посредством АЦП. Обратное преобразование выполняется с помощью цифроаналогового преобразователя (ЦАП).

При создании ЦАП в основном применяются два метода цифроаналогового преобразования: суммирование единичных эталонных величин и суммирование эталонных величин, веса которых отличаются. В первом методе при формировании выходной аналоговой величины используется только одна эталонная величина. Во втором методе применяются эталонные величины с весами, зависящими от разряда кода, и в суммировании используются только необходимые из них.

АЦП можно разделить на два класса: разомкнутые и замкнутые. АЦП разомкнутого типа проще в изготовлении и более быстродействующие. Замкнутые АЦП обычно имеют более высокую точность и простой контроль правильного функционирования.

2.1. ЦАП с весовыми резисторами

Наиболее простой ЦАП с весовыми резисторами (рис. 2.1) состоит из двух блоков. Резистивная матрица выполнена на резисторах $R_1 \dots R_4$. Суммирующий усилитель включает в себя операционный усилитель (ОУ) и резистор обратной связи R_0 . Опорное напряжение подключается к резисторам матрицы переключателями А, В, С, D, управляемыми одноименными клавишами клавиатуры и имитирующими преобразуемый код.

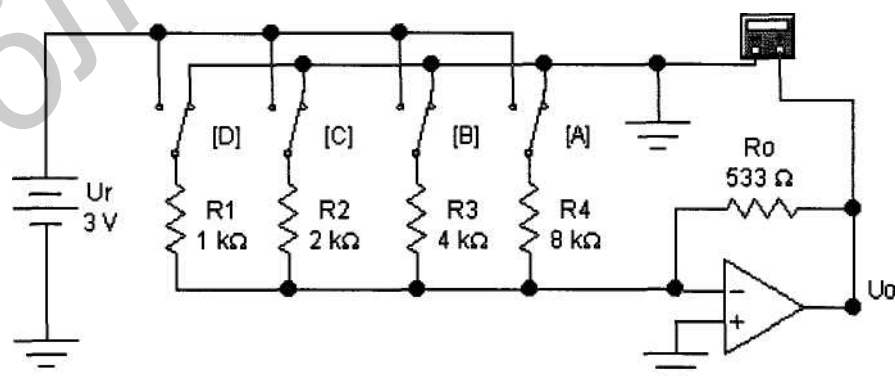


Рис. 2.1 Схема ЦАП с взвешенными резисторами

Если все переключатели замкнуты на "землю", как показано на рис 2.1, то напряжение на входе и выходе ОУ равно нулю. Предположим теперь, что переключатель А установлен в положение, соответствующее логической 1. Тогда

ключатель А установлен в положение, соответствующее логической 1. Тогда на вход ОУ через резистор R1 подается напряжение 3В. Рассчитаем в этом случае коэффициент усиления напряжения по формуле $K=R_0/R_1=533/8000=0.067$. Отсюда получаем, что выходное напряжение $U_0=0.067 \cdot 3=0.2$ В соответствует двоичной комбинации 0001 на входе АЦП.

Подадим теперь на входы ПАП двоичную комбинацию 0010. Коэффициент усиления в данном случае равен $K=R_0/R_2=533/4000=0.133$ и выходное напряжение $U_0=3 \cdot 0.133=0.4$ В. Таким образом, при переходе к каждому очередному двоичному числу выходное напряжение ЦАП увеличивается на 0.2 В. Это обеспечивается за счет увеличения коэффициента усиления напряжения ОУ при подключении различных по сопротивлению резисторов.

Если все переключатели в схеме установлены в положения, соответствующие логическим единицам, выходное напряжение ОУ $U_0=U_T=3$ В, поскольку коэффициент передачи в данном случае равен единице.

Недостатком ЦАП с взвешенными резисторами является необходимость подбора резисторов с различными номиналами; при этом сопротивления резисторов изменяются в широких пределах и должны быть выдержаны с высокой точностью. Это создает большие трудности особенно при реализации ЦАП в интегральном исполнении.

2.2. ЦАП с цепочкой резисторов типа R-2R

ЦАП с цепочкой резисторов R-2R (рис. 2.2) содержит резистивную матрицу R-2R и суммирующий усилитель. Преимущество такой матрицы в том, что используются резисторы только двух номиналов, отличающиеся в два раза.

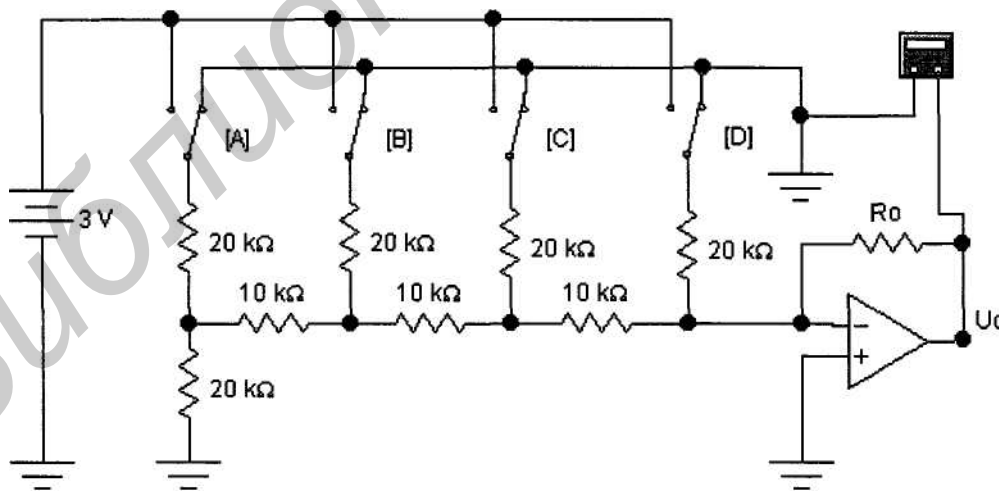


Рис. 2.2. Схема ЦАП с цепочкой R-2R

В рассматриваемом примере используется опорное напряжение 3.75 В. Переход к каждой следующей двоичной последовательности на входе приводит к увеличению аналогового выходного сигнала на 0.25. Опорное напряжение выбрано равным 3.75 В из соображения удобства сопряжения с ИМС семейства ТТЛ при замене ключей А ...D такими ИМС.

Выходное напряжение определяется по формуле

$$U_0 = -U_r \frac{R_0}{R} (S_1 \cdot 2^{-1} + S_2 \cdot 2^{-2} + \dots + S_n \cdot 2^{-n}), \quad (1)$$

где S_i - значение цифрового сигнала на i -м входе, n - число разрядов преобразования (для схемы на рис 2.2 $n=4$), R - сопротивление резистора матрицы $R-2R$ ($R=10$ кОм для схемы на рис 2.2).

ЦАП, выполненный на цепочке типа $R-2R$, является быстродействующим, так как источник опорного напряжения нагружен на постоянное сопротивление, равное R , что уменьшает длительность переходных процессов. В отличие от ЦАП с взвешенными резисторами ЦАП с цепочкой резисторов типа $R-2R$ не требует широкого диапазона сопротивлений, что упрощает задачу получения интегральной матрицы сопротивлений.

2.3. Аналого-цифровой преобразователь с ЦАП в цепи обратной связи следящего типа

Структурная схема такого АЦП показана на рис.2.3.



Рис 2.3 АЦП следящего типа

Принцип работы такого АЦП основан на сравнении напряжения на входе АЦП с напряжением на выходе ЦАП в цепи обратной связи. На входе сравнивающего элемента (интегрального компаратора) вырабатывается сигнал добавления или вычитания, который поступает на реверсивный счетчик. На цифровых выходах счетчика формируется цифровой код, поступающий на ЦАП в цепь обратной связи и на выход АЦП. Такой АЦП является

частным случаем АЦП последовательного счета.

2.4. Аналого-цифровой преобразователь с ЦАП в цепи обратной связи последовательного счета

Принцип работы такого АЦП показан на диаграммах (рис.2.4). Если на прямом и инверсном входах сравнивающего элемента (интегрального компаратора) действуют соответственно входной ($U_{вх}$ - постоянное напряжение, равное мгновенному значению преобразуемого сигнала) и эталонный (ИЭт - линейно изменяющееся эталонное напряжение) сигналы, то длительность выходного импульса $T_{изм}$ будет пропорциональна напряжению $U_{вх}$. Таким образом осуществляется преобразование типа "напряжение- интервал времени". В интервале $T_{изм}$ импульсы U_T тактовой частоты суммируются двоичным счетчиком, на выходе которого получим

двоичный код, пропорциональный интервалу $T_{ИЗМ}$ и напряжению $U_{ВХ}$. Эталонное

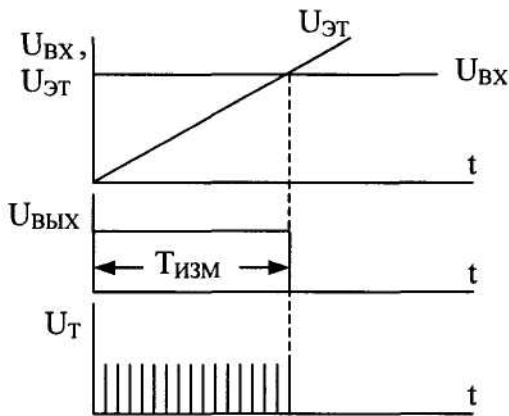


Рис 2.4 Диаграммы работы АЦП последовательного счета

напряжение $U_{ЭТ}$ можно сформировать с помощью как высоколинейной импульсной схемы ГЛИН, так и цифровой схемы ГЛИН. В последнем случае суммирующий счетчик и ЦАП формируют ступенчатое напряжение $U_{ЭТ}$, которое при необходимости может быть преобразовано в линейно изменяющееся напряжение с помощью фильтра нижних частот. Вариант такой схемы показан на рис.2.5. Эталонное напряжение для инверсного входа компаратора формируется суммирующим счетчиком и ЦАП. На прямом входе компаратора мгновенное значение входного сигнала

$U_{ВХ}$. При $U_{ЭТ}=U_{ВХ}$ (в момент $t=T_{ИЗМ}$) переход из единичного состояния в нулевое выходного сигнала компаратора переписывает содержимое счетчика в выходной регистр. После переполнения счетчика преобразование повторяется.

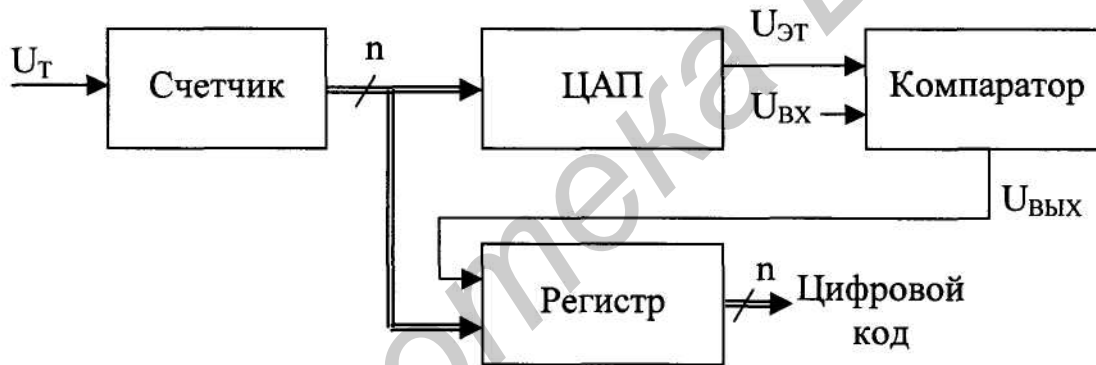


Рис 2.5 АЦП последовательного счета

Общий недостаток АЦП с последовательным счетом— низкое быстродействие. Поэтому данные АЦП находят применение только в устройствах с низким быстродействием, например в цифровых вольтметрах.

2.5. Аналого-цифровой преобразователь с ЦАП в цепи обратной связи последовательного приближения

Функциональная схема АЦП с последовательным приближением, показанная на рис.2.6, отличается от схемы АЦП с последовательным счетом главным образом тем, что вместо двоичного счетчика СТ2 используется регистр последовательного приближения (РПП).

В РПП прямой переход (0→1) тактового сигнала U_T последовательно подключает ко входу ЦАП D-триггеры регистра (начиная с триггера старшего разряда) и записывает в них значение 1, а обратный (1→0) переход производит запись текущего значения D (0 или 1) в подключенный триггер.

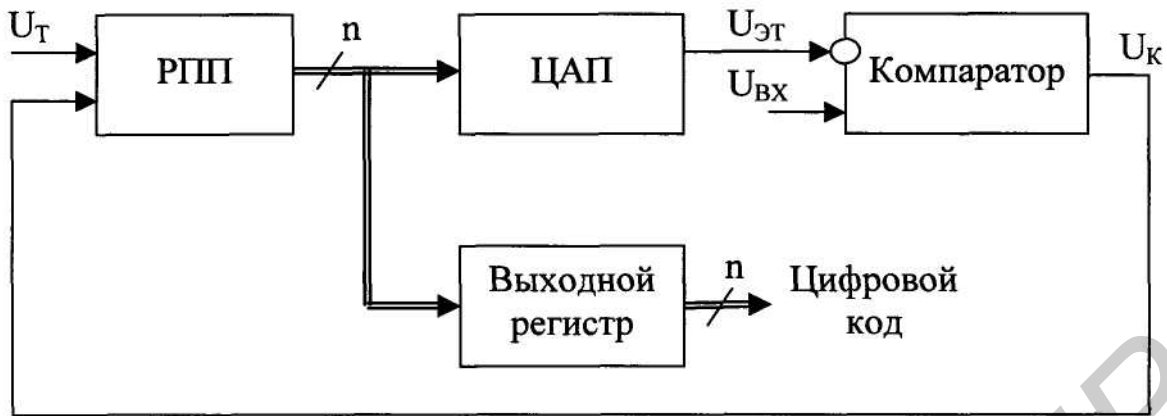


Рис 2.6. АЦП последовательного приближения

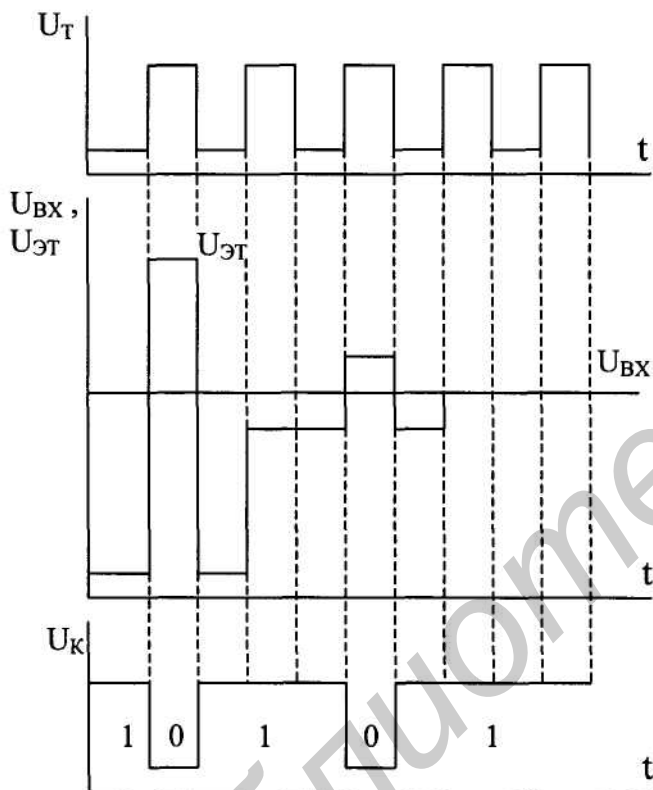


Рис 2.7. Работа АЦП последовательного приближения

Временные диаграммы работы АЦП с РПШ показаны на рис.2.7. Прямой переход первого тактового импульса записывает 1 в старший разряд РПШ. На выходе компаратора при этом появляется 0, поскольку $U_{ЭТ}$ (с выхода ЦАП) в данном случае превышает напряжение $U_{ВХ}$. С выхода компаратора сигнал 0 проходит на вход D РПШ и при обратном переходе U_T переписывается с этого входа в триггер старшего разряда. При этом напряжение на выходе ЦАП падает, и на выходе компаратора вновь появляется сигнал 1. При появлении второго импульса это значение присваивается триггеру второго по старшинству разряда, а на выходе ЦАП появляется напряжение, соответствующее “весу” второго разряда, который в два раза меньше первого. При $U_{ЭТ} < U_{ВХ}$ на выходе компарато-

ра сохраняется 1, и это значение присваивается второму триггеру при обратном переходе второго импульса U_T .

Таким образом, осуществляется поразрядное уравнивание кода в РПШ с уровнем входного сигнала. После тактового импульса с номером N (N - число разрядов РПШ и всего АЦП) произойдет запоминание самого младшего разряда РПШ, и содержимое этого регистра можно переписывать в выходной регистр.

Быстродействие АЦП с РПШ значительно выше, чем у АЦП последовательного счета. Тем не менее, быстродействия АЦП с РПШ недостаточно для преобразования широкополосных сигналов, например, стандартного телевизионного видеосигнала.

2.6. Аналого-цифровой преобразователь двойного интегрирования

Способ двойного интегрирования позволяет хорошо подавлять сетевые помехи. Кроме того, для построения схемы АЦП не требуются ЦАП с высокоточными резистивными матрицами.

Функциональная схема АЦП двойного интегрирования показана на рис.2.8 и напоминает схему АЦП последовательного счета, в которой вместо ЦАП применен интегратор.

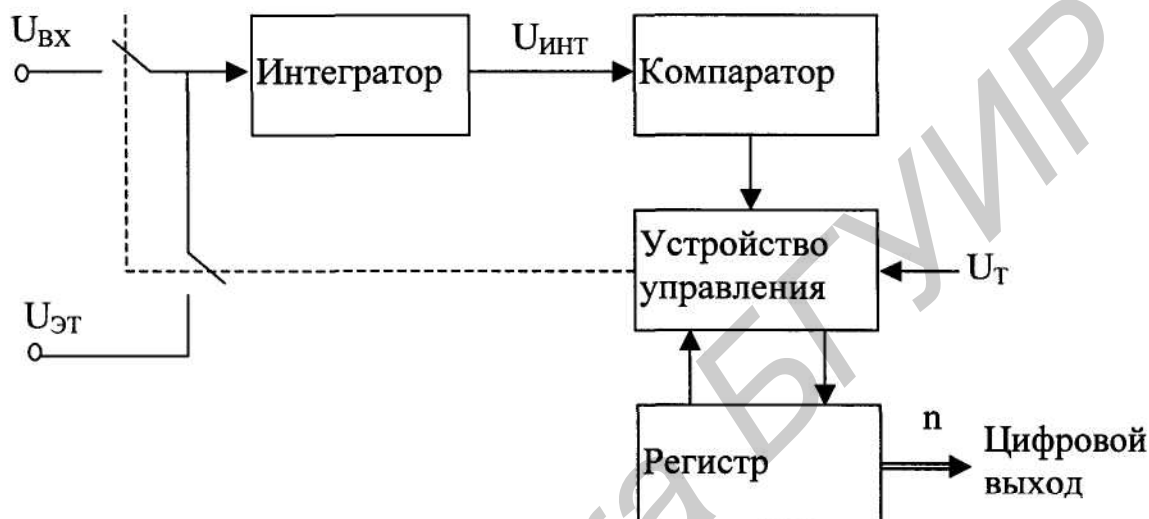


Рис 2.8. АЦП двойного интегрирования

Счетчик запускается от генератора в момент поступления на интегратор входного сигнала $U_{ВХ}$, из которого за время интеграции делается выборка. За время выборки напряжение на выходе интегратора $U_{ВЫХ}$ увеличивается. В момент t_1

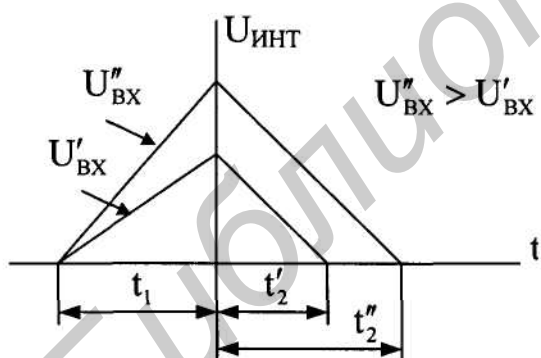


Рис 2.9. Работа АЦП двойного интегрирования

прямое интегрирование заканчивается, входной сигнал от интегратора отключается и к его суммирующей точке подключается эталонное напряжение. От времени t_1 до момента t_2 продолжается разряд интегратора (обратное, второе интегрирование) с постоянной скоростью. Интервалы времени от t_1 до нулевых отметок пропорциональны уровню входного сигнала (рис.2.9).

Существенным преимуществом преобразователя является простота компенсации наводок сети промышленного питания.

2.7. Аналого-цифровой преобразователь параллельного действия

Структурная схема АЦП параллельного действия показана на рис.2.10. Она содержит набор входных компараторов, шифратор, преобразующий выходные сигналы компараторов в двоичный код, и выходной регистр, в котором этот код сохраняется.

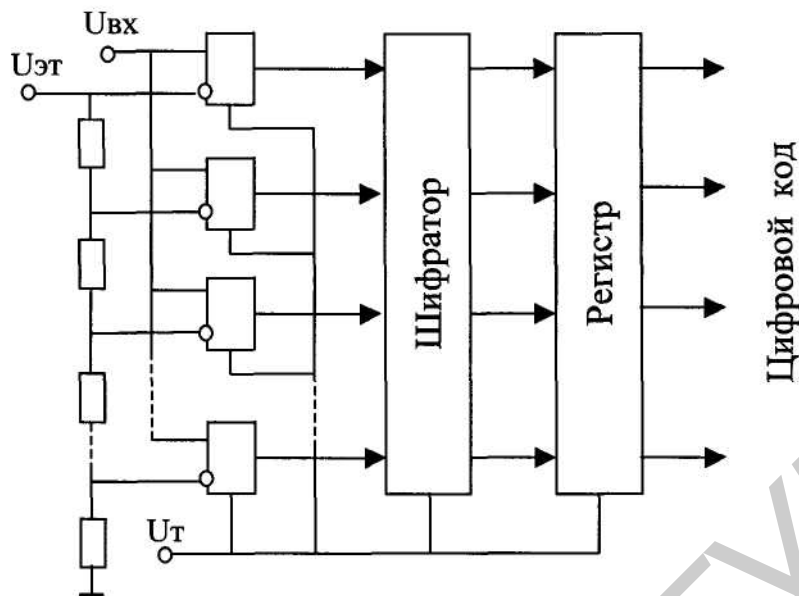


Рис. 2.10. Структурная схема АЦП параллельного действия

При $U_T = 0$ выходы всех компараторов закрыты. На их прямых входах постоянно действует входной аналоговый сигнал $U_{ВХ}$, а на инверсные входы подано постоянное опорное напряжение с резисторов делителя, подключенных к источнику опорного напряжения $U_{ЭТ}$. Изменение уровня напряжения опорного источника позволяет в определенных пределах изменять максимальный размах (амплитуду) и средний уровень преобразуемого сигнала $U_{ВХ}$. При $U_T = 1$ разрешается работа компараторов и на их выходах появляются сигналы, уровни которых при некотором среднем значении $U_{ВХ}$ равны: 0 – для компараторов $F_1 \dots F_i$; 1 – для компараторов $F_{i+1} \dots F_N$.

Сигналы с компараторов поступают в шифратор, который при $U_T = 1$ закрыт по инверсному входу разрешения. При обратном переходе ($1 \rightarrow 0$) сигнала U_T компараторы выключаются, а шифратор выдает двоичный код на входы выходного регистра. При следующем прямом переходе ($0 \rightarrow 1$) сигнала U_T происходит запись двоичного числа (N - го отсчета) в регистр по прямому динамическому входу S , и это число заменяет предыдущее ($N-1$)-е значение на выходе АЦП. В это же время ($U_T = 1$) в закрытом шифраторе хранится код ($N + 1$)-го отсчета, а открытые компараторы обрабатывают ($N + 2$)-й отсчет сигнала.

Таким образом, в параллельном АЦП действует конвейер, и функциональный узел в каждом такте обрабатывает свою информацию (свой отсчет). При этом период следования отсчетов может быть равен времени задержки одного (худшего по быстродействию) из трех узлов, а не сумме этих времен. Тактовая частота (и частота отсчетов) параллельных АЦП с конвейером может превышать 20 МГц, что позволяет преобразовывать сигналы с высшей частотой более 10 МГц. Сравнительно небольшое число разрядов АЦП ($N = 6 \dots 8$) не ограничивает области их применения, поскольку имеется возможность наращивания разрядности параллельным включением таких преобразователей.

Задания по выполнению лабораторной работы

1. Исследование ЦАП с весовыми резисторами.
Рассчитайте коэффициент усиления напряжения ОУ и выходное напряжение ЦАП на рис. 2.1 для случая, когда в положение, соответствующее логической единице, установлен только переключатель С. Результаты расчета проверьте на модели.
Получите выражение для расчета выходного напряжения ЦАП в общем виде и проверьте его на модели.
2. Исследование ЦАП с цепочкой резисторов типа R-2R.
С помощью формулы (1) рассчитайте выходное напряжение ЦАП на рис. 2.2 для нескольких комбинаций переключателей А, В, С, D и сравните полученные результаты с результатами моделирования.
Замените переключатели А, В, С, D четырехразрядным счетчиком 74160 и получите на выходе ЦАП пилообразное напряжение.
3. Исследование АЦП с ЦАП в цепи обратной связи следящего типа.
Снимите осциллограммы напряжений в контрольных точках АЦП, объясните вид осциллограммы на выходе ЦАП.
Определите зависимость кода, отображаемого на семисегментных индикаторах от измеряемого и опорного напряжения.
4. Исследование АЦП с ЦАП в цепи обратной связи последовательного счета.
Снимите осциллограммы напряжений в контрольных точках АЦП. Модифицируйте схему АЦП с целью повышения быстродействия, сохранив принцип АЦП последовательного счета.
5. Исследование АЦП двойного интегрирования. Воспользовавшись библиотечным интегратором программы EWB, соберите модель АЦП двойного интегрирования, снимите осциллограммы в контрольных точках.
6. Исследование АЦП параллельного действия.
Изменяя уровень измеряемого напряжения, снимите зависимость выходного кода от оцифровываемого сигнала.

Литература

1. Федорков Б.Г., Телец В.А. Микросхемы ЦАП и АЦП: функционирование, параметры, применение.- М.: Энергоатомиздат, 1990.
2. Бирюков С.А. Цифровые устройства на МОП-интегральных микросхемах.- М.: Радио и связь, 1990.

Лабораторная работа N3

Исследование интерфейсных устройств

Цель работы: ознакомление с принципами построения интерфейсных устройств и их основными функциями.

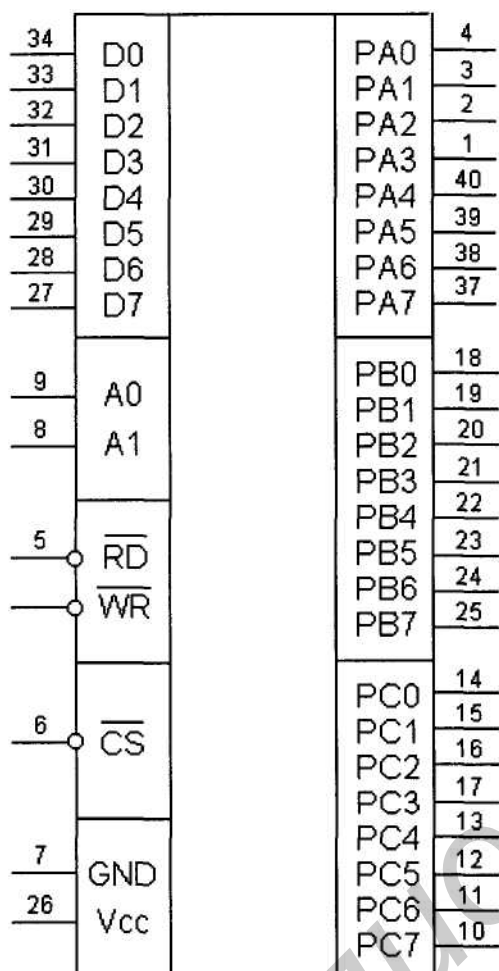


Рис. 3.1. Нумерация выводов БИС 82C55A

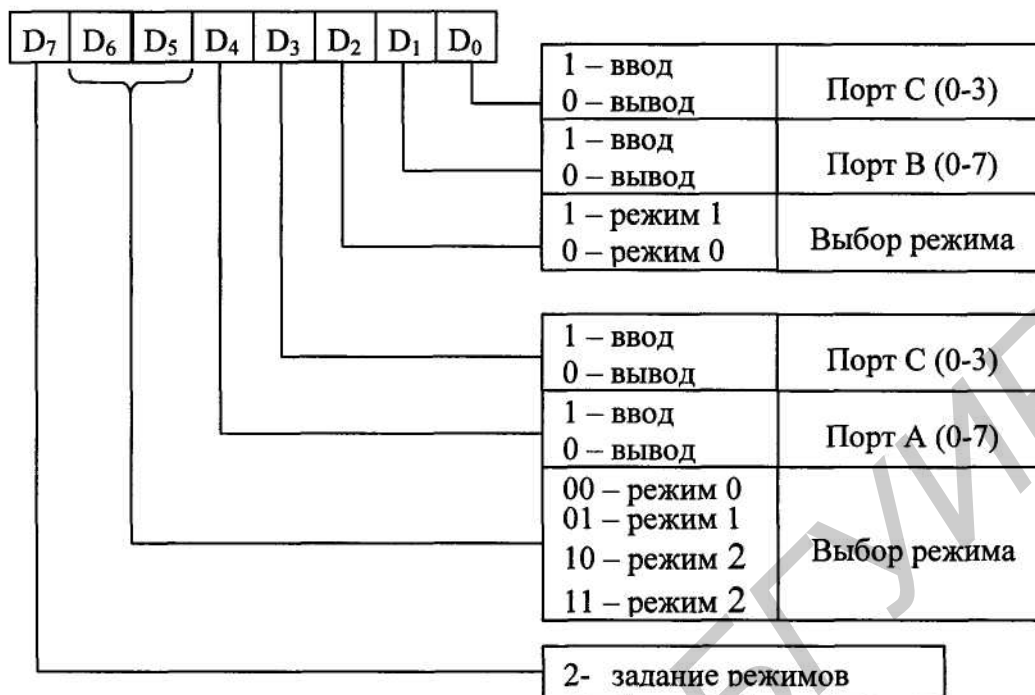
В лабораторной работе исследуется схема интерфейса на БИС 82C55A производства фирмы INTEL (аналоги, совместимые по выводам- 8255A, 8255A-5, 82C55A, КР580ИК55). Она представляет собой однокристальное программируемое устройство параллельного ввода-вывода информации, размещенное в пластиковом корпусе с 40 выводами типа DIP или в корпусе типа PLCC с 44 выводами (рис. 3.1).

В состав БИС входят три 8-разрядных порта (буферных регистра) порт А, порт В, порт С и схема управления с регистром управляющего слова. Обмен информацией между портами ввода-вывода и шиной данных микропроцессорной системы производится через двунаправленную шину

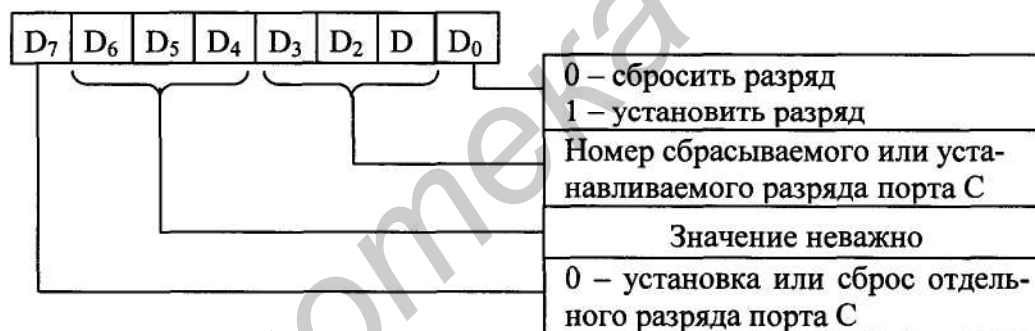
ШД и буфер данных в соответствии с сигналами на входах \overline{RD} , \overline{WR} , \overline{CS} , а также сигналами A0, A1, определяющими адрес (номер) порта ввода-вывода (табл. 3.1).

Перед началом работы программным способом путем передачи в БИС специальных команд инициализации назначаются режимы работы каждого из портов.

В процессе работы при необходимости изменения структуры ввода-вывода в управляющий регистр заносится соответствующее управляющее слово (рис 3.2). Содержимое этого слова задает один из трех возможных режимов работы портов ввода-вывода: основного (режим 0); строблируемого однонаправленного (режим 1);



а



б

Рис 3.2. Регистр управляющего слова

стробируемого двунаправленного (режим 2). Хотя задание режимов для порта А и порта В осуществляется одной командой назначения режима, эти порты могут одновременно работать в различных режимах. При изменении режима содержимое регистров портов и триггеров регистра состояния устанавливается в ноль.

При работе в режиме 0 информация, поступающая с ШД, запоминается в буферном регистре соответствующего порта и сразу же передается на его выходы. При вводе информации данные с портов А, В, С записываются в буферные регистры этих портов без стробирования и далее при поступлении сигнала \overline{RD} передаются на ШД.

В режиме 0 направление передачи определяется отдельно для каждого из портов.

Режимы работы портов А и В могут быть заданы независимо друг от друга. Порт С делится на две части P7-P4 и P3-P0, режимы работы которых определяются соответственно режимами работы портов А и В, если последние работают в режиме 1 или 2. Если порты А и В работают в режиме 0, каждая половина порта С может работать как отдельный порт в режиме 0.

Режим 1 обеспечивает возможность организации однонаправленной стробируемой передачи информации между МП и внешними устройствами. При этом порты А и В используются как регистры данных, а порт С - для приема и формирования сигналов, сопровождающих стробируемый ввод-вывод. Для этого в состав порта С входят два триггера (INTE А и INTE В) разрешения готовности (рис.3.6), допускающие установку и сброс программным способом, а также схемы, которые осуществляют асинхронную запись информации в регистры портов А и В из внешнего устройства (либо наоборот) и формируют в зависимости от состояния INTE А и INTE В сигнал запроса на прерывание. Особенностью порта С является возможность установки и сброса любого из его разрядов программным способом. Такая возможность существует для всех режимов работы порта, кроме нулевого, и осуществляется загрузкой в БИС 82C55А кода команды установки/сброса разрядов (рис. 3.2,6). Таким образом, каждый из разрядов порта С может быть установлен либо сброшен независимо от остальных, что позволяет использовать порт С для хранения управляющего слова-состояния внешнего устройства при организации программно-управляемого обмена. При работе портов А и В в режиме 1 или 2 каждый из разрядов порта С имеет строго определенное функциональное назначение и мнемоническое обозначение (рис. 3.6).

Рассмотрим реализацию процедуры асинхронного обмена между МП и внешним устройством с помощью БИС 82C55А, работающей в режиме 1. Для ввода информации канал должен работать в режиме 1 (Ввод) (рис. 3.3). Внешнее устройство, будучи готовым к вводу информации в МП, формирует сигнал \overline{STB}

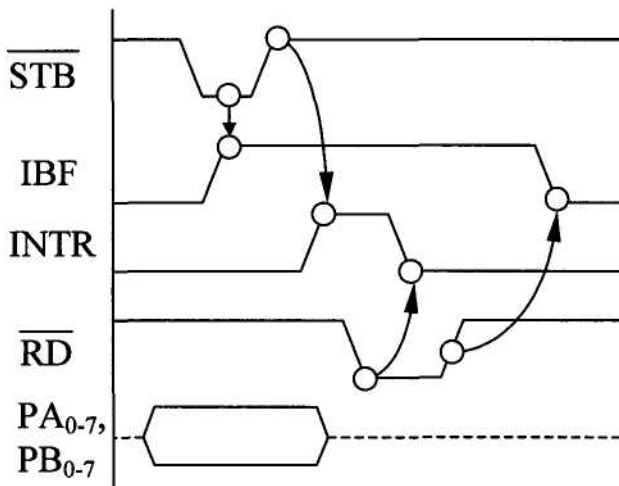


Рис 3.3. Режим 1. Ввод информации

(Strobe- стробирование), по срезу которого осуществляется запись слова данных в порт. При этом БИС 82C55A формирует сигнал *IBF* (Input Buffer Full- Подтверждение приема). При высоком уровне сигнала *IBF* внешнему устройству запрещается формировать сигнал \overline{STB} и записывать в канал новое слово данных. По фронту сигнала \overline{STB} , если сигнал *IBF* равен единице и установлен в единицу внутренний триггер *INTE*, формируется сигнал запроса на прерывание *INTR* (Interrupt Request- Готовность), посылаемый на МП. Получив этот сигнал, МП переходит на соответствующую подпрограмму обслуживания прерываний, в процессе которой осуществляет считывание слова данных из порта. Во время считывания на БИС 82C55A подается сигнал \overline{RD} , по срезу которого слово данных передается из порта на шину данных МП. По фронту сигнала \overline{RD} сбрасывается сигнал *IBF*, что свидетельствует об окончании ввода данных в МП и разрешает внешнему устройству формировать новый сигнал \overline{STB} .

Отметим, что установка/сброс *INTE A* и *INTE B* в режиме 1 (Ввод) осуществляется командой установки/сброса разрядов *PC4* и *PC2* порта *C* соответственно.

В режиме 1 (Вывод) осуществляется запись слова данных из МП в регистры порта *A* или *B* (рис. 3.4). Во время записи слова микропроцессор подает на БИС 82C55A сигнал \overline{WR} , по срезу которого снимается сигнал запроса на прерывание *INTR*. По фронту сигнала \overline{WR} БИС 82C55A подает на внешнее устройство сигнал готовности порта к обмену \overline{OBF} , подтверждая, что данные для выдачи записаны в регистре порта. После получе-

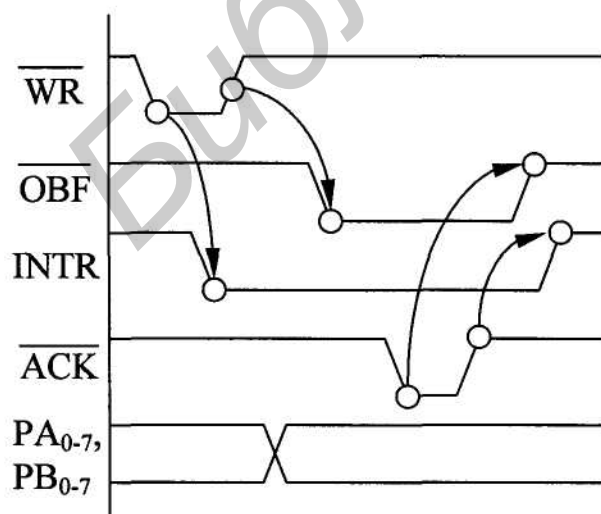


Рис 3.4. Режим 1. Вывод информации

ния сигнала \overline{WR} БИС 82C55A подает на внешнее устройство сигнал готовности порта к обмену \overline{OBF} , подтверждая, что данные для выдачи записаны в регистре порта. После получе-

ния этого сигнала внешнее устройство принимает данные из порта и формирует сигнал \overline{ACK} (Acknowledge- Подтверждение передачи). По срезу сигнала \overline{ACK} снимается сигнал \overline{OBF} . Если прерывания от данного внешнего устройства разрешены, т. е. предварительно программным способом установлен INTE, то после приема информации внешним устройством (по фронту сигнала \overline{ACK}) БИС 82C55A формирует для МП сигнал запроса на прерывание \overline{OBF} , МП выполняет соответствующую подпрограмму обслуживания и т. д. Программная установка и сброс INTE А и INTE В осуществляются командой установки/сброса разрядов PC6 и PC2 порта С.

Используя режим 1 работы каналов, можно реализовать простой программно-управляемый обмен между МП и внешними устройствами. Для организации этой процедуры порт С должен служить регистром состояния внешнего устройства, порты А и В- для передачи данных. Опрос и модификация содержимого регистра порта С могут осуществляться программным способом с помощью соответствующих команд МП и аппаратным способом со стороны внешнего устройства.

В режиме 2 может работать только порт А, используемый в качестве буфера двунаправленной магистрали. Пять разрядов порта С применяются для формирования сигналов управления двунаправленной магистралью (рис. 3.7). Процедура ввода либо вывода инициализируется сигналом запроса на прерывание $INTR$, который поступает из БИС 82C55А в МП. Микропроцессор в соответствии с подпрограммой обработки запроса на прерывание начинает либо ввод, либо вывод информации из внешнего устройства. Вывод информации из МП начинается по срезу сигнала \overline{WR} . По фронту сигнала \overline{WR} БИС 82C55А формирует сигнал \overline{OBF} , свидетельствующий о том, что данные, предназначенные для выдачи, записаны в регистр порта А. В ответ на сигнал \overline{OBF} магистраль формирует сигнал \overline{ACK} . При активном сигнале ППРД БИС 82C55А выдает данные на двунаправленную магистраль. Сигнал \overline{OBF} по срезу сигнала \overline{ACK} снимается. Сигнал запроса на прерывание $INTR$ для МП формируется по фронту сигнала \overline{ACK} , если предварительно программно установлен INTE А, а сигналы \overline{OBF} и \overline{WR} имеют единичный уровень.

Сигнал *INTR* инициализирует выполнение микропроцессором очередного цикла обращения к двунаправленной магистрали.

Ввод данных с двунаправленной магистрали в МП осуществляется следующим образом. Когда магистраль готова к вводу информации в регистр порта А, она формирует сигнал \overline{STB} , по спаду которого осуществляется запись слова данных в регистр порта А. Микросхема 82C55А вырабатывает сигнал подтверждения приема *IBF*, который запрещает магистрали формировать сигнал \overline{STB} и записывать данные в канал. Сигнал запроса на прерывание *INTR* в МП выдается по фронту сигнала \overline{STB} при установленном *INTE В* и наличии единичного уровня сигналов \overline{RD} и *IBF*. Получив сигнал запроса на прерывание, МП считывает информацию из порта А, формируя при этом сигнал \overline{RD} , по фронту которого сбрасывается сигнал *IBF*, сообщая магистрали об окончании цикла ввода информации. Программная установка/сброс *INTE А* и *INTE В* осуществляется командой установки/сброса разрядов PC6 и PC4 порта С соответственно.

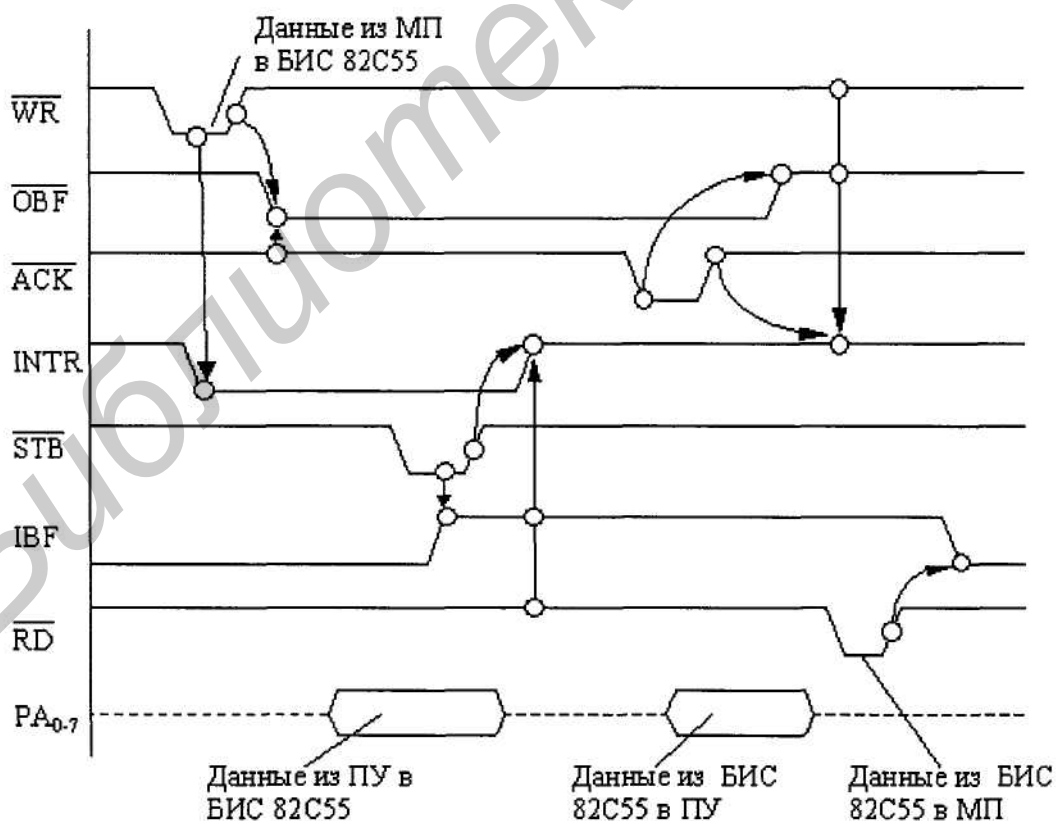


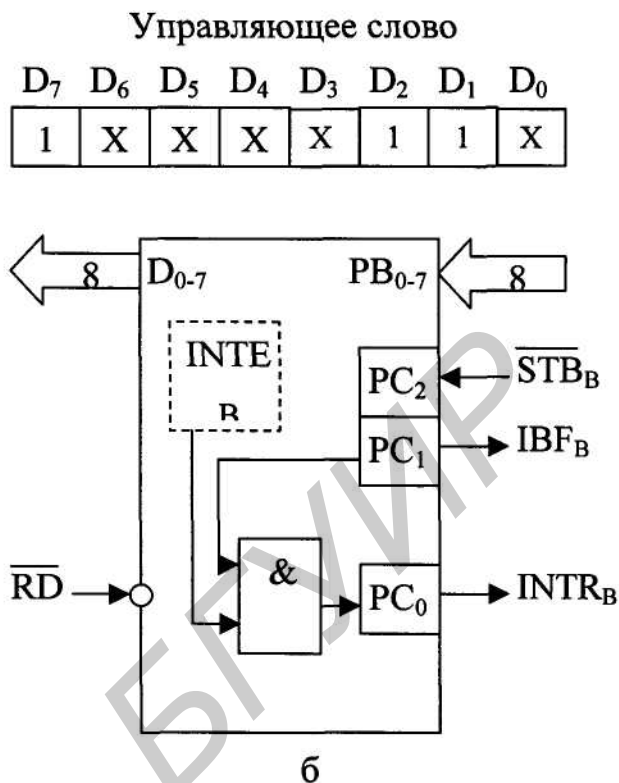
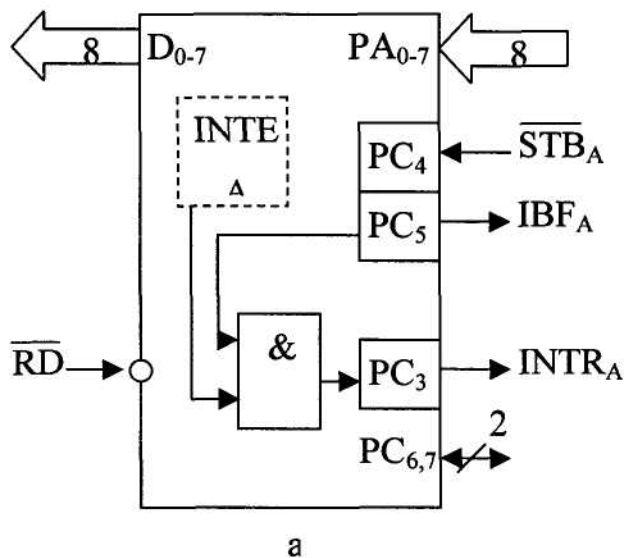
Рис. 3.5. Режим 2. Ввод-вывод информации

Таблица 3.1

Обозначение	Тип вывода	Назначение					
D(0-7)	Вх/ вых	8-битная шина данных с тремя состояниями					
A(0,1)	Вх	Адресные входы совместно с сигналами RD, WR и CS адресуют один из трех портов или регистр управления:					
		A1	A0	RD	WR	CS	Направление передачи информации
		0	0	0	1	0	Порт А- ШД
		0	1	0	1	0	Порт В- ШД
		1	0	0	1	0	Порт С- ШД
		1	1	0	1	0	РГУ- ШД
		0	0	1	0	0	ШД- порт А
		0	1	1	0	0	ШД- порт В
		1	0	1	0	0	ШД- порт С
		1	1	1	0	0	ШД- РГУ
		X	x	x	x	1	ШД в z-состоянии
X	x	1	1	0	ШД в z-состоянии		
\overline{RD}	Вх	Разрешение выдачи информации в ШД					
\overline{WR}	Вх	Разрешение выдачи информации на ШД					
\overline{CS}	Вх	Выбор микросхемы					
Vcc	Вх	Питание (+5в)					
GND	Вх	Общий					
PA(0-7)	Вх/ вых	8-битный выходной триггер-защелка и 8-битный входной триггер-защелка					
PB(0-7)	Вх/ вых	8-битный выходной триггер-защелка и 8-битный входной буфер					
PC(0-3)	Вх/ вых	Младший полубайт 8-битного выходного триггера-защелки и 8-битного входного буфера. Этот порт может быть разделен на два 4-битных порта, каждый из которых содержит 4-битный триггер-защелку.					
PC(4-7)	Вх/ вых	Старший полубайт порта С					

Управляющее слово

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	1	1	1/0 ¹	X	X	X



Управляющее слово

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	1	0	1/0 ²	X	X	X

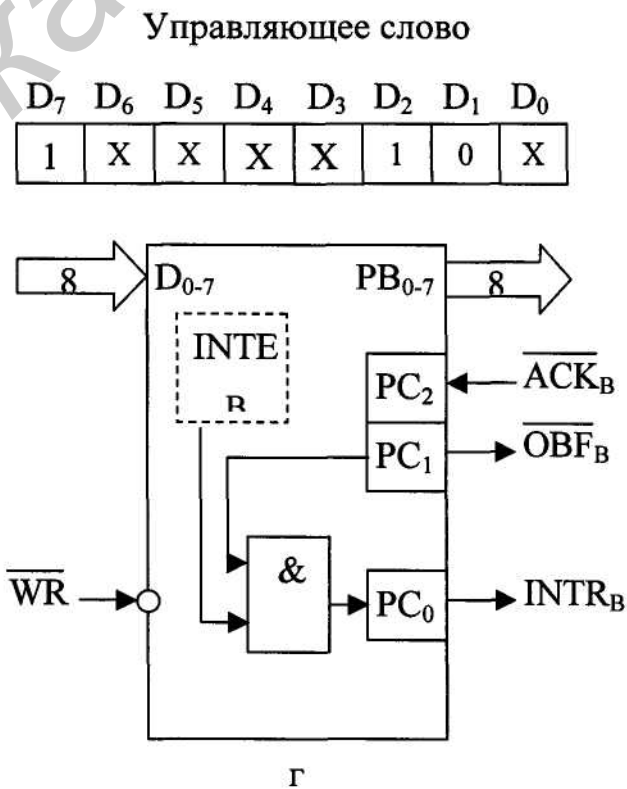
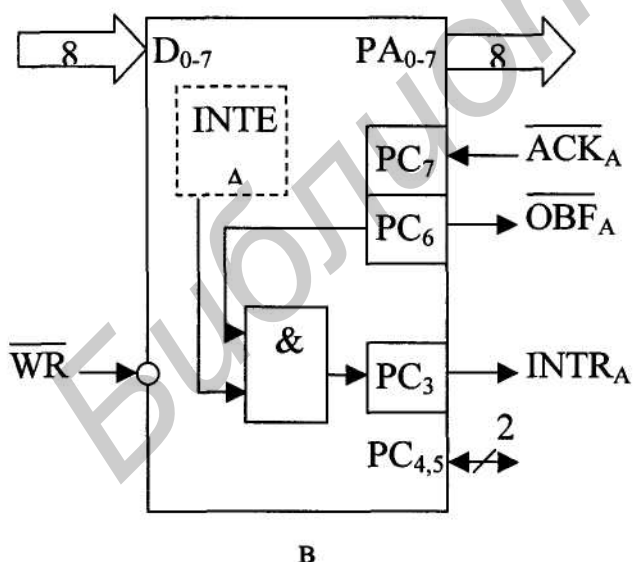


Рис.3.6. Интерфейс в режиме 1: порт А– ввод информации (а), порт В– ввод информации (б), порт А – вывод информации (в), порт В-вывод информации (г)

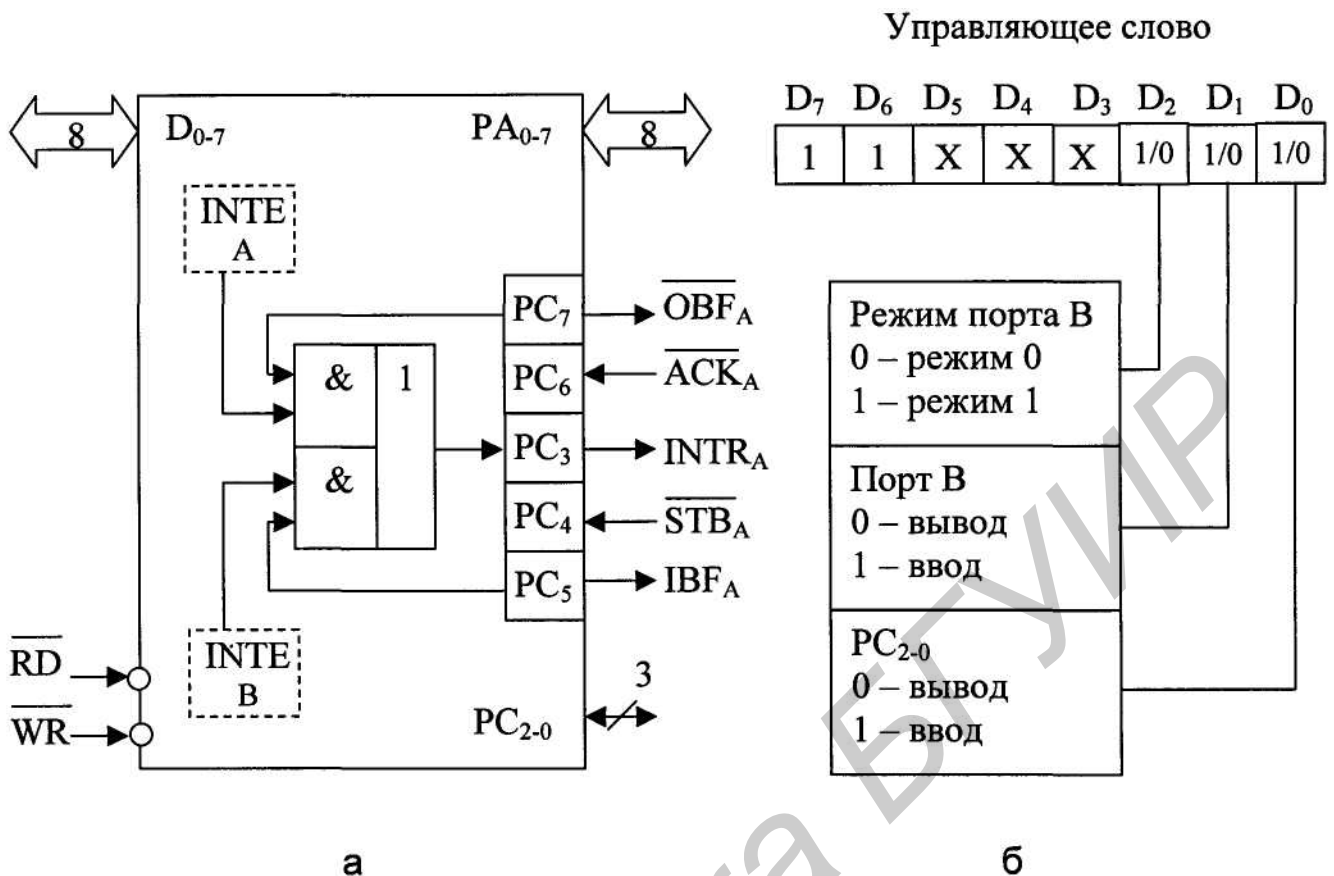


Рис 3.7. Интерфейс в режиме 2 (а) и соответствующее управляющее слово (б)

Описание модели БИС 82С55.

Схема для исследования БИС 82С55 приведена на рис. 3.8

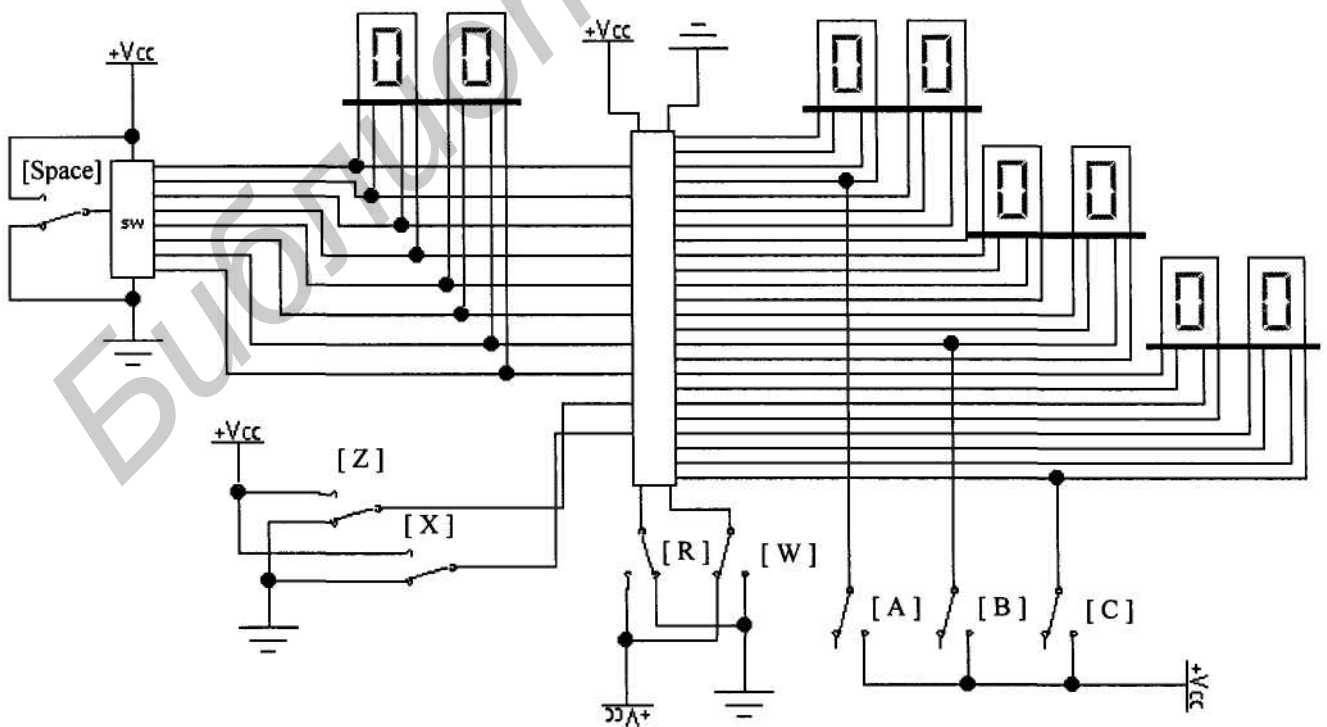


Рис. 3.8. Схема лабораторной установки

Назначение элементов на данной схеме таково:

модуль SW - набор переключателей для управления шиной данных. Переключатели управляются цифровыми клавишами 0-7 и подключаются к ШД при установке ключа Spase в единичное положение;

ключи Z и X- управление входами A1 и AO БИС 82C55 соответственно; ключи R и W- управление входами R и W БИС 82C55 соответственно; ключи A, B и C предназначены для имитации сигналов на портах ввода-вывода. Сброс микросхемы осуществляется тумблером запуска/остановки моделирования программы EWB.

Лабораторное задание

1. Проверить работу интерфейса в режиме 0: исследовать возможность передачи данных в различных направлениях; проверить работу интерфейса в режиме установки или сброса отдельных разрядов порта C.
2. Проверить работу интерфейса в режиме 1: исследовать режим ввода и вывода информации в порты A и B.
3. Проверить работу интерфейса в режиме 2: осуществить ввод и вывод информации в порт A.

Контрольные вопросы

1. Состав БИС 82C55 и основные функции, выполняемые ею.
2. Как производится управление работой БИС 82C55 ?
3. В чем различие между тремя режимами работы БИС 82C55 ?

Литература

1. Брюс А. Сопряжение микроЭВМ с внешними устройствами.- М.: Машиностроение, 1983.
2. Интегральные микросхемы: Справочник/ Под ред. Б.В. Тарабрина.- М.: Энергоатомиздат, 1985.
3. <http://altair.ihep.su/~kulemzin/82C55.pdf>

Учебное издание

Бурак Андрей Иосифович

Лабораторный практикум по курсу
«Вычислительные и микропроцессорные устройства»
для студентов специальности 39 09 01
вечерней и заочной форм обучения

Редактор Е.Н. Батурчик

Подписано в печать 16.05.2002. Формат 60 × 84 1/16. Бумага офсетная.
Печать ризографическая. Усл. печ. л. 1,98. Уч.- изд. л. 1,7.
Тираж 100 экз. Заказ 327.

Издатель и полиграфическое исполнение:
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»
Лицензия ЛП № 156 от 05.02.2001.
Лицензия ЛВ № 509 от 03.08.2001.
220013, Минск, П. Бровки, 6.