

РЕАЛИЗАЦИЯ СИСТЕМЫ АППАРАТНО-ПРОГРАММНОГО МОДЕЛИРОВАНИЯ С ИСПОЛЬЗОВАНИЕМ ПЛИС ЭМУЛЯТОРА

Зайцев В. С., Степанец В. Я.

Кафедра математической кибернетики, Белорусский государственный университет
Минск, Республика Беларусь

E-mail: zaicevvs@tut.by, stepanets@bsu.by

В статье рассматриваются вопросы ускорения процесса цифрового моделирования. В качестве средства для ускорения предлагается использовать бюджетный вариант аппаратного ПЛИС-эмулятора, подключение эмулятора к компьютеру проводить с использованием USB-адаптера на базе микросхемы серии FT232h, описывается алгоритм работы этой системы в среде моделирования, протокол обмена сообщениями, структурная схема блока, управляющего приемом и передачей сообщений на стороне ПЛИС.

ВВЕДЕНИЕ

При проектировании цифровых встраиваемых систем основным этапом является верификация проекта перед его аппаратной реализацией. В процессе верификации выполняется множество итераций моделирования. При этом на более поздних этапах проверки, становится все сложнее выявить ошибку. Однако на этом этапе верификации уже существует предварительный релиз проекта, что позволяет прошить его в FPGA и использовать в качестве аппаратного прототипа для ускорения процесса моделирования.

Существует достаточное количество дорогих решений по аппаратному ускорению моделирования [1,2]. В данной работе описано бюджетное решение данной проблемы с использованием на основе обмена данными через USB-порт.

I. СИСТЕМА АППАРАТНОГО УСКОРЕНИЯ МОДЕЛИРОВАНИЯ

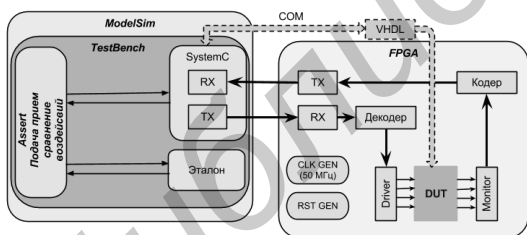


Рис. 1 – Структурная схема системы аппаратно-программного моделирования

В качестве исходной структуры описываемой системы программно-аппаратного моделирования была принята структура, приведенная на рис. 1 [3]. Алгоритм работы ее основного блока DUT (Device under test) включает:

1. установку начального значения на входах аппаратного эмулятора (реализуется вызовом соответствующей функции);
2. ожидание изменения (активизирующих обработку сигналов);
3. фиксация активного сигнала (сигналов) и запоминание состояния всех входов;

4. пересылка в ПЛИС эмулятор состояния входов, вида события и ожидание ответа;
5. получение от эмулятора новых состояний всех выходов и внутренних сигналов, их назначение соответствующим выходам и внутренним сигналам модели и переход к ожидающему следующего события (возврат на пункт 2).

Таким образом, пересылка данных между ПЛИС макетом и основным моделирующим компьютером идет в форме обмена сообщениями. Для оптимизации времени диалога, сообщения имеют разную длину, зависящую от вида события. В общем случае сообщение может включать следующие части: EventSync, Events, AsyncPortData, SyncPortData.

Если флаг EventSync = 0, то выполняется событие без изменения синхронных данных. В этом случае поле SyncPortData будет отсутствовать. Если EventSync = 1, то имеет место событие с изменением синхронных данных. Размер поля Events определяется по формуле $\log_2(N+M)$, где N – число синхросигналов, M – число асинхронных сигналов. Первыми записываются синхросигналы, затем асинхронные сигналы. Если событие вызвано изменением одного вывода, то синхросигналы и асинхронные сигналы не нумеруются, а передается номер соответствующего сигнала. Поле AsyncPortData принимает значение активного асинхронного сигнала и игнорируется при событии на синхросигнале. Поле SyncPortData принимает значения синхронных сигналов. Его длина равна числу синхронных сигналов.

Выходное сообщение состоит из двух полей: Outputs, ширина которого равна числу выходов, и InternalSignals, ширина которого равна числу наблюдаемых внутренних сигналов.

Узким местом этой системы является интерфейс обмена данными через com-порт. Порядку причин более рациональным является использование в ней USB-порта. Для работы с этим портом на данный момент существуют дешевые решения фирмы FTDI (серия микросхем

FTX232X [4] и FTX232H, представляющих собой аппаратный USB-мост, работающий в высокоскоростном режиме. Он способен работать в нескольких режимах: UART, асинхронное и синхронное и асинхронное FIFO и MPSSE. Особо отметим новый режим эксплуатации USB-мостов фирмы FTDI синхронное FIFO. Его назначение передача данных между компьютером или любым другим USB-хостом и оконечным устройством со скоростью обмена от 8 Мбайт/с до максимальной пропускной способности шины USB в режиме Bulk [5].

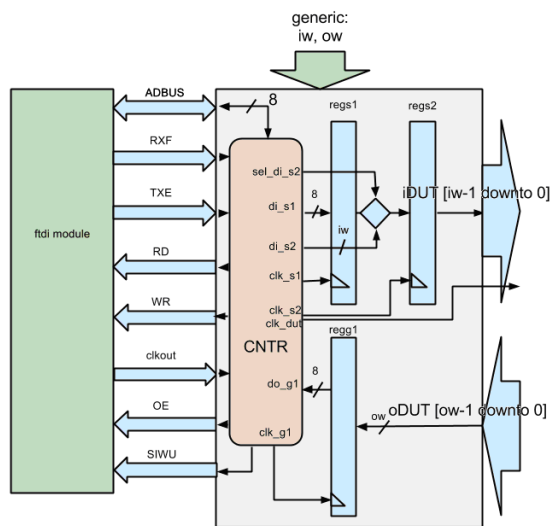


Рис. 2 – Блок схема контроллера эмулятора

Работа микросхемы в режиме синхронного FIFO осуществляется под управлением драйвера D2xx в установленном для канала А режиме FT245 FIFO, поставляемого в открытом доступе на сайте фирмы FTDI [6-8]. Для реализации рассматриваемого варианта системы аппаратно-программного моделирования был выбран модуль USB to Serial + (UART/I2C/SPI/JTAG) Adapter на базе микросхемы FT232H.

Согласно временным диаграмма работы с FT232H был разработан модуль-прошивка для FPGA, отвечающий за обмен данными по FIFO (рис. 2).

Алгоритм работы разработанного блока управления FIFO микросхемы FT232H включает:

1. конфигурирование блока согласно числу входных и выходных сигналов тестируемой цифровой схемы;
2. ожидание сигнала наполнения регистра, свидетельствующего о возможности забора данных;
3. прием данных из ftdi и их пересылка в s1;
4. после приема всех данных запись по тактовому сигналу clk_s2 в подключенный к DUT регистр s2;
5. передача в DUT тактового сигнала clk_dut, если сигналы являются асинхронными;
6. если в полученных данных, присутствует только команда, обозначающая число так-

тов или изменения на шине, то новый срез данных формируется в контроллере и передается в регистр s2, после чего подается тактовый сигнал clk_g1;

7. считывание контроллером значения в регистр g1, отправка его в ftdi и переход к п.2.

Функции ожидания, приёма и отправки данных реализованы на C++. Вызов функций происходит в модуле написанном на языке SystemC. Подключения блока достигается за счет замены моделируемого цифрового блока на SystemC-модуль с аналогичным интерфейсом.

II. ЗАКЛЮЧЕНИЕ

Создан VHDL модуль для прошивки в FPGA, обеспечивающий прием данных и передачу ответов в (из) компьютер через USB-порт. Для компиляции SystemC модуля использовался gcc-4.2.1. Разработанные функции модуля работают в среде Windows.

В ходе эксперимента по оценке производительности данного решения системы аппаратно-программного моделирования тестировался модуль с 8-ю входными и 8 выходными портами. Достиженная скорость обработки - 1,5 млн тактов моделирования за 1 секунду.

Данное бюджетное решение системы аппаратно-программного моделирования может использоваться при верификации любых сложных проектов требующих проведения в ходе верификации длительных по времени обработки тестов.

1. Emulation Dynamic Debug with HVD Technology [Electronic resource]. – Mode of access: http://www.aldec.com/en/solutions/hardware_emulation_solutions/hvd_technology. – Date of access: 01.08.2012.
2. Synopsys [Электронный ресурс] Электронные данные.–Режим доступа: <http://www.synopsys.com/SYSTEMS/FPGABASEDPROTOTYPING/Pages/HAPS.aspx>.
3. Зайцев В. С. Аппаратное ускорение цифрового моделирования / В. С. Зайцев, В. Я. Степанец // Материалы конференции ITS2012, Минск. 2012. – С. 206-207.
4. D. C. Black and J. Donavan, "SYSTEMC: FROM THE GROUND UP" Kluwer Academic Publishers, Boston, 2004.
5. FTDI products [Electronic resource].– Mode of access: <http://www.ftdichip.com/FTSupport.htm>. – Date of access : 10.09.2013.
6. Работа аппаратного USB-моста FTDI FT2232H в режиме синхронного FIFO [Electronic resource]. –Mode of access: http://kit-e.ru/assets/files/pdf/2010_08_90.pdf.– Date of access: 10.09.2013.
7. Software Application Development D2XX Programmer's Guide. [Electronic resource].– Mode of access: <http://www.ftdichip.com/FTDrivers.htm> –Date of access: 10.09.2013.
8. Application Note AN-130 FT2232H Used In An FT245 Style Synchronous FIFO Mode. [Electronic resource].–Mode of access: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232H.pdf –Date of access: 10.09.2013.