

## Применение DDS синтезаторов частот в системах радиолокации

Белорусский государственный университет информатики и радиоэлектроники

г. Минск, Республика Беларусь

Жук И.Н

Титович Н. А. – к.т.н., доцент

Идея прямого цифрового синтеза известна с начала 70-х годов прошлого века (в англоязычной терминологии метод получил название как *DDS* или *Direct Digital Synthesis*). Структурная схема такого синтезатора приведена на рис.1. В блоке памяти (ПЗУ) хранятся отсчеты синусоиды (данные от значения синусоиды при различных фазах). По определенной программе в соответствии с кодом частоты, записаны в блоке установки частоты (УЧ), происходит вычисление текущих значений синусоиды. Частота в импульсной последовательности  $f$  на выходе кратна шагу сетки частот  $\Delta f$  и равна  $f=k \cdot \Delta f$ , где  $k=1, \dots, N$ .

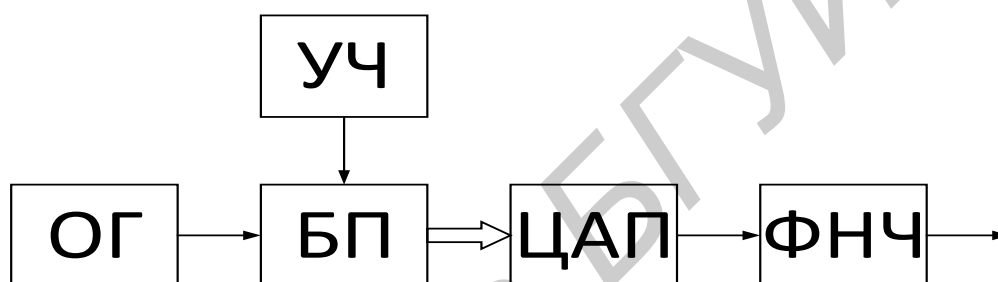


Рисунок 1 - Синтезатор с цифровым формированием отсчетов

Поскольку на выходе синтезатора необходимо формирование синусоидального колебания, то после блока памяти включается цифроаналоговый преобразователь (ЦАП) (рисунок 1). Для устранения побочных частот после блока ЦАП включен фильтр нижних частот (ФНЧ). Число отсчетов синусоиды  $2^N$  определяется объемом памяти блока вычисления отсчетов (блока памяти).

Изменяя число  $N$  импульсов ОГ, считываемых за период  $T_0$ , можно изменить частоту импульсной последовательности на выходе ЦАП. Минимальное число  $N$  импульсов ОГ равно двум. Следовательно, максимальная частота импульсной последовательности будет равна  $1/2 T_0$ .

Таким образом, максимальная выходная частота не может быть выше половины тактовой частоты ОГ  $f_0$ . Верхняя частота  $f_{max}$  также определяется граничной частотой блока ЦАП.

Использование *DDS* применяется для улучшения параметров СЧ с ФАПЧ и позволяет достичь новых уникальных результатов в построении возбuditелей.

Наиболее подходящим методом формирования отсчетов функции  $\sin$  является табличный метод. В качестве БП чаще всего используется ПЗУ, в котором размещается перекодировочная таблица функции. Код, который подается на адресные входы ПЗУ является аргументом функции  $\sin$ , а выходной код ПЗУ равен значению функции для данного аргумента. Аргумент функции  $\sin$ , или фаза, в отличие от значения функции, меняется во времени линейно. Сформировать линейно меняющуюся во времени последовательность кодов способен сделать простой двоичный счетчик, а для перестройки выходной частоты можно использовать делитель частоты с переменным коэффициентом деления  $N$ , на вход которого будет поступать тактовый сигнал с ОГ.

Однако основным недостатком такого решения является плохая способность к перестройке по частоте. Поскольку тактовая частота испытывает деление на целое число, шаг перестройки будет переменным, причем, чем меньше коэффициент деления  $N$ , тем больше относительная величина шага. Этот шаг будет недопустимо грубым при малых коэффициентах деления. Кроме того, при перестройке выходной частоты будет меняться и частота дискретизации. Это затрудняет фильтрацию выходного сигнала, а также ведет к неоптимальному использованию скоростных характеристик ЦАП, – они будут в полной мере использованы лишь на максимальной выходной частоте. Поэтому лучше, независимо от выходной частоты, работать на постоянной частоте дискретизации, близкой к максимальной для используемого ЦАП.

Устранить эти недостатки возможно путем замены адресного счетчика ПЗУ накапливающим сумматором. Накапливающий сумматор представляет собой регистр, который в каждом такте работы устройства перезагружается величиной, равной старому содержимому, плюс некоторая постоянная добавка. Когда накапливающий сумматор используется для формирования кода фазы, его еще называют аккумулятором фазы. Выходной код аккумулятора фазы представляет собой код мгновенной фазы выходного сигнала. Постоянная добавка, которая используется при работе аккумулятора фазы, представляет собой приращение фазы за один такт работы устройства. Чем быстрее изменяется фаза во времени, тем больше частота генерируемого сигнала. Поэтому значение приращения фазы фактически является кодом выходной частоты  $M$ .

Действительно, если приращение фазы равно единице, то поведение накапливающего сумматора ничем не отличается от поведения двоичного счетчика. Но если приращение фазы будет равно, например, двум, то код фазы будет изменяться вдвое быстрее. При этом на ЦАП коды будут поступать с той же частотой, но они будут представлять собой не соседние отсчеты функции  $\sin$ , а взятые через один. Частота генерируемого сигнала при этом будет вдвое большей, а частота дискретизации останется прежней. Аккумулятор фазы работает с периодическими переполнениями, обеспечивая арифметику по модулю  $2N$  ( $N$  - разрядность аккумулятора фазы). Такое периодическое переполнение соответствует периодическому поведению функции  $\sin$  с периодом  $2\pi$ . Другими словами, частота переполнений аккумулятора фазы равна частоте выходного сигнала.

По существу, тактовая частота испытывает деление на некоторое число, которое определяется кодом частоты и разрядностью аккумулятора фазы. При этом шаг перестройки частоты не зависит от ее значения и равен  $\Delta f_0 = f_0/(2N)$ . Из этого соотношения следует еще одно уникальное свойство синтезатора частоты на основе накапливающего сумматора: если увеличить разрядность  $N$ , то уменьшится шаг перестройки частоты. Причем особых ограничений здесь нет. Например, если разрядность накапливающего сумматора 32 бита, а тактовая частота составляет 50 МГц, то частотное разрешение составит порядка 0.01 Гц. Таким образом, в DDS аккумулятор фазы формирует последовательность кодов мгновенной фазы сигнала, которая изменяется линейно (рис.2). Скорость изменения фазы задается кодом частоты. Далее с помощью ПЗУ линейно изменяющаяся фаза преобразуется в изменяющиеся по синусоидальному закону отсчеты выходного сигнала. Эти отсчеты поступают на ЦАП, на выходе которого формируется синусоидальный сигнал, состоящий из «ступенек». Эти «ступеньки» фильтруются с помощью аналогового ФНЧ, на выходе которого получается синусоидальный сигнал.

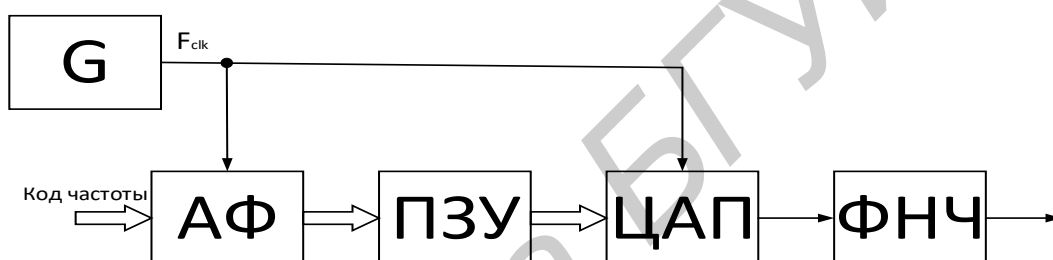


Рисунок 2 – Схема прямого цифрового синтезатора частот

По приведенной выше схеме на базе микросхемы AD9914 компании Analog Device был построен СЧ, используемый в качестве гетеродина РЛС. Система гетеродина состоит из данного синтезатора частот и тракта преобразования частоты к нужным параметрам. Сам синтезатор обеспечивает точность перестройки частот, шаг отстройки частоты и низкий уровень фазового шума. Тракт преобразования частоты, в свою очередь, отвечает за мощность выходного сигнала, частоту выходного сигнала и отношение сигнал/шум. Структурная схема приведена на рисунке 3.



Рисунок 3 – Структурная схема тракта преобразования частоты

Основными элементами приведенной выше схемы являются усилитель-умножители, когда, в свою очередь, фильтры отвечают за уровень сигнала на входе усилитель-умножителей, а так же за качество выходного сигнала, фильтруя побочные составляющие спектра генерируемого сигнала. Фильтры выполнены по микрополосковой технологии на встречно-штыревых резонаторах, что позволяет избавиться от частот зеркального канала, а так же позволяет подавить побочные составляющие на частотах  $\lambda \cdot N$ , где  $N \in [2, \infty]$ , а  $\lambda$  – длина волны.

Полученные технические характеристики данного СЧ позволяют сделать заключение о больших перспективах использования метода DDS. Весьма перспективным видится использование комбинированных систем синтеза с использованием схем DDS в СЧ с ФАПЧ.

#### ЛИТЕРАТУРА

1. Радиопередающие устройства: учебник для вузов / В.В.Шахгильдян [и др.]; под ред. В.В. Шахгильдяна. – 3-е изд. – Москва: Радио и связь, 2003. – 560 с.
2. Ридико Л.И. DDS: прямой цифровой синтез частоты // Компоненты и технологии. - 2001. № 7-8.