

Министерство образования Республики Беларусь  
Учреждение образования  
«Белорусский государственный университет  
информатики и радиоэлектроники»

Факультет компьютерного проектирования

Кафедра электронной техники и технологии

**Н. С. Собчук**

## **ПРОГРАММНО-УПРАВЛЯЕМЫЕ ЭЛЕКТРОННЫЕ СРЕДСТВА**

*Рекомендовано УМО по образованию в области информатики  
и радиоэлектроники для специальности 1-39 02 02 «Проектирование  
и производство программно-управляемых электронных средств» в качестве  
пособия*

Минск БГУИР 2018

УДК [621.396.6+621.3.049.77]:004.45(076)

ББК 31.844.1я73+32.972я73

C55

Рецензенты:

кафедра интеллектуальных систем  
Белорусского национального технического университета  
(протокол №11 от 17.05.2016);

декан факультета электросвязи учреждения образования  
«Белорусская государственная академия связи»,  
кандидат технических наук, доцент С. М. Держинский

**Собчук, Н. С.**

C55 Программно-управляемые электронные средства : пособие / Н. С. Собчук. – Минск : БГУИР, 2018. – 84 с. : ил.  
ISBN 978-985-543-352-2.

Пособие охватывает восемь тем в рамках основных разделов учебной дисциплины «Программно-управляемые электронные средства», в которых рассматриваются комплексно и системно вопросы проектирования электронных средств с использованием базовых матричных кристаллов, вопросы оценки теплового режима интегральных схем, вопросы проектирования высокоточных многослойных печатных плат и эффективные технологии сборки программно-управляемых электронных средств.

Предназначено для закрепления и углубления теоретических знаний, полученных на лекциях и в процессе самостоятельного изучения дисциплины, приобретения практических навыков расчета основных параметров резисторных усилительных каскадов и инверторов.

Пособие предназначено для использования студентами специальности 1-39 02 02 «Проектирование и производство программно-управляемых электронных средств» по дисциплине «Программно-управляемые электронные средства» на практических занятиях.

**УДК [621.396.6+621.3.049.77]:004.45(076)**  
**ББК 31.844.1я73+32.972я73**

**ISBN 978-985-543-352-2**

© Собчук Н. С., 2018

© УО «Белорусский государственный университет информатики и радиоэлектроники», 2018

## СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	4
ТЕМА 1 Базовые матричные кристаллы .....	5
ТЕМА 2 Расчет резисторного каскада на биполярном транзисторе (БТ).....	24
ТЕМА 3 Расчет резисторного каскада на полевом транзисторе (ПТ).....	31
ТЕМА 4 Порядок расчета конструктивных и электрических параметров элементов МДП-ИМС .....	36
ТЕМА 5 Разработка топологии полупроводниковой ИМС .....	44
ТЕМА 6 Проектирование высокоточных многослойных печатных плат.....	58
ТЕМА 7 Обеспечение тепловых режимов работы ИМС .....	69
ТЕМА 8 Эффективные технологии сборки программно-управляемых электронных средств.....	76
ЛИТЕРАТУРА .....	81
ПРИЛОЖЕНИЕ А Технологические ограничения на размеры МДП-структур .....	82

## ВВЕДЕНИЕ

Проектирование электронных средств представляет собой многоэтапный процесс (итеративный). В ходе проектирования последовательно уточняется и детализируется описание будущего изделия. Этот процесс предполагает наличие многих уровней описания. Переходы от одних этапов проектирования к другим в направлении сверху вниз естественны и соответствуют нормальному ходу. Переходы в противоположных направлениях возникают, когда на последующих стадиях проектирования выявляется невозможность практической реализации решений, принятых на предшествующих этапах. Это заставляет проектировщиков пересматривать ранее принятые решения, иногда на этапах изготовления серийной продукции или даже в ходе эксплуатации.

Программно-управляемые электронные средства относятся к сложным системам. Процесс их проектирования характеризуется высокой размерностью решаемых задач, наличием большого числа возможных вариантов, необходимостью учета разнообразных факторов. В основе проектирования сложных систем лежит блочно-иерархический подход, сущность которого состоит в уменьшении сложности решаемой проектной задачи. Это осуществляется за счет выделения ряда иерархических уровней абстрагирования, которые различаются степенью детализации представлений об объекте.

Внедрение систем автоматизированного проектирования (САПР) не изменяет сути процесса проектирования. Тем не менее характер деятельности разработчика с внедрением САПР существенно меняется, так как разработка изделия в автоматизированном варианте предполагает согласованное взаимодействие оператора и ЭВМ.

ЭВМ поручают рутинную работу. На оператора в процессе автоматизированного проектирования возлагаются творческие функции. Как правило, это связано с выбором варианта решения, определения структуры, метода расчета и др. Эти функции трудно формализовать. Здесь опыт и талант инженера определяют конечный результат. Чтобы оператор мог правильно оценить результаты работы ЭВМ, необходимо практическое обучение оператора системному подходу к процедуре проектирования. В пособии рассматриваются разновидности базовых матричных кристаллов (БМК), на основе которых можно быстро и качественно осуществить проектирование программно-управляемых электронных средств. Используя информацию о БМК, студенты производят расчеты аналоговых и цифровых устройств. С помощью соответствующих программ на ЭВМ производится моделирование этих устройств. Затем осуществляется трассировка соединений на подложках, расчет тепловых режимов узлов, выбор корпуса и расчет защиты от влаги. Таким образом, студент получает знания о процессах проектирования, выполняемых в автоматизированном варианте, что в конечном итоге позволит ему правильно оценить результаты работы ЭВМ и повысит качество проекта.

## ТЕМА 1 БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ

Базовый матричный кристалл (БМК) – это вентиляционная матрица (*gate array*). Она представляет собой кристалл интегральной схемы с определенным набором регулярно расположенных компонентов, которые соединены и (или) не соединены между собой, предназначенный для создания полузаказных специализированных интегральных схем путем формирования межэлементных соединений на завершающих этапах технологического процесса их изготовления.

Проектирование интегральных схем на основе БМК позволяет существенно сократить сроки разработки и их изготовление, а также снижает в конечном итоге стоимость интегральных схем и аппаратуры на их основе.

БМК обычно содержит матрицу внутренних базовых ячеек, предназначенную для реализации функциональных блоков интегральных схем, и группу интерфейсных ячеек или периферийных ячеек, размещенных по периферии кристалла и предназначенных для формирования схем ввода – вывода интегральных схем. В зависимости от типа используемых базовых ячеек и интерфейсных ячеек различают типы БМК для создания цифровых, аналоговых и цифроаналоговых интегральных схем.

При проектировании БМК стремятся наилучшим образом сбалансировать число базовых ячеек, трассировочные ресурсы кристалла и число контактных площадок для подключения внешних выводов. Для современных БМК может потребоваться до 500...1000 внешних выводов.

При описании БМК существуют следующие основные понятия и определения:

- базовая ячейка (БЯ) как некоторый набор схемных компонентов, регулярно повторяющийся на определенной площади кристалла. Базовые ячейки внутренней области БМК именуются матричными базовыми ячейками (МБЯ), ячейки периферийной зоны – периферийными базовыми ячейками (ПБЯ). Применяются два способа организации ячеек БМК:

1) из компонентов МБЯ может быть сформирован один логический элемент, а для реализации более сложных функций используется несколько ячеек;

2) из компонентов МБЯ может быть сформирован любой функциональный узел, а состав компонентов ячейки определяется схемой самого сложного узла;

- функциональная ячейка (ФЯ) – функционально законченная схема, реализуемая путем соединения компонентов в пределах одной или нескольких БЯ;

- библиотека ФЯ – совокупность ФЯ, используемых при проектировании схемы на основе БМК (МАБИС).

Параметры БМК можно разделить на четыре группы:

- функциональные возможности (число эквивалентных вентиляей, тип БЯ, число МБЯ и ПБЯ, состав библиотеки ФЯ и т. п.);

- электрические параметры (уровни напряжений, кодирующих логические сигналы, напряжения питания, потребляемые токи, задержки распространения сигналов, максимальные частоты переключений и т. п.);

- конструктивно-технологические (тип корпуса, число выводов, число уровней металлизации, площадь кристалла и др.);

- эксплуатационные характеристики.

В мире изготавливаются БМК с десятками миллионов эквивалентных вентилях, обладающих задержками не более 0,1...0,2 нс.

Изготовление БМК можно разделить на следующие семь укрупненных этапов:

- исходное описание проекта;
- формирование базы данных и карты заказа;
- моделирование и верификация;
- предварительный просмотр проекта;
- проектирование топологии и верификация;
- окончательный просмотр проекта;
- изготовление опытных образцов.

Стремление автоматизировать процесс разработки проекта привело к появлению специальных языков программирования БМК. Среди них наиболее популярны языки *Verilog Hardware Description Languages (VHDL)*.

Среди СБИС БМК в настоящее время наиболее распространены микросхемы программируемой логики, выпускаемые фирмами *Xilinx, Altera, Actel*, и БИС/СБИС с программируемыми структурами (*CPLD, FPGA*, смешанные структуры).

По способу внутренней организации БМК различают два типа структуры БМК (рисунок 1.1):

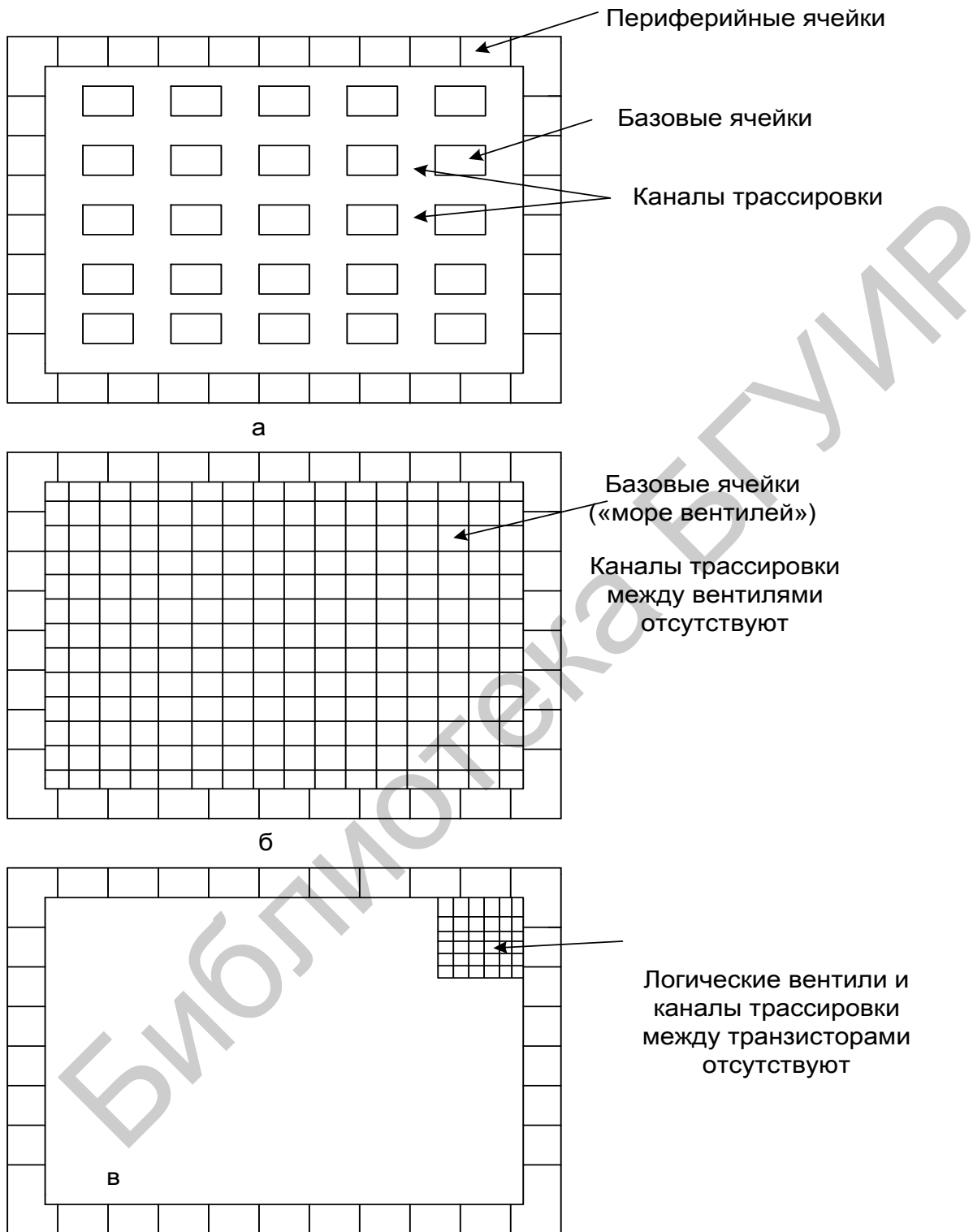
- «канальная» (*channel*) структура (рисунок 1.1, а), в которой базовые ячейки расположены равномерными рядами, между которыми размещены места для формирования межсоединений, являющиеся каналами трассировки;

- «бесканальная» (*channeles*) структура, в которой базовые ячейки расположены вплотную друг к другу, а каналы трассировки межсоединений расположены над незадействованными базовыми ячейками.

В свою очередь различают два типа «бесканальной» структуры БМК: «море вентилях» (*sea of gates*), в которой базовые ячейки представляют собой ячейку с определенной функцией (рисунок 1.1, б), и «море транзисторов» (*sea of transistors*), в которой базовые ячейки представляют собой один или два транзистора (рисунок 1.1, в).

Проектирование интегральных схем с использованием БМК предполагает наличие библиотеки функциональных ячеек, представляющих собой совокупность функциональных элементов, каждый из которых реализует строго определенную функцию, сформирован из базовых ячеек БМК и имеет строго однозначную систему электрических и топологических параметров и режимов работы. Справочный лист параметров и режимов функциональной ячейки, включающий набор статических и динамических параметров и режимов

эксплуатации функциональных ячеек, называют паспортом технических характеристик функциональных ячеек.



а – «канальная»; б – «бесканальная» – типа «море вентиляей»;  
в – «бесканальная» – типа «море транзисторов»  
Рисунок 1.1 – Типовые структуры базовых матричных кристаллов

В настоящее время существует несколько типов БМК, выполненных с использованием биполярной (ЭСЛ и ТТЛШ типов), КМОП- и арсенид-галлиевой технологий.

Различают два способа организации базовых ячеек, учитывающих структуру БМК:

- на основе компонентов базовой ячейки может быть сформирована одна функциональная ячейка, выполняющая элементарную функцию, например, функцию «НЕ» или «И» и т. д. Структуры базовых ячеек такого типа используются преимущественно в БМК на КМОП-транзисторах;

- на основе компонентов базовой ячейки может быть сформирована любая функциональная ячейка из библиотеки ячеек БМК на КМОП-транзисторах, например, триггер, полусумматор и т. д.

### **1.1 Быстродействующие аналоговые интегральные микросхемы для аппаратуры физического эксперимента (АФЭ)**

Каждый из физических экспериментов, каждый тип используемых детекторов характеризуется своими специфическими особенностями, что предопределяет различные требования и к детекторной электронике, которая по существу для каждого эксперимента должна быть специализированной. Применение БМК позволяет только путем изменения топологии коммутационных слоев создать БИС, учитывающие особенности конкретных физических экспериментов, в исключительно короткие сроки (3 – 4 месяца) и с низкой себестоимостью, в частности, за счет использования библиотеки схмотехнических и топологических решений.

Многоканальную АФЭ, системы мониторинга окружающей среды, безопасности ядерных реакторов, учета делящихся материалов объединяют общие алгоритмы обработки сигналов с детекторов ионизирующих излучений. Это позволило специалистам ряда организаций страны в относительно короткие сроки создать базовый комплект аналоговых микросхем для систем детекторной электроники.

В настоящее время базовый комплект включает следующие специализированные ИМС:

- ИМС, содержащую быстродействующий компаратор и *D*-триггер, предназначенную для использования в устройствах быстрой временной привязки (доли нс) – А1181;
- 4-канальную ИМС усилителя-формирователя с дифференциальным входом и выходом, предназначенную для амплитудной обработки информации (усиления, фильтрации) – А 1182А;
- 4-канальную ИМС усилителя-формирователя с дифференциальным входом и выходом для проволочных детекторов с электронной регулировкой формы аналогового сигнала – А 1182Б;



- 4-канальную ИМС дифференциального маломощного компаратора наносекундного диапазона, предназначенную для дискриминации аналогового сигнала – А 1183А;

- 4-канальную ИМС дифференциального компаратора наносекундного диапазона, содержащую схему регулировки гистерезиса – А 1183Б;

- 4-канальную ИМС дифференциального компаратора наносекундного диапазона, имеющего выходной каскад с открытым коллектором и реализующего функцию «ИЛИ» по четырем каналам – А 1183В.

БИС А 1184, реализованная на основе СБМК А3201, включает восемь каналов съема и предварительной обработки аналоговых сигналов, поступающих с проволочных трековых детекторов. Обобщенная структурная схема канала детекторной электроники представлена на рисунке 1.2.

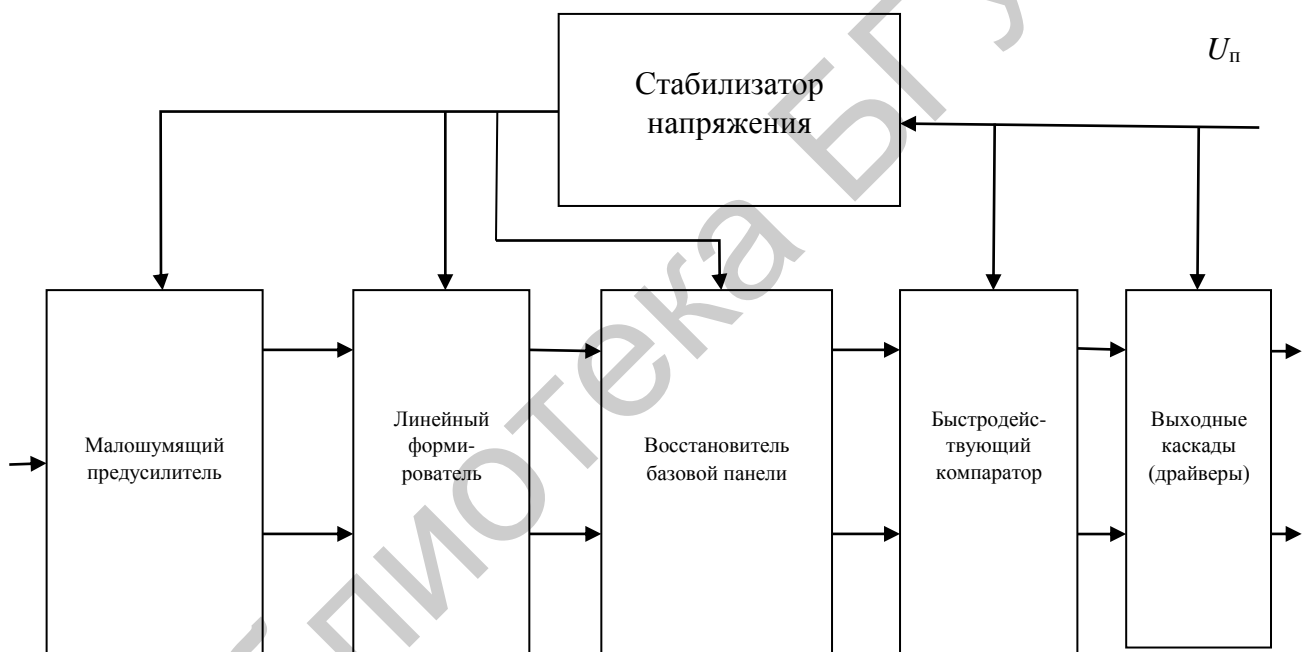


Рисунок 1.2 – Обобщенная структурная схема канала детекторной электроники

БИС А 1184 выполнена на двух чипах – аналоговом, содержащем восемь предусилителей-формирователей, и дискретно-аналоговом. Последний включает восемь компараторов, выходные драйверы и дополнительную общую на восемь каналов схему «ИЛИ».

Активными элементами микросхем являются *n-p-n* – транзисторные структуры и *p-n-p* – вертикальные транзисторы с коллектором в подложке. Пассивными – резисторы (низко-, высокоомные) и емкости на основе МОП-структур. Поперечное сечение структуры одной из микросхем (А 1184) представлено на рисунке 1.3.

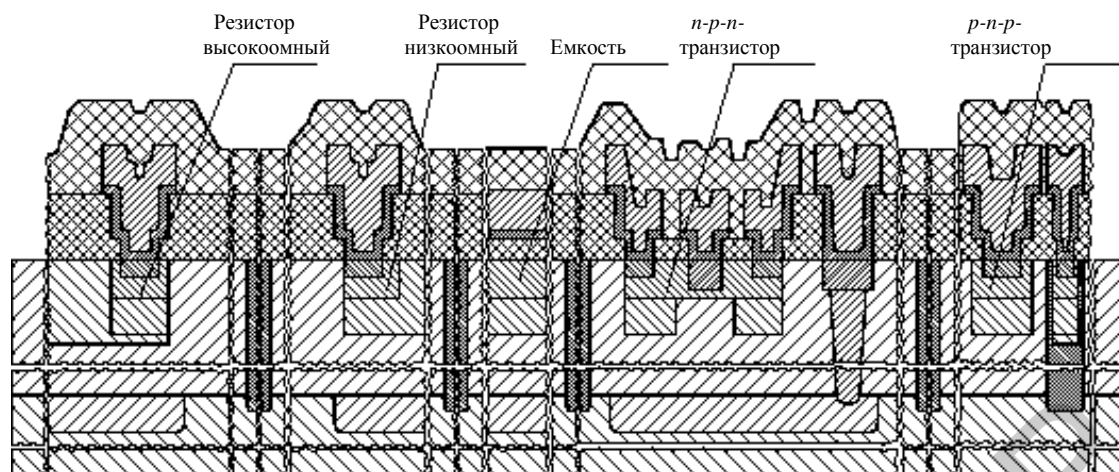


Рисунок 1.3 – Сечение структуры специализированного базового матричного кристалла

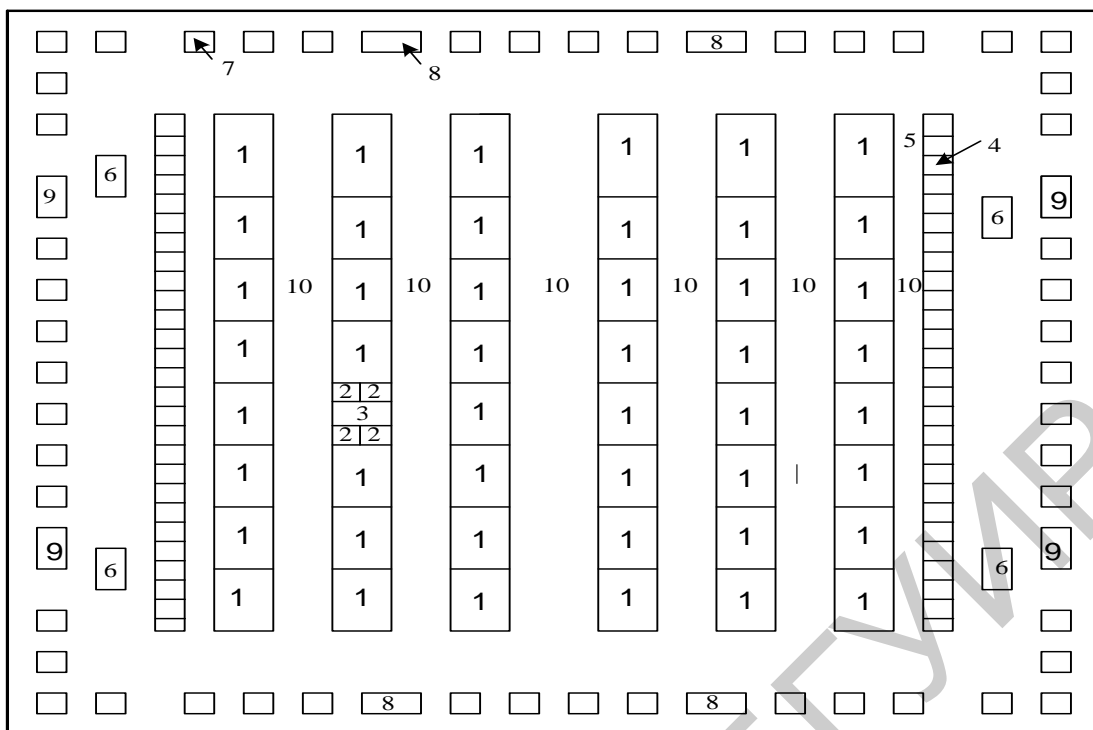
Использование такой элементной базы одновременно обеспечивает совокупность требований к электрическим параметрам ИМС, их высокую стойкость к воздействию спецфакторов, технологичность процессов изготовления, высокий процент выхода годных.

СБМК А 3201 содержит порядка 7000 элементов, в том числе около 1400 *n-p-n*-транзисторных структур с граничной частотой усиления по току  $f_{ГР} = 7$  ГГц. Количество контактных площадок на кристалле – 58, число уровней металлизации – два.

## 1.2 Сверхбыстродействующие БМК

БМК К1520ХМ1 и К1520ХМ2 разработаны на основе эмиттерно-связанной логики и предназначены для создания функционально различных матричных интегральных схем субнаносекундного быстродействия, используемых в сверхбыстродействующих блоках вычислительных устройств и систем автоматического управления. Указанные БМК представляют собой базовые кристаллы, имеющие канальную структуру, содержащую внутреннюю и периферийные части (рисунок 1.4).

Внутренняя часть БМК является матрицей размещенных в центре кристалла одноптипных базовых ячеек, каждая из которых состоит из четырех одинаковых фрагментов – набора некоммутированных транзисторов и резисторов (рисунок 1.5), достаточного для реализации двухвходового элемента «2И-ИЛИ-НЕ». В центре ячейки содержится набор компонентов для построения источника опорного напряжения для логических элементов ячейки.



1 – внутренняя базовая ячейка; 2 – фрагмент базовой ячейки;  
 3 – источник опорного напряжения; 4 – периферийная ячейка;  
 5 – сборка из двух транзисторов для четырехвходовой периферийной ячейки;  
 6 – источник опорного напряжения периферийной связи; 7 – сигнальная  
 контактная площадка; 8 – контактная площадка питания; 9 – контактная  
 площадка общей шины; 10 – каналы трассировки межсоединений  
 Рисунок 1.4 – Эскиз расположения элементов на БКМ К1520ХМ1

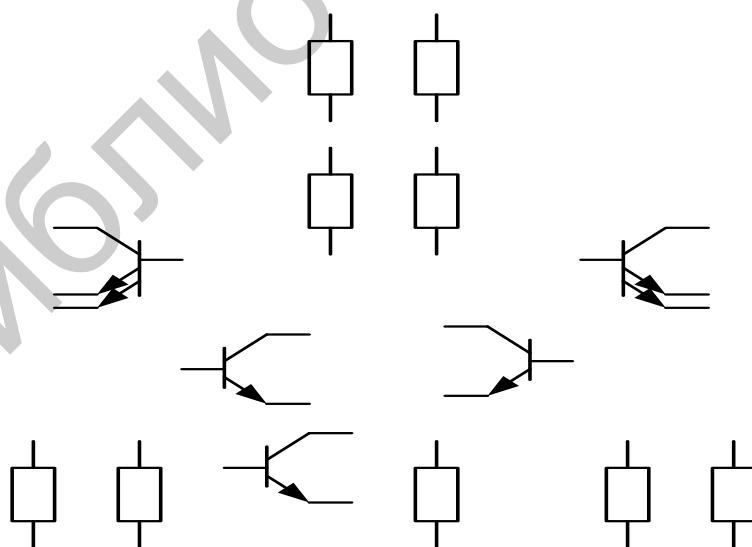


Рисунок 1.5 – Внутренняя часть БМК К1520ХМ1

Периферийная часть БМК К1520ХМ1 состоит из двух столбцов периферийных ячеек (рисунок 1.6), расположенных по двум противоположным сторонам кристалла, и содержит по 14 периферийных ячеек, предназначенных для построения 24 ЭСЛ выходных усилителей с компенсированными по току и температуре выходными уровнями напряжений. Мощные транзисторы выходных эмиттерных повторителей (36 шт. на одном кристалле) обеспечивают работу на низкоомную нагрузку (50 Ом), что дает возможность использовать БМК К1520ХМ1 для создания интерфейсных схем. В периферийной части кристалла расположены 56 контактных площадок, 48 из которых являются информационными, а восемь служат для подведения напряжения питания. Проводники шин «питание» и «общий» выполнены в двух слоях металлизации и образуют сетку, покрывающую кристалл; шесть проводников шины «общий», выполненные во втором слое металлизации, проходят над внутренними ячейками, объединяются широкими проводниками и соединяются с контактными площадками «общей» шины. Семь проводников шины питания, выполненных в первом слое металлизации, проходят между внутренними ячейками перпендикулярно «общим» шинам, объединяются широкими проводниками по двум другим противоположным сторонам кристалла и соединяются с контактными площадками шины «питание».

Соединение ячеек БМК в заказную схему осуществляется сигнальными трассами, проводимыми по отведенным для них регулярно расположенным каналам и размещенным в двух слоях металлизации. Каналы равномерно распределены между внутренними ячейками: по восемь вертикальных каналов в первом слое металлизации между ячейками и по 13 горизонтальных каналов во втором слое металлизации над ячейками. Максимальное количество вертикальных каналов на кристалле с учетом восьми каналов вдоль 56 периферийных ячеек: максимальное число горизонтальных каналов – 79.

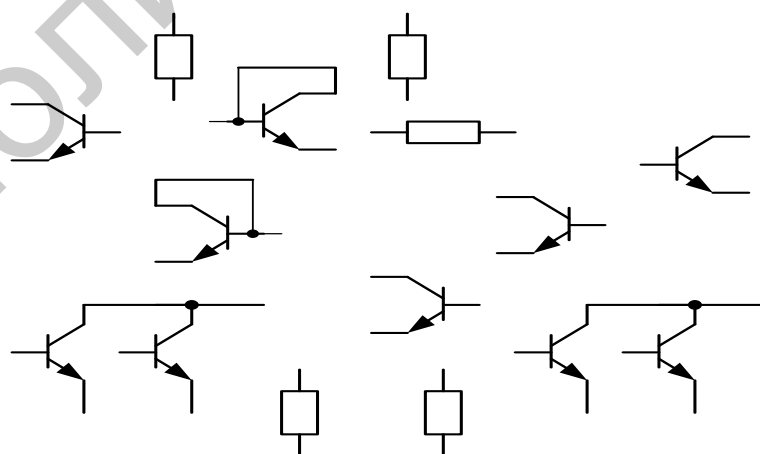


Рисунок 1.6 – Периферийная часть БМК К1520ХМ1

Проектирование логической структуры схемы осуществляется с помощью библиотеки функциональных ячеек, построенных на основе ЭСЛ схемотехнических решений.

Основные технические характеристики БМК К1520ХМ1 следующие.

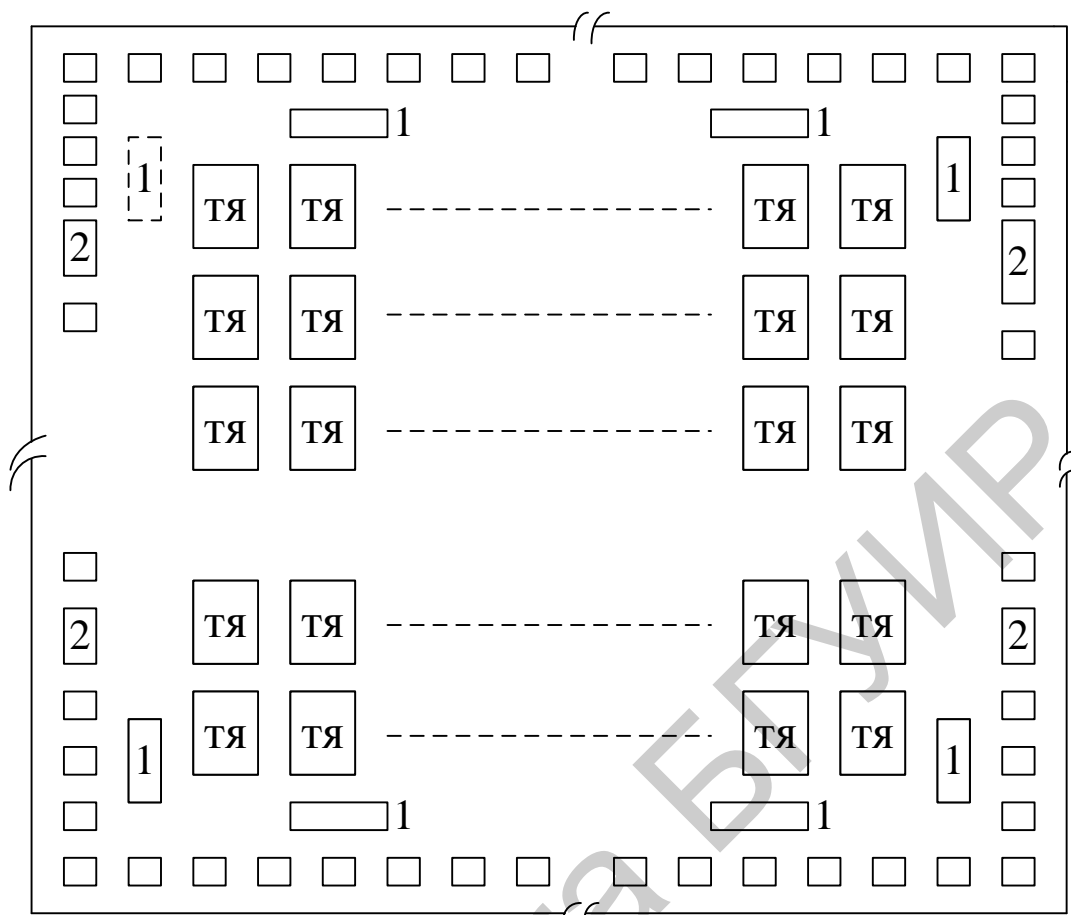
Число эквивалентных вентиляей	300
Время задержки распространения сигнала на вентиль, нс	0,7...0,8
Потребляемая мощность при 90 % использовании элементов ячейки, Вт	4
Входные/выходные уровни сигналов	серия 1500
Напряжение питания, В	$4,5 \pm 5 \%$
Диапазон рабочих температур, °С	0...70
Число ячеек:	
внутренних	36
периферийных	48
Количество программируемых слоев	3

БМК 1520ХМ2 также имеет «канальную» структуру и содержит внутреннюю и периферийные части (рисунок 1.7). На внутренней части БМК располагаются 72 топологические ячейки, расположенные в виде матрицы элементов.

Каждая топологическая ячейка разделена на четыре фрагмента, содержащих 17 транзисторов и 10 резисторов. Кроме того, в БМК имеются компоненты для формирования источников опорного напряжения. На периферийной части БМК расположены 50 выходных элементов, восемь источников опорного напряжения, 90 входных резисторов и 108 контактных площадок для подключения к выводам корпуса. Межсоединения на кристалле выполняются металлизацией в двух слоях: разводка связей внутри топологической ячейки осуществляется, как правило, в первом слое, а соединение элементов различных топологических ячеек производится металлизированными проводниками, расположенными в каналах по трассам в двух слоях.

В первом слое БМК имеется 124 трассы для проводников, проходящих в одном направлении: по пятнадцать трасс между рядами топологических ячеек, 10 и 9 трасс – по краям матрицы. Во втором слое предусмотрено 126 трасс для проводников, расположенных в поперечном направлении, по 14 трасс над каждым рядом топологических ячеек. Число трасс во втором слое можно увеличивать за счет неиспользуемых топологических ячеек: над каждым незадействованным рядом топологических ячеек можно провести дополнительно до 22 трасс. Ширина проводников в двух слоях одинакова и составляет 8 мм, шаг проводников в первом слое 15 мм, во втором – 13 мм.

Проектирование логических схем осуществляется с помощью библиотеки функциональных ячеек.



1 – источник опорного напряжения;  
 2 – контактные площадки шины питания  
 Рисунок 1.7 – Структура БМК К1520ХМ2

### 1.3 БМК на основе арсенид-галлиевой технологии

Арсенид галлия вследствие высокой подвижности носителей заряда обеспечивает повышенное быстродействие логических элементов микросхем по сравнению с элементами, выполненными на кремнии.

Применение арсенида галлия позволяет резко повысить максимальную частоту обработки цифровых сигналов. Вследствие этого такие интегральные схемы имеют специальные области применения: контрольно-измерительное оборудование, системы цифровой связи. Одной из отечественных интегральных схем указанного типа является БМК К6501ХМ1, позволяющий создавать интегральные схемы на арсениде галлия, обеспечивающие обработку цифровых сигналов на частотах до 1 ГГц.

Интегральные схемы выполнены на основе полупроводниковых приборов трех типов: диодов Шоттки, полупроводниковых резисторов и полевых транзисторов с затворами Шоттки. Диоды Шоттки реализованы на транзисторных структурах с объединенными областями истока и стока, а структура резисторов соответствует структуре транзисторов без затвора.

Логические элементы БМК К6501ХМ1 построены на основе схемотехники буферизованной логики или истоково-связанной логики.

В БМК используются входные трансляторы на переключателях тока и выходные трансляторы.

Входные трансляторы обеспечивают преобразование уровней логических сигналов во всем частотном и динамическом диапазоне при всех допустимых значениях напряжения питания и рабочих температур.

Выходные формирователи обеспечивают преобразование уровней внутренних логических элементов в уровни внешних сигналов серии.

Логические элементы БМК построены таким образом, что их ток потребления слабо зависит от логического состояния и не меняется при изменении рабочей частоты. Такая схемотехника значительно снижает помехи в цепях питания. Этой же цели служит и подключение мощных каскадов к отдельной цепи питания, не связанной с питанием остальных узлов схемы.

Для объединения полупроводниковых приборов в схему использована двухуровневая система электрических межсоединений на основе золота. Применение золотой разводки обеспечивает ее высокую устойчивость к электромиграции и практически исключает коррозию.

Структура БМК включает внутреннюю и периферийные области. В периферийной области расположены входные и выходные топологические ячейки, а также внешние контактные площадки, общее количество которых 56, из них 44 сигнальные. Внутренняя область представляет собой матрицу идентичных топологических ячеек и стандартное поле трассировки межсоединений. На базе топологических ячеек разрабатывается библиотека БМК.

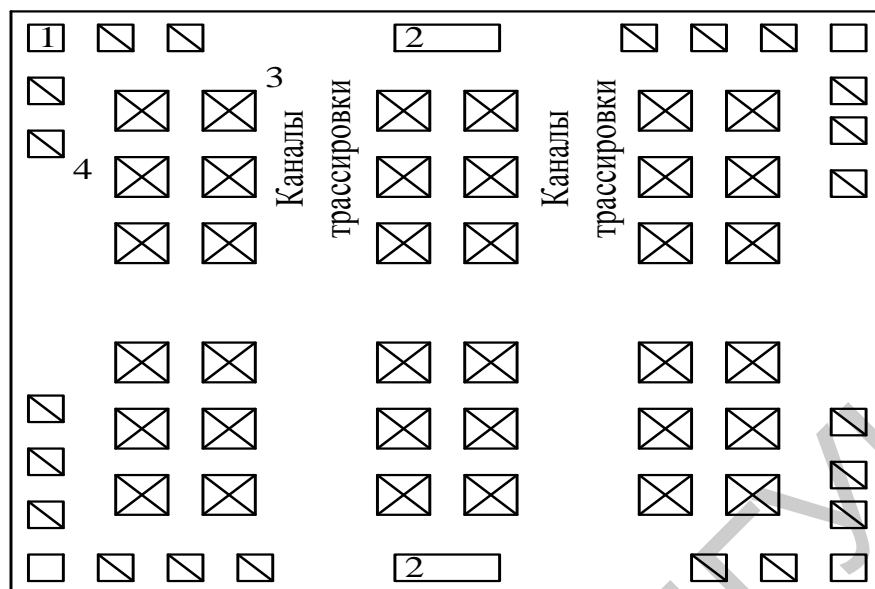
#### **1.4 Быстродействующие БМК на основе маломощной транзисторно-транзисторной логики с диодами Шоттки (ТТЛШ)**

К биполярным ТТЛШ БМК относятся интегральные схемы типа К1532ХМ1 и К1540ХМ1. Данные БМК представляют собой матрицы нескоммутированных логических вентиляей.

Внутреннее поле БМК образовано регулярной матричной структурой из фрагментов, содержащих четыре базовые ячейки и размещенных в 12 столбцах и 18 строках для К1540ХМ1 и 10 столбцах и 14 строках для К1532ХМ1 в центре кристалла (рисунок 1.8). Проводники шины питания базовой ячейки выполнены в первом слое металлизации, шины «земля» базовой ячейки – во втором слое металлизации. Обе шины образуют «сетку», покрывающую кристалл.

Периферийные ячейки равномерно размещены по четырем сторонам кристалла. По периферии размещено 68 контактных площадок для К1540ХМ1 и 56 контактных площадок для К1532ХМ1, из которых 60 предназначены для ввода – вывода логической информации, две контактные площадки для подключения источника питания  $+E_{пит}$ , а шесть – для подключения «общей» шины.

Для БМК 1532ХМ1 – 48 для ввода вывода информации, четыре для +E<sub>пит</sub>, четыре для «общей» шины.



1 – шина «общий»; 2 – шина «питание»; 3 – внутренняя базовая ячейка;  
4 – контактные площадки

Рисунок 1.8 – Структура БМК К1540ХМ1 и К1520ХМ1

В состав каждого фрагмента базовой ячейки входят четыре одинаковые логические ячейки, каждая из которых содержит набор нескоммутированных резисторов, диодов и транзисторов (достаточный для построения трехвходового логического элемента с функцией «ЗИ-НЕ». Во фрагменте базовые ячейки расположены симметрично его центру.

Периферийная ячейка содержит набор нескоммутированных элементов (рисунок 1.9), на основе которых выполняются ТТЛ буферные каскады входных и выходных усилителей со стандартными ТТЛ уровнями сигналов, набор элементов периферийной ячейки достаточен для построения двунаправленного логического элемента: вход – повторитель – выход, реализующего функцию «2И-НЕ» с тремя состояниями выхода.

Имеющийся базовый состав библиотеки функциональных ячеек К1532ХМ1, К1540ХМ1 может быть изменен по требованию заказчика.

При разработке матричных БИС на основе БМК необходимо руководствоваться электрическими параметрами, присущими данным БМК.

Входные и выходные электрические параметры К1532ХМ1 и К1540ХМ1 следующие.

Входное напряжение низкого уровня	
$U_{IL}$ , В, не более	0,8
Входное напряжение высокого уровня	
$U_{IH}$ , В, не менее	2,0



Входной ток низкого уровня $I_{IL}$ , мА, не более	минус 0,2
Входной ток высокого уровня $I_{IH}$ , мкА, не более	20
Выходное напряжение низкого уровня $U_{OL}$ , В, не более	0,5
Выходное напряжение высокого уровня $U_{OH}$ , В, не менее	2,4
Выходной ток низкого уровня $I_{OL}$ , мА, не более	4
Выходной ток высокого уровня $I_{OH}$ , мкА, не более	минус 0,4
Выходной ток в третьем состоянии $I_{OZ}$ , мкА, не более	
низкого уровня $I_{OZL}$	минус 20
высокого уровня $I_{OZH}$	20

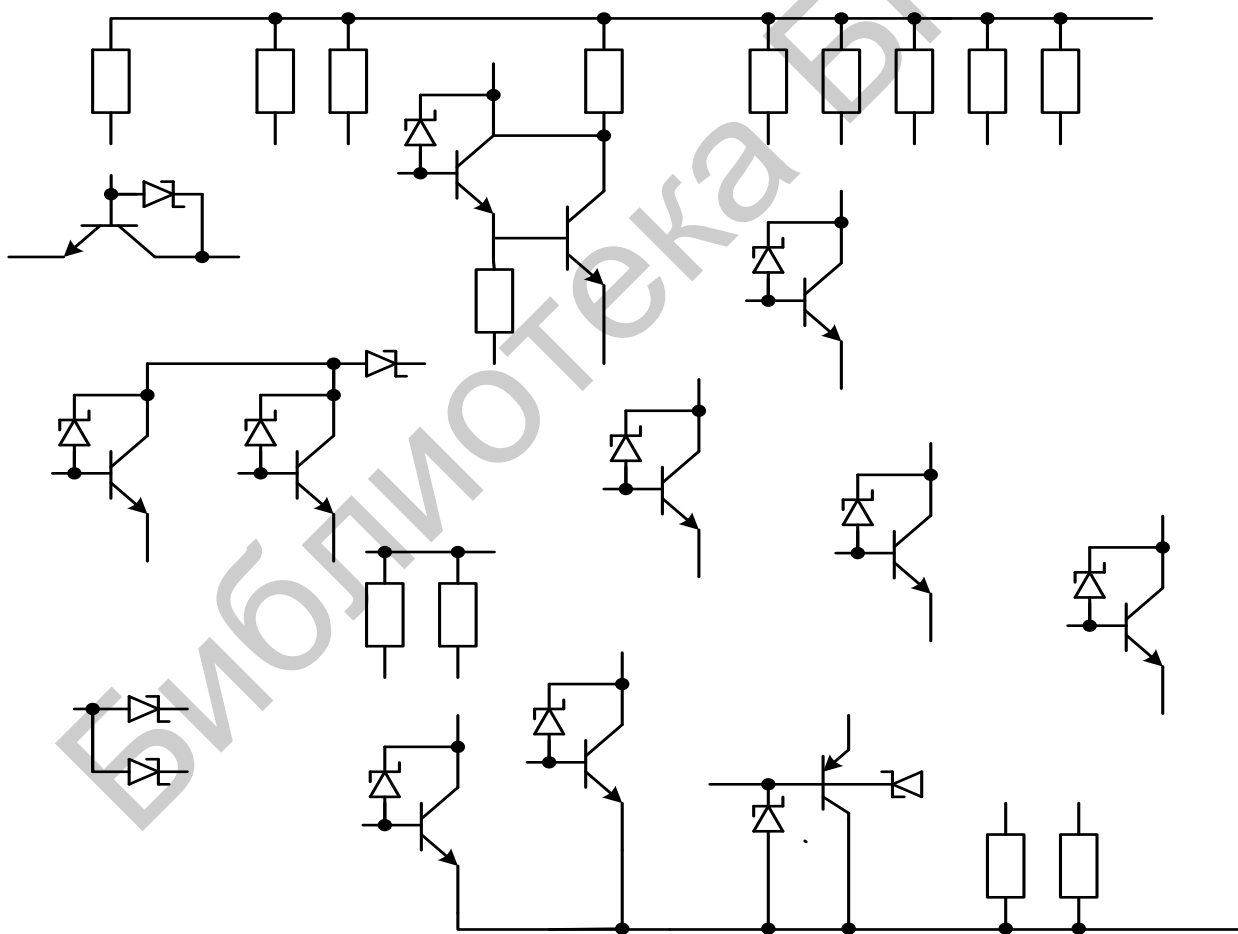


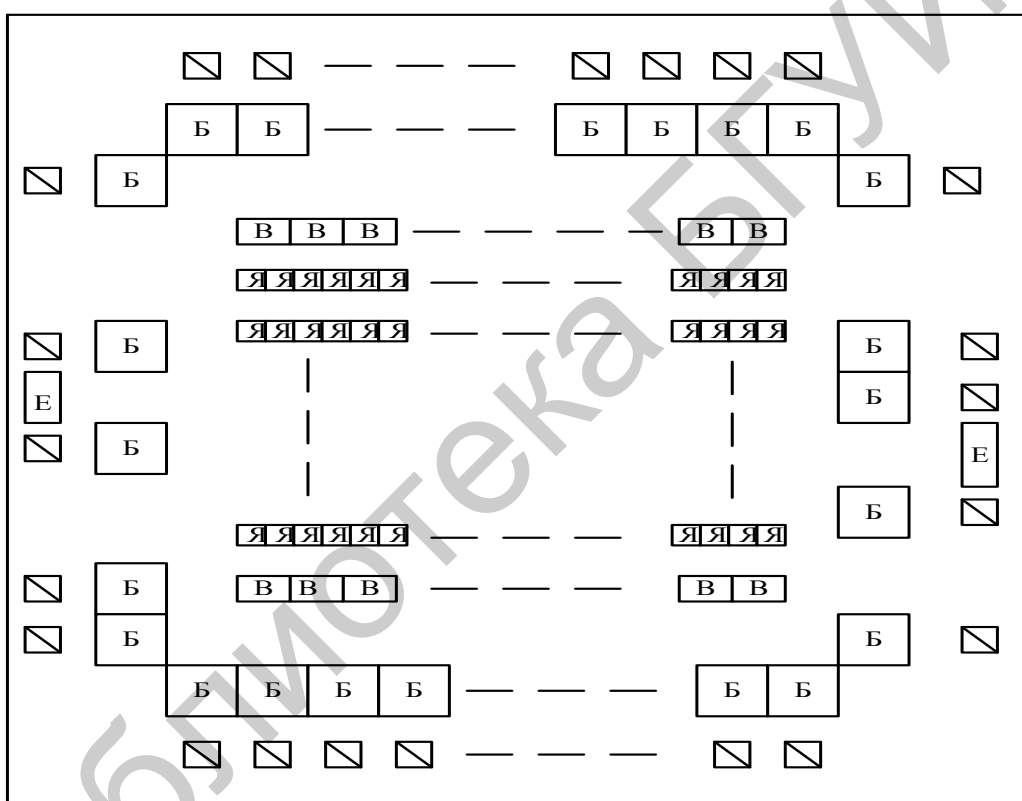
Рисунок 1.9 – Состав периферийной ячейки K1532XM1 и K1540XM1

Приведенные электрические параметры постоянны для всей номенклатуры матричных БИС на основе БМК.

Электрические параметры постоянны для всех типов схем, спроектированных на основе БМК, и соответствуют входным и выходным параметрам стандартной логической серии КР1533. Динамические параметры и токи потребления конкретной матричной схемы определяются в процессе разработки на основании параметров базовой и периферийной ячеек.

### 1.5 Быстродействующие БМК на основе КМОП-технологии

БМК К1575ХМ1 является матрицей, спроектированной на основе полевых комплементарных транзисторов. БМК имеет «канальную» структуру и представляет собой матрицу из 980 базовых ячеек, размещенных в 14 рядах, между которыми расположены каналы трассировки (рисунок 1.10).



Я – базовая ячейка; В – вспомогательная ячейка;

Б – буферная ячейка; Е – контактные площадки шины «питание»

Рисунок 1.10 –Общий вид БМК К1575ХМ1

Базовая ячейка содержит по одному  $p$ - и  $n$ -канальному полевому транзистору с изолированным затвором, предназначенному для реализации одного логического элемента с функцией «2И-НЕ», «2ИЛИ-НЕ» или более сложных логических элементов, реализуемых в нескольких ячейках. Затворы каждой комплементарной пары полевых транзисторов объединены и выведены в каналы трассировки. Сверху и снизу матрицы базовых ячеек размещены в два ряда по 35 вспомогательных ячеек, предназначенных для реализации элементов

синхронизации, задерживающих фронт или срез сигнала и отличающихся по конфигурации от базовой. По периметру матрицы базовых ячеек размещено 46 буферных ячеек, содержащих по два мощных  $p$ - и  $n$ -канальных МОП-транзистора для реализации функции «Выход», и по два мощных  $p$ - и  $n$ -канальных МОП-транзистора для реализации функции «Вход».

Разводка связей полузаказных интегральных схем осуществляется двумя уровнями межсоединений, первым из которых являются поликремниевые шины, имеющие фиксированную структуру, а вторым – металлизированные шины изменяемой конфигурации. Для защиты входов интегральной схем от воздействия статического электричества и напряжения, выходящего за пределы допустимых значений, в состав буферной ячейки введены специальные элементы защиты.

В БМК размещены вспомогательные ячейки, предназначенные для реализации логических элементов синхронизации, которые могут отличаться от состава базовых ячеек. По периметру матрицы базовых ячеек расположены буферные ячейки, содержащих мощные  $p$ - и  $n$ -канальные полевые транзисторы для реализации входных или выходных логических каскадов. Разводка связей полузаказных схем осуществляется двумя уровнями межсоединений, первым из которых являются поликремниевые шины, имеющие фиксированную структуру, а вторым – металлизированные шины изменяемой конфигурации.

Электрические параметры БМК К1575ХМ1, имеют следующие значения:

Напряжение питания, $E_{пит}$ , В	+5 В ± 5 %
Диапазон рабочих температур, °С	минус 10...+70
Динамические параметры:	
время задержки распространения, нс	
базового элемента «2И-НЕ»	15
буферного входного элемента	15
буферного выходного элемента	20
Входное напряжение низкого уровня	
$U_{IL}$ , В, не более	0,8
Входное напряжение высокого уровня	
$U_{IH}$ , В, не менее	$U_{cc} - 0,8$
Выходное напряжение высокого уровня	
$U_{OH}$ , В, не менее	$U_{cc} - 0,4$
Выходное напряжение низкого уровня	
$U_{OL}$ , В, не более	0,4
Выходной ток низкого уровня	
$I_{OL}$ , мА, не более	0,8
Выходной ток высокого уровня	
$I_{OH}$ , мкА, не более	минус 0,4
Входной ток низкого уровня	
$I_{IL}$ , мкА, не более	5
Входной ток высокого уровня	
$I_{IH}$ , мкА, не более	5

Число эквивалентных логических вентиляей  
типа «2И-НЕ»

980

Статические параметры аналогичны серии К1554.

БМК К1574ХМ1 имеет «бесканальную» структуру «море вентиляей» и представляет собой матрицу из 13000 внутренних базовых ячеек, размещенных в 50 рядов.

## 1.6 Быстродействующие БМК на основе БиКМОП-технологии

БМК К1577ХМ1 выполнен по БиКМОП-технологии, сочетающей преимущества биполярных и МОП-транзисторов, что обеспечивает высокое быстродействие, плотность компоновки, высокую нагрузочную способность и низкую потребляемую мощность. БМК имеет «канальную» структуру и включает ячейки элементов с расположенными между ними каналами для трассировки по первому уровню металла. Разводка второго уровня осуществляется в перпендикулярном направлении в каналах, ограниченных шинами разводки питания.

В качестве базовой матричной ячейки выбран логический элемент «3И-НЕ», на основе которого можно получать элементы «3И-НЕ», «2И-НЕ» и инвертор. Расширенная библиотека элементов с более сложными функциями, имеющаяся в подсистеме функционально-логического проектирования, на этапе проектирования топологии сменных слоев раскладывается в базис указанных трех элементов. В конструкции матричной ячейки используется принцип функциональной интеграции, что позволяет на ячейке размером 112x42 мм<sup>2</sup> разместить три *n*-МОП, три *p*-МОП, *n-p-n*-, *p-n-p*-транзисторы. Применение биполярных усилителей в каждой ячейке значительно уменьшает зависимость задержки переключения элементов от длины соединительных шин и коэффициента разветвления.

Электрические параметры БМК К1577ХМ1 имеют следующие значения.

Время задержки распространения сигнала на вентиль, нс	1,3
количество вентиляей	2640

Остальные электрические параметры аналогичны БМК К1574ХМ1.

## 1.7 Методология проектирования

Совершенствование аппаратуры, связанное с новыми архитектурными решениями блоков и устройств, требует разработки новых специализированных микросхем, создание которых связано со значительными материальными и временными затратами и требует высококвалифицированного персонала для проектирования микросхем. Методология проектирования микросхем на основе БМК предполагает:

- автоматизацию процесса проектирования специализированных микросхем;

- организацию взаимодействия заказчика и изготовителя в процессе проектирования микросхем.

Возможность использования систем автоматизированного проектирования (САПР) является важнейшим аргументом в пользу использования БМК в разработке специализированных микросхем, так как наиболее трудоемкие задачи проектирования, и прежде всего топологические, перекладываются на ЭВМ.

Функционально полная САПР выполняет следующие этапы проектирования:

- преобразование функциональной системы в совместимую с библиотекой функциональных ячеек БМК;
- логическое проектирование;
- электрическое моделирование и анализ с учетом реальных задержек в цепях БИС;
- топологическое размещение блоков;
- трассировку межсоединений блоков;
- контроль технологических допусков;
- проверку соответствия топологии функциональной и электрической схеме;
- генерацию тестов для функционального контроля изделия;
- преобразование топологической информации в пригодную для использования с фотонаборной установкой.

Как правило, САПР аппаратно реализуется на основе одной мощной ЭВМ и нескольких рабочих графических станций, в состав которых входят мини-ЭВМ, устройства памяти, видеотерминал, графопостроитель и устройство сопряжения с центральной ЭВМ.

САПР включает следующие подсистемы:

1. Транслятор иерархического описания электрической схемы, представленной в базисе библиотеки базовых ячеек БМК, и тестов моделирования.
2. Иерархическое логическое моделирование.
3. Схемотехническое моделирование схемы и ее фрагментов.
4. Интерактивное проектирование топологии фрагментов схемы.
5. Проектирование топологии схемы и ее фрагментов: автоматическое, интерактивное (в том числе корректировка топологии).
6. Верификация топологии схемы.
7. Временная верификация схемы.
8. Подготовка тестов для контроля схемы.
9. Разработка документации и подготовка данных для генераторов изображения по изготовлению фотошаблонов.
10. Управление базой данных САПР.

Ввод, вывод и обработка данных в САПР проводится в мультипрограммном режиме с использованием цифровых дисплеев. В процессе трансляции возможно раскрытие описания схемы до любого уровня иерархии:

для логического моделирования, временной верификации, подготовки тестов и тестов для генераторов изображений – до нулевого уровня функциональной ячейки; при проектировании, верификации топологии, выпуска документации – до необходимого уровня; подготовка логического моделирования обеспечивает иерархическое моделирование схемы или отдельных блоков любого уровня.

Разработчик аппаратуры выступает в качестве заказчика схемы определенной конфигурации, а изготовитель полупроводникового прибора – в качестве исполнителя (изготовителя). Заказчик формулирует цель, которую необходимо реализовать в ходе разработки, формулирует требования технического задания, формулирует требования к элементной базе, которые позволят получить требуемые характеристики схемы. Уровень взаимодействия между заказчиком и изготовителем при работе над проектом зависит от степени совершенства и уровня автоматизации САПР, а также обеспеченности средствами проектирования. Взаимодействие заказчика и изготовителя может начинаться с любого этапа проектирования. Наиболее удобным для заказчика является первый уровень взаимодействия, при котором заказчик разрабатывает структуру и функциональную схему, а также алгоритм ее поведения, которые затем направляются изготовителю схемы.

Второй уровень, при котором заказчик передает изготовителю отмоделированную функциональную схему и тесты функционального контроля, предполагает наличие у заказчика средств моделирования (машинных и программных). В этом случае заказчик выполняет логическое моделирование, электрическое моделирование с учетом реальных задержек элементов и генерации тестов функционального контроля, изготовитель воплощает проверенную функциональную схему в физическую структуру. Предварительно изготовитель направляет заказчику информацию о технических характеристиках БМК (технические условия), методику по проектированию схемы с характеристиками функциональных ячеек, программное обеспечение логического и электрического моделирования и генерации тестов функционального контроля, а также таблицу истинности и электрических характеристиках, представленную в машинных кодах.

Третий уровень является наиболее удобным для изготовителя схем, поскольку в нем все работы по проектированию выполняются заказчиком. Изготовителю передается информация о топологии для изготовления фотошаблонов в машинных кодах генератора изображений и тесты функционального контроля под автоматизированную измерительную систему изготовителя. Изготовитель осуществляет только изготовление фотошаблонов образцов схем. Однако в этом случае заказчик должен быть обеспечен полным комплектом средств САПР, причем необходимо дополнительное обучение его специалистов работе с программными средствами проектирования и контроля топологии. В этом случае изготовитель передает заказчику информацию о технических характеристиках БМК в виде технических условий, инструкцию по проектированию схем, включающую функциональную и топологические библиотеки, программное обеспечение логического моделирования,

разработки, редактирования и контроля топологии, генерации топологии программируемых слоев, а также представленную в машинных кодах информацию о функциональной библиотеке функциональных ячеек и их параметры, о топологической библиотеке функциональных ячеек и их параметрах, а также топологию неизменяемой части программируемых слоев БМК.

Таким образом, проектирование и изготовление схем на основе БМК является перспективным направлением проектирования программно-управляемых электронных средств. Оно позволяет существенно сократить сроки разработки и изготовления схем, а также аппаратуры на их основе, снизить стоимость схем и устройств в целом.

#### Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы и определить необходимые процедуры проектирования.
3. Используя средства автоматизированного проектирования, осуществить разработку схемы электронного модуля, используя компоненты БМК, и оптимизировать ее параметры.

## ТЕМА 2 РАСЧЕТ РЕЗИСТОРНОГО КАСКАДА НА БИПОЛЯРНОМ ТРАНЗИСТОРЕ (БТ)

Расчеты электронных схем имеют свою структуру, которая определяет последовательность действий. Каждый расчет должен содержать техническое задание, в которое входят исходные данные для расчета и перечень того, что надо получить в результате расчета.

Исходные данные: полоса усиливаемых частот  $f_n \dots f_v$ , допустимые частотные искажения на верхних и нижних частотах  $M_n$  и  $M_v$ , требуемый коэффициент усиления по току  $K_i$ , напряжение источника питания –  $E_k$ , входное сопротивление следующего каскада  $R_{вх.сл}$ , емкость  $C_{бэ.сл}$ , эквивалентное сопротивление делителя для подачи смещения в цепи входа следующего каскада  $R_{д.сл}$ .

Требуется определить: тип транзистора, положение точки покоя на статических характеристиках и данные режима по постоянному току, сопротивления и емкости элементов принципиальной схемы каскада, коэффициенты усиления по току и по напряжению, реальные частотные искажения в схеме.

Таким образом, в соответствии с заданием определяется последовательность расчета: выбор типа транзистора и его режима по постоянному току, определение элементов принципиальной схемы, расчет результирующих показателей. Расчет ведется в схеме с ОЭ в режиме А. Принципиальная схема каскада дана на рисунке 2.1.

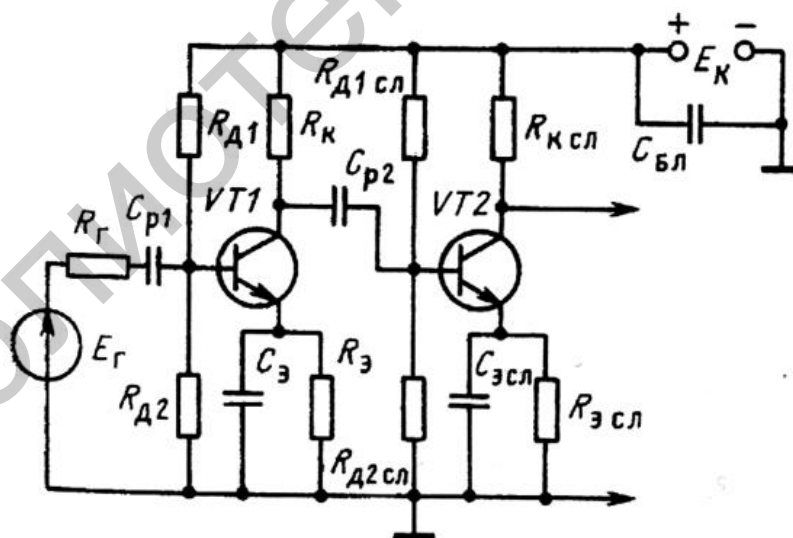


Рисунок 2.1 – Принципиальная схема резисторного каскада на БТ

### I Выбор типа транзистора и режима работы по постоянному току

1. Транзистор выбираем по предельной частоте  $f_{h21э}$  и по требуемому усилению по току  $h_{21э}$ :

$$f_{h21э \text{ треб}} \geq \frac{f_v}{\sqrt{M_v^2 - 1}}; \quad (2.1)$$



$$h_{21э \text{ треб}} \geq (1,2 \dots 1,5)K_i. \quad (2.2)$$

Выбор производим среди маломощных транзисторов, предпочтительно кремниевых.

Выписываем параметры выбранного транзистора:

$$h_{21э}, f_{h_{21э}}, C_{\text{вых}}, h_{22э}, I_{K \text{ max}}, U_{KЭ \text{ max}}.$$

2. Определяем коллекторный ток в точке покоя  $I_{K0}$ :

$I_{K0} \geq (1,2 \dots 1,5) I_{\text{вх.сл}}$ , но не меньше тока  $I_K$ , при котором обеспечивается соответствие параметров, указанных в паспорте.

3. Находим напряжение в точке покоя  $U_{KЭ0} = (0,4 \dots 0,5) E_K$ .

4. На семействе статических выходных характеристик выбранного транзистора определяем положение точки покоя и ток базы в этой точке  $I_{B0}$ .

5. Переносим точку покоя на входную характеристику, снятую при  $|U_{KЭ}| > 0$ , и находим напряжение  $U_{BЭ0}$  в этой точке.

## II Определение элементов принципиальной схемы

6. Выбираем эмиттерную стабилизацию точки покоя. Задаемся падением напряжения на сопротивлении  $R_э$ :  $U_{Rэ} = (0,2 \dots 0,3)E_K$ . Чем больше  $U_{Rэ}$ , тем сильнее ООС по току, и схема работает стабильнее, но увеличиваются потери напряжения источника  $E_K$ :

$$R_э = U_{Rэ}/I_{э0}, \quad (2.3)$$

где  $I_{э0} = I_{K0} + I_{B0}$ .

Мощность, рассеиваемая на резисторе  $R_э$ :

$$P_{Rэ} = I_{э0}^2 \cdot R_э. \quad (2.4)$$

Выбираем соответствующий стандартный резистор.

7. Определяем ток в цепи делителя смещения:

$$I_d = (3 \dots 10)I_{B0}. \quad (2.5)$$

8. Определяем сопротивления резисторов делителя:

$$R_{d1} = (E - U_{Rэ} - U_{BЭ0})/(I_d + I_{B0}), \quad (2.6)$$

$$R_{d2} = (U_{Rэ} + U_{BЭ0})/I_d. \quad (2.7)$$

Определяем  $P_{R_{D1}} = (I_D + I_{B0})^2 R_{D1}$  и  $P_{R_{D2}} = I_D^2 R_{D2}$ .  
Выбираем соответствующие стандартные резисторы.

9. Общее сопротивление делителя  $R_D = R_{D1}R_{D2}/(R_{D1} + R_{D2})$ . (2.8)

10. Определяем емкость  $C_Э$ . Для того чтобы эта емкость не вносила заметных частотных искажений на нижних частотах, выбираем ее сопротивление во много раз меньше сопротивления  $R_Э$ :

$$C_Э = (5...10)/\pi \cdot f_H \cdot R_Э. \quad (2.9)$$

Выбираем стандартную емкость.

11. Определяем сопротивление резистора в коллекторной цепи  $R_K$ :

$$R_K = (E_K - U_{RЭ} - U_{KЭ0})/I_{K0}, \quad P_{R_K} = I_{K0}^2 R_K. \quad (2.10)$$

Выбираем стандартный резистор.

12. Определяем емкость разделительного конденсатора исходя из заданных частотных искажений на нижних частотах:

$$C_p = \frac{1}{2\pi f_H (R_{H_{\text{экв}}} + R_H) \sqrt{M_H^2 - 1}}, \quad (2.11)$$

где  $R_{H_{\text{экв}}} = R_K R_{\text{ВЫХ}}/(R_K + R_{\text{ВЫХ}})$ ; при  $R_{\text{ВЫХ}} \gg R_K$ ;  $R_{H_{\text{экв}}} \approx R_K$ .

Выбираем стандартный конденсатор  $C_p$ .

III Расчет результирующих показателей

13. Определяем коэффициент усиления по току:

$$K_i = h_{21э} R_K / (R_K + R_H). \quad (2.12)$$

14. Определяем коэффициент усиления по напряжению:

$$K = h_{21э} R'_H / h_{11э}, \quad (2.13)$$

где  $R'_H = R_K R_H / (R_K + R_H)$ . (2.14)

15. Проверяем частотные искажения на нижних и верхних частотах:

$$M_H = \sqrt{1 + \left[ \frac{1}{(\omega C_0 (R_{H \text{ экв}} + R_H))} \right]^2}, \quad (2.15)$$

$$M_B = \sqrt{1 + (\omega C_0 R_{B \text{ экв}})^2}, \quad (2.16)$$

где  $R_{B \text{ экв}} = R_{\text{ввых}} R'_H / (R_{\text{ввых}} + R'_H)$ ; при  $R_{\text{ввых}} \gg R'_H$ ;  $R_{B \text{ экв}} = R'_H$ ,

$C_0 = C_{\text{ввых}} + C_{\text{бэ сл}} \approx C_{\text{бэ сл}}$ , так как  $C_{\text{бэ сл}} \gg C_{\text{ввых}}$ .

16. Строим АЧХ каскада при значениях:  $f = 0,5f_H$ ;  $f_H$ ;  $2f_H - 0,5f_B$ ;  $f_B$ ;  $2f_B$ .

Числовой пример

Исходные данные:

$f_H = 50$  Гц,  $f_B = 10$  кГц,  $I_{\text{вх.сл}} = 1,5$  мА,  $R_{\text{вх.сл}} = 720$  Ом,  
 $R_{\text{д сл}} = 1600$  Ом,  $E_K = 12$  В,  $M_H = M_B = 1,12$ ;  $K_i \text{ треб} = 12$ ,  
 $C_{\text{бэ сл}} = 2 \cdot 10^{-8}$  Ф.

1. Выбор транзистора по

$$f_{h_{21э}} = \frac{f_B}{\sqrt{M_H^2 - 1}} = \frac{10000}{\sqrt{1,12^2 - 1}} = 20 \text{ кГц};$$

$$h_{21э \text{ треб}} = 1,5 K_i = 1,5 \cdot 12 = 18.$$

Выбираем транзистор КТ301В, который удовлетворяет этим условиям. Его параметры:  $f_{h_{21э}} = 500$  кГц,  $h_{21э \text{ min}} = 20$ ,  $h_{21э \text{ max}} = 60$ ,  $h_{11э} = 1130$  Ом.

$U_{\text{кэ max}} = 20$  В,  $I_{\text{к max}} = 10$  мА,  $P_{\text{к max}} = 150$  мВт,  $h_{22э} = 13 \cdot 10^{-6}$  см.

2. Определяем коллекторный ток в точке покоя:

$$I_{\text{к0}} = (1,5 \dots 2) I_{\text{вх}} = 2 \cdot 1,5 = 3 \text{ мА}.$$

3. Напряжение в точке покоя  $U_{\text{кэ0}} = 0,4 \cdot 12 = 4,8$  В – (точка М на рисунке 2.2, а).

4. Определяем положение точки покоя на статических характеристиках транзистора КТ301В и находим ток базы в точке покоя  $I_B = 0,075$  мА.

5. По входной характеристике для тока  $I_{B0}$  находим входное напряжение в точке покоя М  $U_{БЭ0} = 0,6$  В (рисунок 2.2, б).

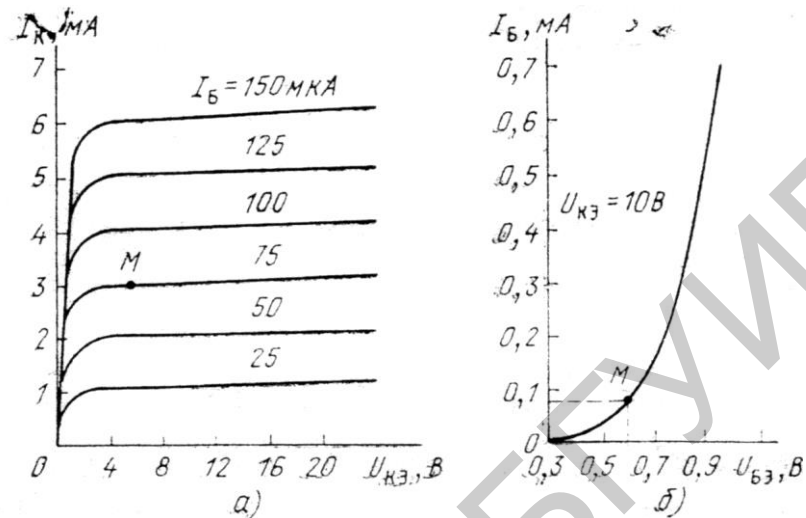


Рисунок 2.2 – Выходные (а) и входная (б) характеристики транзистора КТ301В

6. Задаемся падением напряжения на резисторе  $R_Э$  в цепи температурной стабилизации  $U_{RЭ} = 0,2E_K = 0,2 \cdot 12 = 2,4$  В и находим  $R_Э = U_{RЭ} / I_{Э0}$ , где  $I_{Э0} = I_{K0} + I_{B0} = 3 + 0,075 = 3,075$  мА,

$$R_Э = 2,4 / (3,075 \cdot 10^{-3}) = 790 \text{ Ом.}$$

Мощность, выделяемая на этом резисторе,

$$P_{RЭ} = I_{Э0}^2 \cdot R_Э = (3,075 \cdot 10^{-3})^2 \cdot 790 = 0,008 \text{ Вт.}$$

Выбираем стандартный резистор с сопротивлением 820 Ом.

7. Определяем ток делителя в цепи смещения:

$$I_D = (3 \dots 10) I_{B0} = 10 I_{B0} = 10 \cdot 0,075 = 0,75 \text{ мА.}$$

8. Определяем сопротивления резисторов  $R_{Д2}$  и  $R_{Д1}$ :

$$R_{Д2} = \frac{(U_{RЭ} - U_{БЭ0})}{I_D} = \frac{2,4 + 0,6}{0,75 \cdot 10^{-3}} = 4 \text{ кОм;}$$

$$R_{Д1} = \frac{(E - U_{RЭ} - U_{БЭ0})}{I_D + I_{B0}} = \frac{12 - 2,4 - 0,6}{(0,75 + 0,075) \cdot 10^{-3}} = 10,9 \text{ кОм;}$$

$$R_{Д1} = (E - U_{RЭ} - U_{БЭ0}) / (I_{Д} + I_{Б0}); R_{Д2} = (U_{RЭ} + U_{БЭ0}) / I_{Д}.$$

Выбираем стандартные сопротивления  $R_{Д2} = 3,9$  кОм и  $R_{Д1} = 11$  кОм.

9. Общее сопротивление делителя:

$$R_{Д} = R_{Д1}R_{Д2} / (R_{Д1} + R_{Д2}) = 3,9 \cdot 11 / (3,9 + 11) = 2,9 \text{ кОм}.$$

10. Определяем емкость  $C_3$ , шунтирующую сопротивление  $R_3$ :

$$C_3 = 5 / \pi f_H R_3 = 5 / 3,14 \cdot 50 \cdot 820 = 38,8 \text{ мкФ}.$$

Выбираем электролитический конденсатор емкостью 50 мкФ и напряжением 6,3 В.

11. Определяем сопротивление резистора в цепи коллектора:

$$R_{К} = \frac{(E - U_{RЭ} - U_{КЭ0})}{I_{К0}} = \frac{12 - 2,4 - 4,8}{3 \cdot 10^{-3}} = 1,6 \text{ кОм}.$$

Мощность, выделяемая на резисторе:

$$P_{RК} = I_{К0}^2 R_{К} = (3 \cdot 10^{-3})^2 \cdot 1,6 \cdot 10^3 = 0,014 \text{ Вт}.$$

Выбираем стандартный резистор сопротивлением 1600 Ом.

12. Определяем емкость разделительного конденсатора:

$$C_P = \frac{1}{2\pi f_H (R_{Н экв} + R_H) \sqrt{M_H^2 - 1}} = \frac{1}{6,28 \cdot 50 (1600 + 500) \sqrt{1,12^2 - 1}} = 3 \text{ мкФ},$$

где  $R_{Н экв} = R_{К}$ , так как у транзистора КТ301В  $R_{ВЫХ} = 76$  кОм,  
 $R_{Н экв} = R_{ВХ.сл} R_{Д сл} / (R_{ВХ.сл} + R_{Д сл}) = 720 \cdot 1600 / (720 + 1600) \approx 500$  Ом.

Выбираем стандартный конденсатор  $C_P$  емкостью 5 мкФ и напряжением 16 В.

13. Определяем коэффициент усиления каскада по току:

$$K_i = h_{21э} R_{К} / (R_{К} + R_H) = 40 \cdot 1600 / (1600 + 500) = 30,4 > K_{i \text{ треб}}.$$

14. Определяем коэффициент усиления каскада по напряжению:

$$K = h_{21э} R'_{Н} / h_{11э} = 40 \cdot 380 / 1330 = 11,45,$$

где  $R'_H = R_K R_H / (R_K + R_H) = (1600 \cdot 500) / (1600 + 500) = 380 \text{ Ом}$ .

15. Рассчитаем АЧХ каскада по формулам (2.15) и (2.16). Результаты расчета сведем в таблицу.

Таблица 2.1 – Результаты расчета АЧХ каскада

$f, \text{ Гц}$	25	50	100	5000	10000	20000
$M$	1,16	1,04	1,01	1,028	1,11	1,38

#### Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы, определить необходимые параметры усилителя и произвести его расчет.
3. Используя средства автоматизированного проектирования (*WorkBench* или *Multisim*), осуществить сборку схемы и оптимизировать ее параметры.

### ТЕМА 3 РАСЧЕТ РЕЗИСТОРНОГО КАСКАДА НА ПОЛЕВОМ ТРАНЗИСТОРЕ (ПТ)

Исходные данные: полоса усиливаемых частот  $f_{н...f_{в}}$ , допустимые частотные искажения  $M_{н}$  и  $M_{в}$ , требуемый коэффициент усиления по напряжению  $K$ , напряжение источника питания  $E_c$ , данные следующего каскада:  $C_{вх.сл}$  и  $U_{вх.сл}$ .

Требуется определить: тип транзистора, положение точки покоя на статических характеристиках и данные режима по постоянному току, элементы  $R$  и  $C$  принципиальной схемы каскада, коэффициент усиления по напряжению, реальные частотные искажения в схеме. Расчет ведется в схеме с ОИ в режиме класса А. Схема приведена на рисунке 3.1.

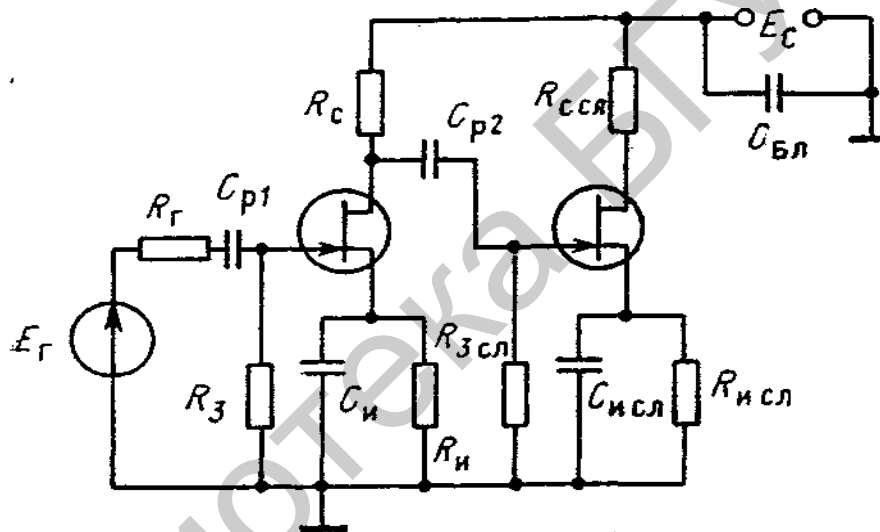


Рисунок 3.1 – Принципиальная схема резисторного каскада на ПТ

#### I Выбор типа транзистора и режима работы по постоянному току

1. Выбираем маломощный транзистор с управляющим  $p-n$ -переходом. Выписываем основные параметры транзистора:  $U_{си\max}$ ;  $U_{отс}$ ;  $I_{с\max}$ ;  $I_3$ .
2. Определяем постоянное напряжение в точке покоя:

$$U_{си0} \geq U_{отс} + U_{вх.сл} + \Delta U_{си}, \quad (3.1)$$

где  $\Delta U_{си} = (0,5 \dots 1)$  В – напряжение, обеспечивающее работу транзистора в области насыщения стоковых характеристик.

3. Выбираем точку покоя на пологом участке стоковой характеристики при токе  $I_c > 1$  мА, так как при меньших токах  $I_c$  крутизна характеристики

окажется намного меньше данной в паспорте. Определяем ток покоя  $I_{C0}$  и соответствующее ему напряжение смещения  $U_{зи0}$ .

## II Определение элементов принципиальной схемы

1. Применяем автоматическое смещение для выбора точки покоя. Определяем сопротивление  $R_{и}$  в цепи смещения:

$$R_{и} = U_{зи0}/I_{C0}. \quad (3.2)$$

Мощность, выделяемая на этом сопротивлении:

$$P_{R_{и}} = I_{C0}^2 R_{и}. \quad (3.3)$$

Выбираем стандартный резистор  $R_{и}$ .

2. Определяем емкость  $C_{и}$ . Для того чтобы эта емкость не вносила заметных частотных искажений, ее сопротивление даже на самой низкой частоте должно быть меньше сопротивления  $R_{и}$ :

$$C_{и} = (5 \dots 10) / \pi f_{н} R_{и}. \quad (3.4)$$

Выбираем стандартный конденсатор  $C_{и}$ .

3. Определяем сопротивление нагрузки в цепи стока:

$$R_{с} = (E_{с} - U_{си0} - U_{зи0})/I_{C0}, \quad (3.5)$$

$$P_{R_{с}} = I_{C0}^2 R_{с}. \quad (3.6)$$

Выбираем соответствующий резистор.

4. Определяем сопротивление в цепи затвора  $R_{з}$ . Им можно задаться:

$$R_{з} = 300 \dots 500 \text{ кОм}.$$

Падение напряжения на сопротивлении  $R_{з}$ :

$$U_{R_{з}} = I_{з} R_{з} < 0,01 U_{зи0}, \quad (3.7)$$

где  $I_{з}$  – обратный ток управляющего  $p$ - $n$ -перехода.

5. Определяем емкость разделительного конденсатора:

$$C_{р} \geq 1/2\pi f_{н} R_{з} \sqrt{M_{н}^2 - 1}. \quad (3.8)$$

Выбираем стандартную величину  $C_{р}$ .



### III Расчет результирующих показателей

1. Определяем коэффициент усиления по напряжению на средних частотах:

$$K = S R_H, \quad (3.9)$$

$$\text{где } R_H = R_c R_3 / (R_c + R_3). \quad (3.10)$$

2. Проверяем частотные искажения на верхних частотах:

$$M_B = \sqrt{1 + (2\pi f C_0 R_{B_{\text{ЭКВ}}})^2}, \quad (3.11)$$

$$\text{где } R_{B_{\text{ЭКВ}}} = R_c R_{\text{ВЫХ}} / (R_c + R_{\text{ВЫХ}}) \approx R_c. \quad (3.12)$$

$$C_0 = C_{\text{ВЫХ}} + C_{\text{ВХ.СЛ}} + C_{\text{МОИТ}}, \quad C_{\text{МОИТ}} = 5 \dots 10 \text{ пФ}.$$

3. Строим АЧХ каскада при значениях  $f = 0,5f_H; f_H; 2f_H - 0,5f_B; f_B; 2f_B$ :

$$Y_B = 1/M_B = 1/\sqrt{1 + (2\pi f C_0 R_{B_{\text{ЭКВ}}})^2}, \quad (3.13)$$

$$Y_H = 1/M_H = 1/\sqrt{1 + \left(\frac{1}{2\pi f C_p R_3}\right)^2}. \quad (3.14)$$

### IV Числовой пример

Исходные данные:  $f_H = 50 \text{ Гц}$ ;  $f_B = 10 \text{ кГц}$ ;  $K_{\text{треб}} \geq 5$ ;  $E_c = 12 \text{ В}$ ;  
 $M_H = M_B = 1,12$ .

Данные следующего каскада:  $C_{\text{ВХ.СЛ}} = 80 \text{ пФ}$ ;  $U_{\text{ВХ.СЛ}} = 0,5 \text{ В}$ .

1. Выбираем транзистор КП302А с управляющим  $p-n$ -переходом и  $n$ -каналом. Выписываем основные параметры транзистора:

$I_{c \text{ max}} = 24 \text{ мА}$ ;  $U_{\text{СИ max}} = 20 \text{ В}$ ;  $P_{c \text{ max}} = 300 \text{ мВт}$ ;  $U_{\text{отс}} = 5 \text{ В}$  (при  $U_{\text{СИ}} = 7 \text{ В}$ ),  
 $S = 5 \text{ мА/В}$ ;  $C_{\text{ВЫХ}} = 12 \text{ пФ}$ ;  $I_3 = 10^{-9} \text{ А}$ .

2. Определяем постоянное напряжение в точке покоя:

$$U_{\text{СИ0}} = U_{\text{отс}} + U_{\text{ВХ.СЛ}} + \Delta U_{\text{СИ}} = 5 + 0,5 + 0,5 = 6 \text{ В},$$

где  $\Delta U_{\text{СИ}} = 0,5 \text{ В}$  – напряжение, обеспечивающее работу в области насыщения.

3. По статическим характеристикам выбираем ток покоя (рисунок 3.2):  
 $I_{C0} = 3,7 \text{ мА}$ . Учитывая, что напряжение  $U_{\text{ВХ}} \leq U_{\text{ВХ.СЛ}} / K_{\text{треб}} = 0,5/5 = 0,1 \text{ В}$ ,  
в данной точке покоя обеспечивается работа на линейном участке в режиме класса А.

4. Определяем сопротивление  $R_{и}$  в цепи смещения:

$R_{и} = U_{зи0}/I_{C0} = 1/(3,7 \cdot 10^{-3}) = 270 \text{ Ом}$ . Мощность потерь на сопротивлении  $R_{и}$ :  $P_{Rи} = I_{C0}^2 R_{и} = (3,7 \cdot 10^{-3})^2 \cdot 270 = 0,037 \text{ Вт}$ .

Выбираем стандартный резистор сопротивлением 270 Ом.

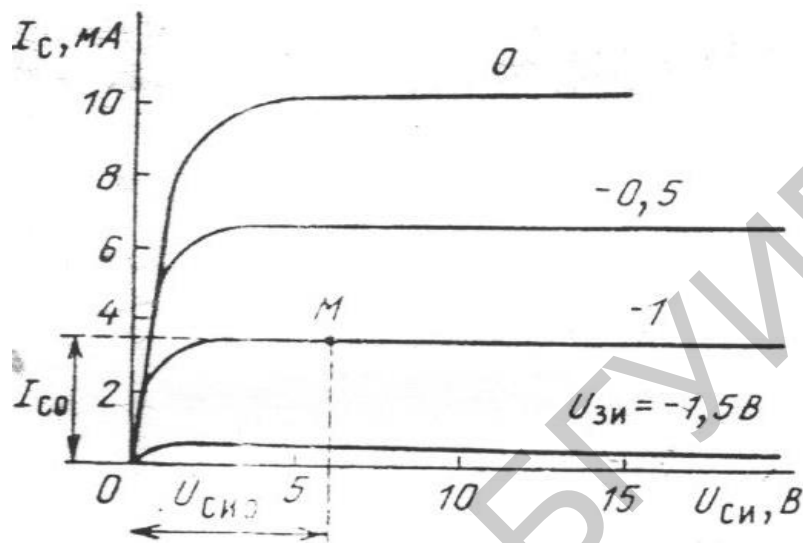


Рисунок 3.2 – Выходные характеристики транзистора КП302А

5. Определяем емкость, шунтирующую  $R_{и}$ :

$$C_{и} = (5 \dots 10) / \pi f_{н} R_{и} = 5 / (3,14 \cdot 50 \cdot 270) = \text{мкФ}.$$

Берем электролитический конденсатор емкостью 100 мкФ и номинальным напряжением 6,3 В.

6. Определяем сопротивление нагрузки в цепи тока:

$$R_c = (E_c - U_{си0} - U_{зи0}) / I_{C0} = (12 - 6 - 1) / 3,7 \cdot 10^{-3} = 1,35 \text{ кОм},$$

$$P_{Rc} = I_{C0}^2 R_c = (3,7 \cdot 10^{-3})^2 \cdot 1350 = 0,018 \text{ Вт}.$$

Берем стандартный резистор сопротивлением 1,5 кОм.

7. Задаемся сопротивлением в цепи затвора  $R_3 = 300 \text{ кОм}$ . Берем резистор сопротивлением 300 кОм. Проверяем падение напряжения:

$$U_{R3} = I_3 R_3 = 300 \cdot 10^3 \cdot 10^{-9} \text{ В} < 0,01 U_{зи}.$$

8. Определяем емкость разделительного конденсатора:

$$C_p \geq 1 / 2\pi f_{н} R_3 \sqrt{M_{н}^2 - 1} = \frac{1}{6,28} \cdot 50 \cdot 300 \cdot 10^3 \cdot \sqrt{1,12^2 - 1} = 21000 \text{ пФ}.$$

Выбираем стандартный конденсатор емкостью 22000 пФ .

9. Определяем коэффициент усиления на средних частотах:

$$K = S R_{\text{н}} = 5 \cdot 10^{-3} \cdot 1,5 \cdot 10^3 > K_{\text{треб}} .$$

10. Определяем частотные искажения на верхних частотах:

$$M_{\text{в}} = \sqrt{1 + (2\pi f C_0 R_{\text{в экв}})^2} = \sqrt{1 + (6,28 \cdot 10^4 \cdot 102 \cdot 10^{-12} \cdot 1,5 \cdot 10^3)^2} \approx 1 ,$$

$$C_0 = C_{\text{вых}} + C_{\text{вх.сл}} + C_{\text{монт}}, C_{\text{монт}} = 12 + 80 + 10 = 102 \text{ пФ}; R_{\text{в экв}} = R_{\text{с}}.$$

### Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы, определить необходимые параметры усилителя и произвести его расчет.
3. Используя средства автоматизированного проектирования (*WorkBench* или *Multisim*), осуществить сборку схемы и оптимизировать ее параметры.

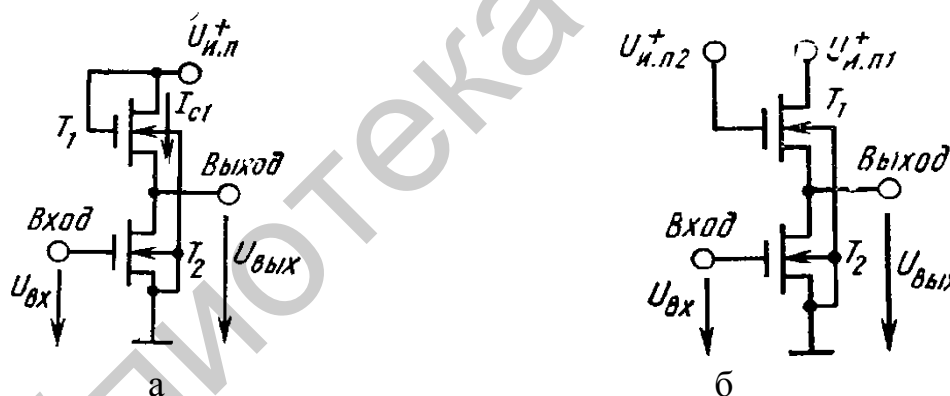
## ТЕМА 4 ПОРЯДОК РАСЧЕТА КОНСТРУКТИВНЫХ И ЭЛЕКТРИЧЕСКИХ ПАРАМЕТРОВ ЭЛЕМЕНТОВ МДП-ИМС

Порядок расчета транзисторов обычных и комплементарных МДП-ИМС, имеющих различную схемотехническую реализацию, имеет свою специфику.

Типовое техническое задание на разработку конструкции МДП-ИМС в качестве исходных данных включает электрическую схему цифровой ИМС, коэффициент разветвления  $K_{\text{раз}}$ , емкость нагрузки  $C_n$ , время задержки распространения сигнала  $t_{\text{зад}}$ , напряжение источника питания  $U_{\text{и.п}}$ , выходное напряжение логического нуля  $U_{\text{вых}}^0$ , выходное напряжение логической единицы  $U_{\text{вых}}^1$ , статическую помехоустойчивость  $U_{\text{пом}}$ , входную емкость  $C_{\text{вх}}$ , пороговое напряжение паразитных транзисторов  $U_{0\text{пар}}$ , технологию изготовления ИМС, материал пластины и затворов, концентрацию примеси в пластине  $N_0$ , плотность поверхностных состояний  $N_{\text{пов}}$ , подвижность носителей заряда в канале  $\mu$ , технологические ограничения на размеры МДП-структур.

Порядок расчета параметров транзисторов  $p$ - и  $n$ -канальных МДП-ИМС (данные ИМС используют инверторы, рисунки 4.1 и 4.2):

1) изучают принцип работы ИМС и связи ее электрических и конструктивных параметров;



а – с одним источником; б – с двумя источниками

Рисунок 4.1 – Схема инвертора с пассивной нагрузкой

2) рассчитывают требуемое пороговое напряжение МДП-транзисторов  $|U_0|$  для обеспечения заданной статической помехоустойчивости по формуле (4.1) при условии  $U_{\text{вх}}^0 = U_{\text{вых}}^0$  и  $U_{\text{вх}}^1 = U_{\text{вых}}^1$ ,

$$U_{\text{пом}} = \begin{cases} (U_0 - \text{TK}U_0\Delta T_1) - U_{\text{вх}}^0, \\ U_{\text{вх}}^1 - (U_0 + \text{TK}U_0\Delta T_2), \end{cases} \quad (4.1)$$

где  $\text{TK}U_0$  – температурный коэффициент пороговых напряжений;

$$\Delta T_1 = T_{\text{max}} - T_{\text{комн}};$$

$$\Delta T_2 = T_{\text{комн}} - T_{\text{min}};$$

$$T_{\text{комн}} = +20 \text{ } ^\circ\text{C}, \text{ при условии } U_{\text{вх}}^0 = U_{\text{вых}}^0 \text{ и } U_{\text{вх}}^1 = U_{\text{вых}}^1;$$

3) определяют удельную емкость затвора относительно канала  $C_{30}$  для  $p$ - и  $n$ -канальных транзисторов по выражениям

$$U_0 = -(|\varphi_{мп}| + \frac{Q_{ss}}{C_{30}} + \frac{Q_{П}}{C_{30}} + 2\varphi_{\phi_i}), \quad (4.2)$$

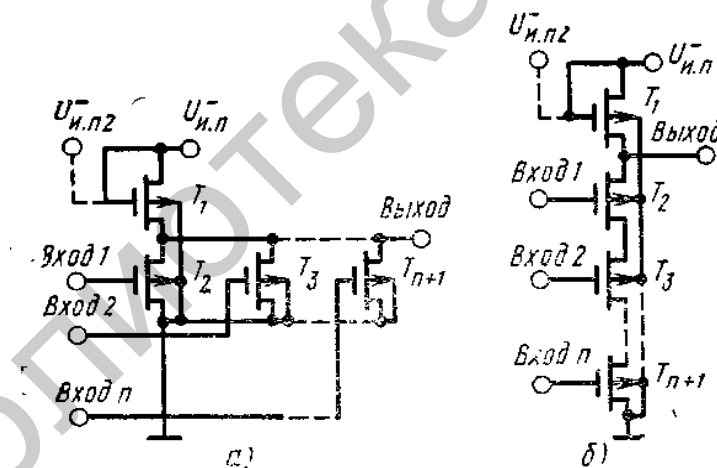
$$U_0 = -|\varphi_{мп}| - \frac{Q_{ss}}{C_{30}} + \frac{Q_{П}}{C_{30}} + 2\varphi_{\phi_i}; \quad (4.3)$$

4) находят толщину затворного диэлектрика  $h_d$  из формулы

$$C_{30} = \varepsilon\varepsilon_d/h_d; \quad (4.4)$$

5) определяют по схеме ИМС количество последовательно включенных инверторов  $n$  и время выключения каждого инвертора  $t_{выкл}$  по выражению

$$t_{выкл} = 2t_{зад}/n; \quad (4.5)$$



а – элемент ИЛИ – НЕ; б – элемент И – НЕ

Рисунок 4.2 – Сложные элементы инверторов с пассивной нагрузкой

б) рассчитывают конструктивные параметры выходного инвертора:

а) технологическую ширину канала  $b_{к.техн}$  нагрузочного транзистора по приложению А (технологические ограничения на размеры МДП-структур) и по формуле (4.6);

$$b_{к.техн} = \begin{cases} 2a + c & \text{для прямоугольной} \\ & \text{формы стока (истока),} \\ g & \text{для ступенчатой} \\ & \text{формы стока (истока).} \end{cases} \quad (4.6)$$

б) удельную крутизну  $S_{01}$  нагрузочных  $p$ - и  $n$ -канальных транзисторов по формулам (4.7), (4.8) при заданной емкости нагрузки  $C_H$ :

$$t_{\text{выкл}} = \frac{18C_H}{S_{01}(U_{\text{и.п}} - U_0)}, \quad (4.7)$$

$$t_{\text{выкл}} = \frac{C_H}{S_{01}(1-K)(U_{\text{и.п2}} - U_0)} l_{\text{к1}} \frac{9(2-1,9K)}{2,0-1,1K}, \quad (4.8)$$

где  $K = U_{\text{и.п1}} / (U_{\text{и.п2}} - U_0)$ ;

в) отношение ширины канала нагрузочного транзистора к его длине  $b_{\text{к1техн}}/l_{\text{к1}}$  по формуле (4.9):

$$S_0 = \mu C_{30} b_{\text{к}} / l_{\text{к}} \quad (4.9)$$

при заданных значениях подвижности носителей заряда в канале  $\mu_p$  или  $\mu_n$ ;

г) технологическую длину канала  $l_{\text{к2техн}}$  ключевого МДП-транзистора по приложению А и формуле

$$l_{\text{к2техн}} = l_3 - 2i; \quad (4.10)$$

д) отношение значений удельной крутизны ключевого и нагрузочного транзисторов  $m$  по формуле

$$m \geq \frac{(U_{\text{и.п}} - U_0 - U_{\text{вых}}^0)^2}{2U_{\text{вых}}^0 (U_{\text{вх}}^1 - U_0) - (U_{\text{вых}}^0)^2} \quad (4.11)$$

при заданных  $U_{\text{и.п}}$  и  $U_{\text{вх}}^1 = U_{\text{вых}}^1$ ;

е) отношение ширины канала ключевого транзистора к его длине  $b_{\text{к2}}/l_{\text{к2техн}}$  по величине  $m$ ;

ж) остальные конструктивные параметры нагрузочного и ключевого транзисторов по данным (технологические ограничения на размеры МДП-структур) приложения А;

7) рассчитывают конструктивные параметры промежуточного инвертора: после определения емкости нагрузки  $C_H$  промежуточного инвертора по выражению

$$C_H = 1,0 - 1,5 \text{ пФ} \quad (4.12)$$

ведут расчеты параметров по пунктам «а», «б», «в», далее находят отношение значений удельной крутизны ключевого и нагрузочного транзисторов  $m$ : для  $p$ -канальных – по формуле (4.11) и для  $n$ -канальных – по формуле

$$m \geq \frac{(U_{и.п2} - U_{вых}^0 - U_0)^2 (U_{и.п2} - U_{и.п1} - U_0)^2}{2U_{вых}^0 (U_{вх}^1 - U_0) - (U_{вых}^0)^2} \quad (4.13)$$

при заданных  $U_{и.п1}$ ,  $U_{и.п2}$ ,  $U_{вх}^1 = U_{вых}^1$  и затем конструктивные параметры согласно пунктам «е» и «ж»;

8) рассчитывают конструктивные параметры входного инвертора (порядок расчета полностью совпадает с расчетом промежуточного инвертора).

*Порядок расчета параметров транзисторов комплементарных МДП-ИМС с кремниевыми затворами* (данные ИМС используют инверторы на рисунках 4.3 и 4.4):

1) изучают принцип работы инвертора с активной нагрузкой и связи его электрических и конструктивных параметров;

2) рассчитывают требуемое пороговое напряжение МДП-транзисторов  $|U_0|$  для обеспечения заданной статической помехоустойчивости по формуле (4.1);

3) определяют удельную емкость затвора относительно канала  $C_{з0}$  для  $p$ - и  $n$ -канальных транзисторов по формулам (4.1), (4.2) при условии  $\varphi_{мп}=0$ ;

4) находят толщину затворного диэлектрика  $h_d$  по формуле (4.3) для  $p$ - и  $n$ -канальных структур и выбирают большее значение;

5) проверяют выполнение условия

$$U_{и.п} > |U_{01}| + U_{02} \quad (4.14)$$

для выбранного значения толщины затворного диэлектрика  $h_d$ ;

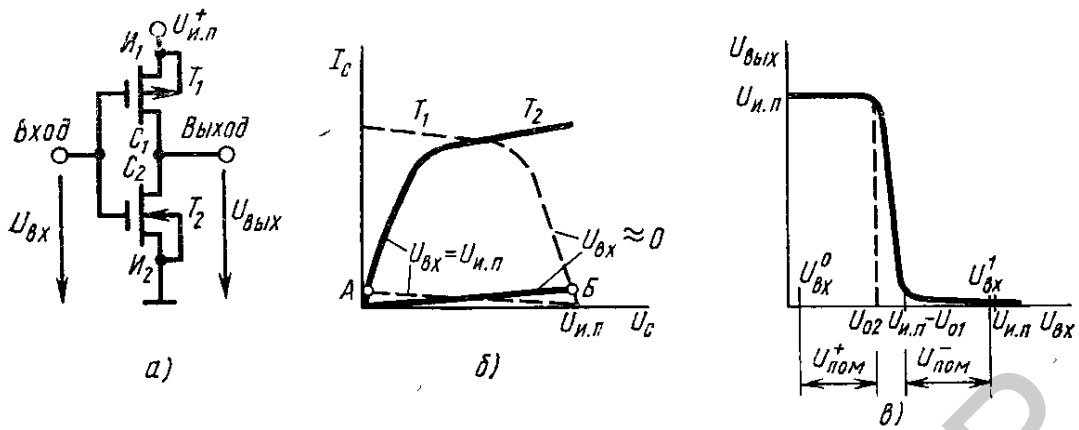
6) рассчитывают технологическую длину канала нагрузочного транзистора ( $l_{к1техн}$ ) и ключевого транзистора ( $l_{к2техн}$ ) по приложению А и выражению (4.10);

7) рассчитывают удельную крутизну  $S_{01}$  нагрузочного транзистора по формулам

$$t_{выкл} = \frac{C_n}{S_{01} (U_{и.п} - U_0)} \left[ \ln(20K - 1) + \frac{0,9 - K}{0,5K} \right], \quad (4.15)$$

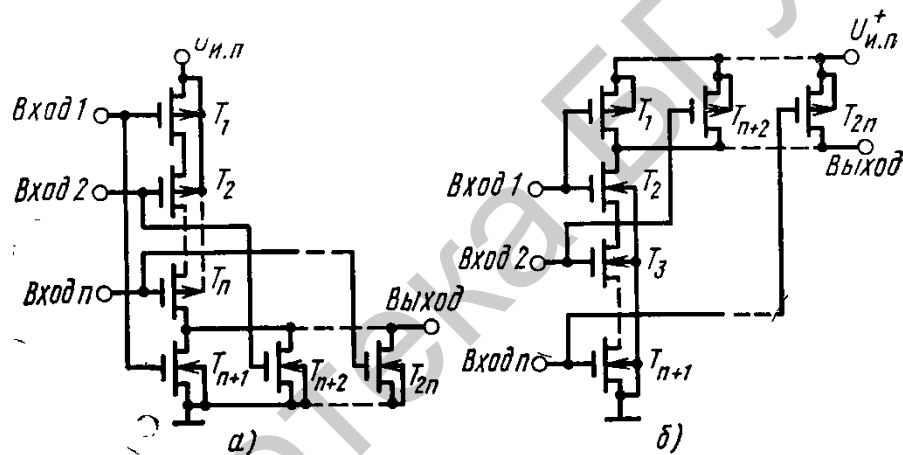
$$t_{выкл} = \frac{nC_n}{S_{01} (U_{и.п} - U_0)} \left[ \ln(20K - 1) + \frac{0,9 - K}{0,5K} \right] \quad (4.16)$$

при заданных значениях  $C_n$  и  $t_{выкл} = 2t_{зад}$  в зависимости от схемы инвертора;



а – электрическая схема; б – стоковые характеристики в открытом (А) и закрытом(Б) состоянии; в – передаточная характеристика.

Рисунок 4.3 – Схема и характеристики инвертора



а – элемент ИЛИ – НЕ; б – элемент И – НЕ

Рисунок 4.4 – Сложные элементы инверторов с активной нагрузкой

8) рассчитывают удельную крутизну  $S_{02}$  ключевого транзистора по формулам (4.15) или (4.16) при заданных значениях  $C_n$  и  $t_{\text{выкл}} = 2t_{\text{зад}}$  в зависимости от схемы инвертора;

9) находят отношение ширины канала нагрузочного и ключевого транзисторов к его длине  $b_{k1}/l_{k1\text{техн}}$  и  $b_{k2}/l_{k2\text{техн}}$  по формуле  $S_0 = \mu C_{30} b_k / l_k$  (4.9) при заданных значениях подвижности носителей заряда  $\mu_p$  и  $\mu_n$ ;

10) определяют другие конструктивные параметры ключевых и нагрузочных транзисторов, охранных колец, диодов по приложению А.

*Расчет паразитных связей и параметров МДП-ИМС.* Расчет паразитных связей и параметров включает проверку наличия паразитных каналов, определение статического коэффициента разветвления  $K_{\text{раз}}$  и времени задержки сигнала  $t_{\text{зад}}$  с целью контроля выполнения условий:

$$U_{\text{пар}} \geq U_{\text{пар.доп}}, \quad (4.17)$$



$$K_{\text{раз}} \geq K_{\text{раз.доп}}, \quad (4.18)$$

$$t_{\text{зад}} \leq t_{\text{зад.доп}}. \quad (4.19)$$

Правые части неравенств (4.17) – (4.19) задаются в ТЗ, а левые части при проверке необходимо определить расчетным путем.

Проверка наличия паразитных каналов включает:

1) анализ эскиза топологии кристалла для выявления областей возможного образования паразитных каналов;

2) разработку мер повышения пороговых напряжений паразитных структур для исключения их влияния. К таким мерам относят выбор толщины толстого диэлектрика  $h_{\text{т.д}}$ , которая обеспечивала бы требуемое пороговое напряжение паразитных МДП-структур  $U_{\text{опар}}$ . Значение  $h_{\text{т.д}}$  определяют из выражений (4.2) и (4.3) соответственно для паразитных  $p$ - и  $n$ -каналов.

Для определения статического коэффициента разветвления требуется:

1) рассчитать удельную емкость проводника металлизации над толстым диэлектриком  $C_{\text{т.д}0}$  по формуле (4.4), а также удельную емкость перехода сток (исток)-подложка  $C_{j0}$  по выражению

$$C_{j0} = \sqrt{\frac{2q\varepsilon_{\text{д}}\varepsilon_0 N_0}{U_{\text{диф}} + U_{\text{см1п}}}}; \quad (4.20)$$

2) для проверки неравенства (4.18) определить статический коэффициент разветвления по формуле

$$K_{\text{раз}} = (C_{\text{н}} - C_{\text{монт}}) / C_{\text{вх}j}, \quad (4.21)$$

где  $C_{\text{монт}}$  – емкость монтажа (~5–10 пФ);  $C_{\text{вх}j}$  – входная емкость ИМС по  $j$ -му входу, определяемая как

$$C_{\text{вх}j} = \sum_{i=1}^k (C_{\text{зп}i} + C_{\text{зи}i}) C_{\text{зс}} K'_m + (S_{\text{кп}} + S_{\text{пр}}) C_{\text{тд}0} + C_{\text{охр}}, \quad (4.22)$$

где  $k$  – количество транзисторов входного инвертора, включенных параллельно;

$C_{\text{зс}}$  – емкость затвор – сток ключевых транзисторов;

$K'_m$  – коэффициент, учитывающий эффект Миллера;

$S_{\text{кп}}$  – площадь контактной площадки;

$S_{\text{пр}}$  – площадь проводника металлизации от контактной площадки до затвора;

$C_{\text{охр}}$  – емкость охранных диодов.

Определение времени задержки сигнала разработанной многокаскадной МДП-ИМС включает расчет конструктивной нагрузочной емкости  $C_{\text{н.констр}}$  промежуточного и входного инверторов по формуле

$$C'_H = C'_{вх} + C_{вых} = C'_{зн2} + C'_{зн1} + C_{сч2} K_M + C'_{мет} + C_{и.п1} + C_{сп2}, \quad (4.23)$$

и по эскизу топологии кристалла, а также проверку неравенства

$$C_{н.контр} \leq C'_H, \quad (4.24)$$

где  $C'_H$  – расчетное значение емкости (4.12).

При невыполнении условия (4.24) производят перерасчет топологии входного инвертора путем увеличения времени его выключения, рассчитанного ранее по (4.15).

Для однокаскадных ИМС целесообразно переработать топологию входного инвертора, произведя расчет на меньшую емкость нагрузки  $C_H$ . При невыполнении условия (4.19) или (4.23) необходимо произвести перерасчет топологии промежуточных инверторов на большую емкость  $C'_H$ , чем задано в (4.12):

$$C'_H = 1,0 - 1,5 \text{ пФ.}$$

Пример расчета конструкции и топологии КМДП-ИМС.

#### **Техническое задание**

Разработать по следующим исходным данным конструкцию и топологию микросхемы ИЛИ-НЕ: электрическая схема (рисунок 4.5);  $K_{раз} = 10$ ;  $C_H = 50$  пФ;  $t_{зад} = 50$  нс;  $U_{и.п} = 9 \text{ В} \pm 10\%$ ;  $U^0_{вых} \leq 0,3 \text{ В}$ ;  $U^1_{вых} \leq 7,5 \text{ В}$ ;  $U_{пом} = 0,9 \text{ В}$ ; технология КМДП; технология монтажа кристалла в корпусе – ручная термокомпрессия; материал пластины – КЭФ 4,5 <100>; материал затвора – поликристаллический кремний;  $N_0^n = 10^{15} \text{ см}^{-3}$ ;  $N_0^p = 2 \cdot 10^{16} \text{ см}^{-3}$ ;  $N_{пов} = (1 - 2) \cdot 10^{11} \text{ см}^{-2}$ ;  $\mu_n = 450 \text{ см}^2/(\text{В} \cdot \text{с})$ ;  $\mu_p = 250 \text{ см}^2/(\text{В} \cdot \text{с})$ ;  $U_{0пар} \geq 10 \text{ В}$ ; герметичность корпуса  $5 \cdot 10^{-5} \text{ л} \cdot \text{мкм/с}$ ;  $T = -45 - +85 \text{ }^\circ\text{C}$ .

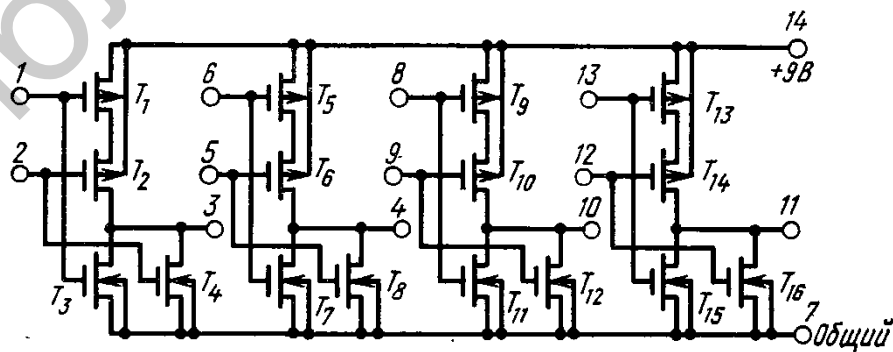


Рисунок 4.5 – Электрическая схема микросхемы ИЛИ – НЕ

Так как электрическая схема содержит четыре однотипных двухвходовых инвертора, достаточно рассчитать конструктивные параметры только одного из них. Последовательность расчета соответствует приведенному ранее порядку:

- 1) по выражению (4.2), (4.3)  $|U_0| = 1,46 \text{ В}$ ;
- 2) по формуле (4.4)  $C_{30} = 4,65 \cdot 10^{-8} \text{ Ф/см}^2$ , а по формуле (4.2)  $C_{30} = 2,4 \cdot 10^{-8} \text{ Ф/см}^2$ ;
- 3) из выражения (4.4)  $h_d^n = 0,15 \text{ мкм}$ ;
- 4)  $U_{01} = -2,31 \text{ В}$ ,  $U_{02} = 1,46 \text{ В}$ ,  $|U_1| + U_{02} = 3,77 < U_{и.п} = 9 \text{ В}$ ;
- 5) по приложению А и формуле (4.10)  $l_{к1\text{техн}} = l_{к2\text{техн}} = t_3 - 2i = 3 \text{ мкм}$ ;
- 6) по выражению (4.16)  $S_{01} = 4,4 \cdot 10^{-4} \text{ А/В}^2$ ;
- 7) по выражению (4.15)  $S_{02} = 1,93 \cdot 10^{-4} \text{ А/В}^2$ ;
- 8) по выражению (4.9)  $b_{к1}/l_{к1\text{техн}} = 73$  и  $b_{к2}/l_{к2\text{техн}} = 18$ .  
Отсюда  $b_{к1} = 219 \text{ мкм}$ , а  $b_{к2} = 54 \text{ мкм}$ .

Остальные размеры областей МДП-транзисторов выбирают по таблице в приложении А.

При разработке эскиза топологии кристалл разбивают на четыре равные части и производят размещение транзисторов только первого инвертора ( $T_1 - T_4$ ) с учетом технологических ограничений. Плотность размещения элементов обеспечивается последовательным соединением  $p$ -канальных транзисторов ( $T_1, T_2$ ) с объединенными стоковой и истоковой областями и параллельным соединением  $n$ -канальных транзисторов ( $T_3, T_4$ ) через область подложки.

Для устранения паразитных  $n$ -каналов вводят охранное кольцо  $p^+$ -типа, охватывающее  $n$ -канальные транзисторы инверторов, а для устранения остальных паразитных  $p$ -каналов толщину окисла кремния  $h_{т.д}$  в соответствии с (4.4) делают равной  $1,7 \text{ мкм}$ .

Определенное по (4.21) значение статического коэффициента разветвления  $K_{\text{раз}} = 57 > K_{\text{раз, дож}} = 10$  удовлетворяет требованиям технически-го задания, поэтому доработку эскиза топологии не производят.

#### Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы, определить необходимые параметры конструкции и топологии модуля на КМДП-ИМС и произвести его расчет.
3. Используя средства автоматизированного проектирования (*WorkBench* или *Multisim*), осуществить сборку схемы и оптимизировать ее параметры.

## ТЕМА 5 Разработка топологии полупроводниковой ИМС

Основой для разработки топологии полупроводниковой ИМС являются электрическая схема, требования к электрическим параметрам и параметрам активных и пассивных элементов, конструктивно-технологические требования и ограничения.

Разработка чертежа топологии включает в себя такие этапы: выбор конструкции и расчет активных и пассивных элементов ИМС; размещение элементов на поверхности и в объеме подложки и создание рисунка разводки (коммутации) между элементами; разработку предварительного варианта топологии; оценку качества топологии и ее оптимизацию; разработку окончательного варианта топологии. Целью работы конструктора при разработке топологии является минимизация площади кристалла ИМС, минимизация суммарной длины разводки и числа пересечений в ней.

Конструктивно-технологические ограничения при разработке топологии ИМС на биполярных транзисторах зависят от электрофизических параметров структур и технологии.

Электрофизические характеристики и геометрические размеры вертикальной структуры элементов ИМС, формируемых по планарно-эпитаксиальной технологии, приведены в таблице 5.1.

Важнейшей технологической характеристикой, определяющей горизонтальные размеры областей транзисторов и других элементов ИМС, является минимальный геометрический размер, который может быть уверенно сформирован при заданном уровне технологии, например, минимальная ширина окна в окисле кремния, минимальная ширина проводника, минимальный зазор между проводниками, минимальное расстояние между краями эмиттерной и базовой областей и т. д. Пусть минимальный размер, который может обеспечить технология, равен  $d$ . Тогда размеры активных областей и самого транзистора при минимальной его площади определяются величинами, приведенными на рисунке 5.1. Зазор между областью, занимаемой транзистором, и другими элементами ИМС больше минимального размера  $d$  на величину боковой диффузии под окисел, которая при разделительной диффузии примерно равна толщине эпитаксиального слоя  $d_s$ . Таким образом, при минимальном размере 10 мкм минимальная длина транзистора простейшей конструкции будет равна  $\sim 130$  мкм. При уровне технологии, характеризующемся минимальным размером 4 мкм, минимальная длина транзистора равна  $\sim 60$  мкм. При минимальном размере 1,5 – 2 мкм, предельном для оптической фотолитографии, размер транзистора при  $d_s = 3$  мкм составит  $\sim 28$  мкм.

Приведенные рассуждения верны, если суммарная величина боковой диффузии при формировании базовой и эмиттерной областей существенно меньше  $d$ .

Таблица 5.1 – Параметры областей интегрального транзистора типа  $n-p-n$

Наименование области	Концентрация примеси $N$ , $\text{см}^{-3}$	Толщина слоя $d$ , мкм	Удельное объемное сопротивление материала $\rho$ , Ом·см	Удельное поверхностное сопротивление слоя $\rho_s$ , Ом/□
Подложка $p$ -типа	$1,5 \cdot 10^{15}$	200...400	10	—
Скрытый $n^+$ -слой	—	2,5...10	— 0,15...5,0	10...30
Коллекторная $n$ -область	$10^{16}$	2,5...10	—	—
Базовая $p$ -область	$5 \cdot 10^{18}$	1,5...2,5	—	100...300
Эмиттерная $n^+$ -область	$10^{21}$	0,5...2,0	—	2...15
Изолирующая область	—	3,5...12	—	6...10
Пленка окисла кремния	—	0,3...0,6	$1,7 \cdot 10^{-6}$	—
Металлическая пленка (алюминий)	—	0,6...1,0	—	0,06...0,1

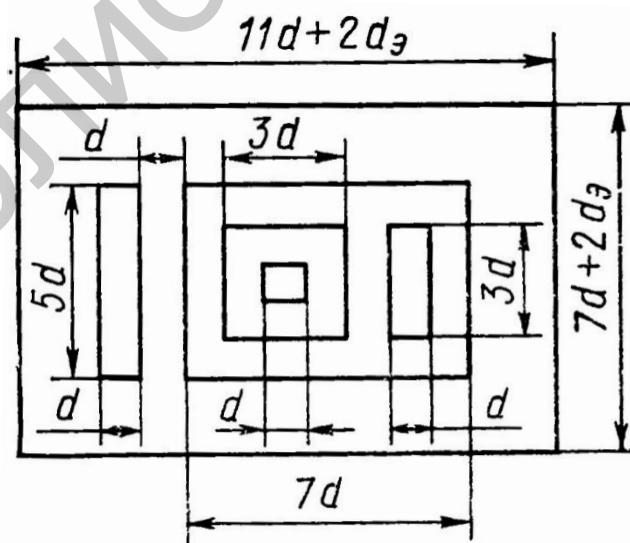


Рисунок 5.1 – Соотношение размеров областей транзистора со стандартным размером  $d$

Если это условие не выполняется, то для минимально допустимого топологического зазора между двумя диффузионными областями справедливо соотношение

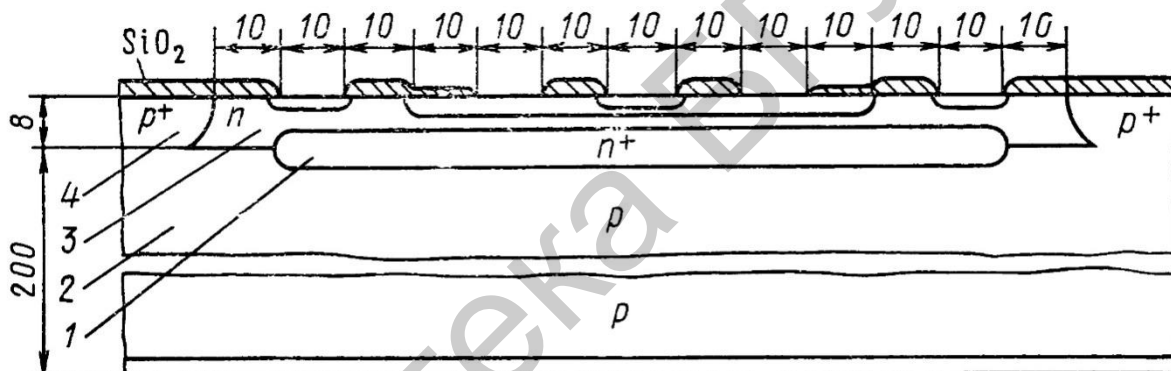
$$d_{до} \geq y_1 + y_2 + \delta_\phi + \omega_1, \quad (5.1)$$

где  $y_1$  и  $y_2$  – величины боковой диффузии под окисел;

$\delta_\phi$  – суммарная допустимая ошибка в положении края окон под диффузию за счет фотолитографии;

$\omega_1$  – максимальная ширина области объемного заряда в работающем приборе.

Приведенное неравенство можно не учитывать при  $d = 10$  мкм (см., например, рисунок 5.2), но при  $d \leq 5$  мкм с ним приходится считаться и снижение линейных размеров транзисторов с дальнейшим уменьшением  $d$  будет проходить уже не столь высокими темпами.



1 – скрытый  $n^+$ -слой; 2 – подложка  $p$ -типа; 3 – коллектор (эпитаксиальный слой); 4 – область разделительной диффузии

Рисунок 5.2 – Вертикальная структура планарно-эпитаксиального биполярного транзистора с двумя выводами базы и кольцевым выводом коллектора, выполненная в масштабе (разводка не показана)

Конструктивно-технологические ограничения, которые необходимо учитывать при разработке топологии ИМС на биполярных транзисторах, приведены на рисунке 5.3. Приведем конструктивно-технологические ограничения при конструировании ИМС на биполярных транзисторах, выполненных по планарно-эпитаксиальной технологии с использованием изоляции  $p$ - $n$ -переходом.

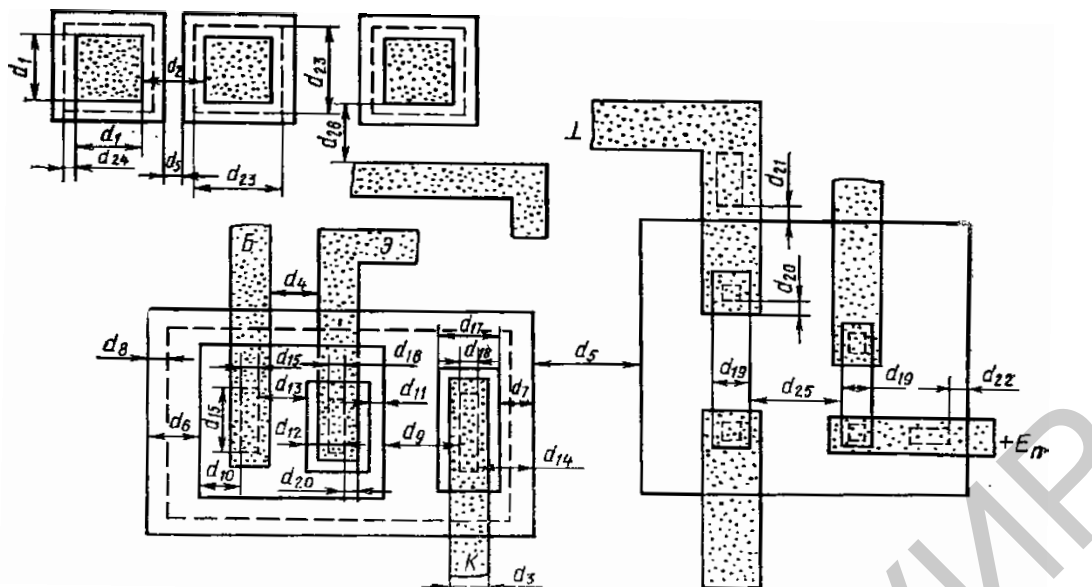


Рисунок 5.3 – Конструктивно-технологические ограничения при разработке топологии ИМС на биполярных транзисторах

### Минимально допустимые размеры, мкм

Ширина линии скрайбирования слоя.....	60
Расстояние от центра скрайбирующей полосы до края слоя металлизации или до края диффузионной области.....	50...100
Размер контактных площадок для термокомпрессионной приварки проводников $d_1$ .....	100x100
Расстояние между контактными площадками $d_2$ .....	70
Размер контактных площадок тестовых элементов рабочей схемы...50x50	
Ширина проводника $d_3$ :	
при длине $\leq 50$ мкм.....	4
при длине $\geq 50$ мкм.....	5
Расстояние между проводниками $d_4$ :	
при длине $\leq 50$ мкм.....	3
при длине $\geq 50$ мкм.....	4
Ширина области разделительной диффузии $d_5$ .....	4
Расстояние от базы до области разделительной диффузии $d_6$ .....	10
Расстояние между краем области подлегирования коллекторного контакта и краем разделительной области $d_7$ .....	10
Расстояние между краем разделительной области и краем скрытого $n^+$ -слоя $d_8$ .....	10
Расстояние между краем контактного окна в окисле к коллектору и краем базы $d_9$ .....	7
Расстояние между краем контактного окна в окисле к базе и краем базы $d_{10}$ ....	3
Расстояние между эмиттерной и базовой областями $d_{11}$ .....	3
Расстояние между краем контактного окна в окисле к эмиттеру и краем эмиттера $d_{12}$ .....	3
Расстояние между контактными окнами к базе и эмиттером $d_{13}$ .....	4

Расстояние между базовыми областями, сформированными в одном коллекторе.....	9
Расстояние между эмиттерными областями, сформированными в одной базе.....	6
Расстояние между контактными окном к коллектору и областью разделительной диффузии $d_{14}$ .....	10
Размеры контактного окна к базе $d_{15}$ .....	4x4
Размеры контактного окна к эмиттеру $d_{16}$ .....	4x4 или 3x5
Ширина области подлегирования $n^+$ -слоя в коллекторе $d_{17}$ .....	8
Ширина контактного окна к коллектору $d_{18}$ .....	4
Ширина резистора $d_{19}$ .....	5
Размеры окна вскрытия в окисле.....	2,5x2,5
Перекрытие металлизацией контактных окон в окисле к элементам ИМС $d_{20}$ ....	2
Расстояние от края контактного окна к $p^+$ -разделительным областям для подачи смещения до края области разделения $d_{21}$ .....	6
Расстояние от края контактного окна к изолированным областям $n$ -типа для подачи смещения до края области разделения $d_{22}$ .....	6
Ширина диффузионной перемычки.....	3
Размер окна в пассивирующем окисле $d_{23}$ .....	100x100
Расстояние от края окна в пассивации до края контактной площадки $d_{24}$ .....	6
Расстояние между соседними резисторами $d_{25}$ .....	7
Расстояние между диффузионными и ионно-легированными резисторами.....	4
Расстояние между контактной площадкой и проводящей дорожкой $d_{26}$ .....	20
Ширина скрытого $n^+$ -слоя.....	4
Расстояние между контактными площадками тестовых элементов.....	40

Следует обращать особое внимание на размеры топологических зазоров, так как при неоправданно малых их значениях ИМС или не будет функционировать из-за перекрытия областей структуры (например, базовой области и области разделительной диффузии), или будет иметь искаженные параметры за счет усиления паразитных связей между элементами. С другой стороны, завышение размеров топологических зазоров приводит к увеличению площади кристалла.

### **Правила проектирования топологии полупроводниковой ИМС**

Разработка топологии ИМС – творческий процесс, и его результаты существенно зависят от индивидуальных способностей разработчика, его навыков и знаний. Сущность работы по созданию топологии ИМС сводится к нахождению такого оптимального варианта взаимного расположения элементов схемы, при котором обеспечиваются высокие показатели эффективности производства и качества ИМС: низкий уровень бракованных изделий, низкая стоимость, материалоемкость, высокая надежность, соответствие получаемых электрических параметров заданным. К разработке топологии приступают



после того, как количество, типы и геометрическая форма элементов ИМС определены.

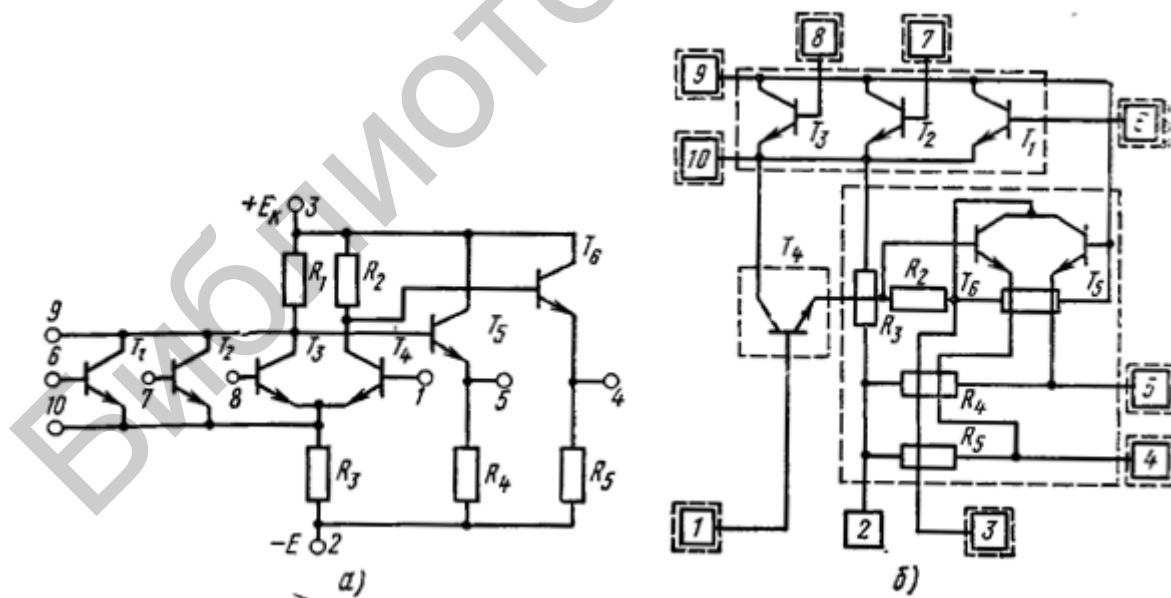
### Правила проектирования изолированных областей

Количество и размеры изолированных областей оказывают существенное влияние на характеристики ИМС, поэтому:

1) суммарная площадь изолирующих  $p-n$ -переходов должна быть минимальной, так как их емкость является паразитной. Минимальные размеры изолированной области определяются геометрическими размерами находящихся в ней элементов и зазорами, которые необходимо выдерживать между краем изолированной области и элементами и между самими элементами, размещенными в одной изолированной области;

2) к изолирующим  $p-n$ -переходам всегда должно быть приложено напряжение обратного смещения, что практически осуществляется подсоединением подложки  $p$ -типа или области разделительной диффузии  $p$ -типа к точке схемы с наиболее отрицательным потенциалом. При этом суммарное обратное напряжение, приложенное к изолирующему  $p-n$ -переходу, не должно превышать напряжения пробоя;

3) диффузионные резисторы, формируемые на основе базового слоя, можно располагать в одной изолированной области, которая подключается к точке схемы с наибольшим положительным потенциалом. Обычно такой точкой является контактная площадка ИМС, на которую подается напряжение смещения от коллекторного источника питания (рисунок 5.4, а, б);



а – на токовых ключах; б – преобразованная электрическая схема для составления эскиза топологии

Рисунок 5.4 – Принципиальная и преобразованная электрическая схема цифровой ИМС

4) резисторы на основе эмиттерного и коллекторного слоев следует располагать в отдельных изолированных областях;

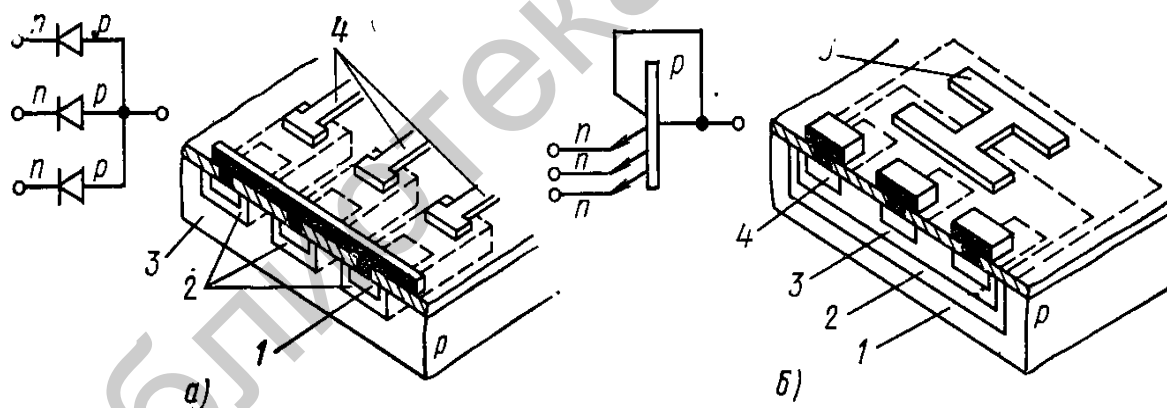
5) транзисторы типа  $n-p-n$ , коллекторы которых подсоединены непосредственно к источнику питания, целесообразно размещать в одной изолированной области вместе с резисторами;

6) транзисторы типа  $n-p-n$ , которые включены по схеме с общим коллектором, можно располагать в одной изолированной области;

7) все другие транзисторы, кроме упомянутых в пунктах 5 и 6, необходимо располагать в отдельных изолированных областях, т. е. все коллекторные области, имеющие различные потенциалы, должны быть изолированы;

8) для уменьшения паразитной емкости между контактными площадками и подложкой, а также для защиты от короткого замыкания в случае нарушения целостности пленки окисла под ними при приварке проволочных выводов под каждой контактной площадкой создают изолированную область, за исключением контактных площадок с наиболее отрицательным потенциалом;

9) количество изолированных областей для диодов может сильно изменяться в зависимости от типа диодов и способов их включения. Если в качестве диодов используются переходы база – коллектор, то для каждого диода требуется отдельная изолированная область, так как каждый катод (коллекторная область  $n$ -типа) должен иметь отдельный вывод (рисунок 5.5, а).



а – на основе перехода Б–К (1 – базовые области  $p$ -типа; 2 – коллекторные области  $n$ -типа; 3 – подложка; 4 – коллекторные контакты); б – на основе перехода БК–Э (1 – подложка; 2 – коллекторная область  $n$ -типа; 3 – базовая область  $p$ -типа; 4 – эмиттерные области  $n$ -типа; 5 – перемычка коллектор-база)

Рисунок 5.5 – Принципиальные электрические схемы и конструкции трех диодов с общими анодами

Если в качестве диодов используются переходы эмиттер – база, то все диоды можно поместить в одной изолированной области. При этом все катоды диодов (эмиттерные области) сформированы отдельно в общем аноде (базовой

области, рисунок 5.5, б). Аноды диодов с помощью соединительной металлизации закорачивают на изолированную (коллекторную) область;

10) для диффузионных конденсаторов требуются отдельные изолированные области. Исключение составляют случаи, когда один из выводов конденсатора является общим с другой изолированной областью;

11) для диффузионных переемычек всегда требуются отдельные изолированные области.

Правила размещения элементов ИМС на площади кристалла

После определения количества изолированных областей приступают к их размещению в нужном порядке, размещению элементов, соединению элементов между собой и с контактными площадками, руководствуясь следующими правилами:

1) при размещении элементов ИМС и выполнении зазоров между ними необходимо строго выполнять ограничения (см. рисунок 5.3), соответствующие типовому технологическому процессу;

2) резисторы, у которых нужно точно выдерживать отношение номиналов, должны иметь одинаковую ширину и конфигурацию и располагаться рядом друг с другом. Это относится и к другим элементам ИМС, у которых требуется обеспечить точное соотношение их характеристик;

3) резисторы с большой мощностью не следует располагать вблизи активных элементов;

4) диффузионные резисторы можно пересекать проводящей дорожкой, поверх слоя окисла кремния, покрывающего резистор (см. рисунок 5.4, б);

5) форма и место расположения конденсаторов не являются критичными;

6) соединения, используемые для ввода питания, заземления, входной и выходной выводы, необходимо выполнять в виде широких и коротких полосок, что уменьшает паразитные сопротивления;

7) для улучшения развязки между изолированными областями контакт к подложке следует располагать рядом с мощным транзистором или как можно ближе к входу или выходу схемы;

8) число внешних выводов в схеме, а также порядок расположения и обозначения контактных площадок выводов ИМС на кристалле должны соответствовать выводам корпуса;

9) коммутация в ИМС должна иметь минимальное количество пересечений и минимальную длину проводящих дорожек. Если полностью избежать пересечений не удастся, их можно осуществить, используя обкладки конденсаторов, формируя дополнительные контакты к коллекторным областям транзисторов, применяя диффузионные переемычки и, наконец, создавая дополнительный слой изоляции между пересекающимися проводниками;

10) первую контактную площадку располагают в нижнем левом углу кристалла и отличают от остальных по ее положению относительно фигур совмещения или заранее оговоренных элементов топологии. Нумерацию

остальных контактных площадок проводят против часовой стрелки. Контактные площадки располагают в зависимости от типа выбранного корпуса по периметру кристалла или по двум противоположным его сторонам;

11) фигуры совмещения располагают одной-двумя группами на любом свободном месте кристалла;

12) при разработке аналоговых ИМС элементы входных дифференциальных каскадов должны иметь одинаковую топологию и быть одинаково ориентированными в плоскости кристалла; для уменьшения тепловой связи входные и выходные каскады должны быть максимально удалены; для уменьшения высокочастотной связи через подложку контакт к ней следует осуществлять в двух точках – вблизи входных и выходных каскадов.

Рекомендации по разработке эскиза топологии

На этапе эскизного проектирования топологии необходимо предусмотреть решение следующих задач: расположить как можно большее число резисторов в одной изолированной области; подать наибольший потенциал на изолированную область, где размещены резисторы; подать наиболее отрицательный потенциал на подложку вблизи мощного транзистора выходного каскада; рассредоточить элементы, на которых рассеиваются большие мощности; расположить элементы с наименьшими размерами и с наименьшими запасами на совмещение в центре эскиза топологии; сократить число изолированных областей и уменьшить периметр каждой изолированной области.

В случае если принципиальная электрическая схема содержит обособленные группы или периодически повторяющиеся группы элементов, объединенных в одно целое с точки зрения выполняемых ими функций, разработку рекомендуется начинать с составления эскизов топологии для отдельных групп элементов, затем объединить эти эскизы в один, соответствующий всей схеме.

На основе эскиза разрабатывают предварительный вариант топологии. Топологию проектируют в прямоугольной системе координат. Каждый элемент топологии представляет собой замкнутую фигуру со сторонами, состоящими из отрезков прямых линий, параллельных осям координат. Придание элементам форм в виде отрезков прямых линий, не параллельных осям координат, допустимо только в тех случаях, когда это приводит к значительному упрощению формы элемента. Например, если форма элемента состоит из ломаных прямых, составленных в виде «ступенек» с мелким шагом, рекомендуется заменить их одной прямой линией. Координаты всех точек, расположенных в вершинах углов ломаных линий, должны быть кратны шагу координатной сетки.

Действительный (на кристалле) размер шага координатной сетки зависит от выбранного масштаба топологии.

При вычерчивании общего вида топологии рекомендуется использовать линии разного цвета для различных слоев ИМС: эмиттерного – черный,

базового – красный, разделительного (коллекторного) – зеленый, вертикального – черный пунктирный, скрытого – зеленый пунктирный, металлизации – желтый, окна в окисле для контакта к элементам – синий пунктирный, окна в пассивирующем (защитном) окисле – синий сплошной.

В процессе вычерчивания топологии для получения оптимальной компоновки возможно изменение геометрии пассивных элементов, например, пропорциональное увеличение длины и ширины резисторов или их многократный изгиб, позволяющие провести над резистором полосы металлической разводки или получить более плотную упаковку элементов. При изменении формы пассивных элементов в процессе их размещения проводят корректировочные расчеты.

При проектировании слоя металлизации размеры контактных площадок и проводников следует брать минимально допустимыми, а расстояния между ними – максимально возможными.

После выбора расположения элементов и контактных площадок, создания рисунка разводки необходимо разместить на топологии фигуры совмещения, тестовые элементы (транзисторы, резисторы и т. д. – приборы, предназначенные для замера электрических параметров отдельных элементов схемы), реперные знаки. Фигуры совмещения могут иметь различную форму (чаще всего квадрат или крест), причем надо учесть, что на каждом фотошаблоне, кроме первого и последнего, имеются две фигуры, расположенные рядом друг с другом. Меньшая фигура предназначена для совмещения с предыдущей технологической операцией, а большая – с последующей. На первом фотошаблоне расположена только большая фигура, а на последнем – только меньшая.

При разработке топологии важно получить минимальную площадь кристалла ИМС. Это позволяет увеличить производительность, снизить материалоемкость и повысить выход годных ИМС, поскольку на одной полупроводниковой пластине можно разместить большее число кристаллов и уменьшить вероятность попадания дефектов, приходящихся на кристалл. При размерах стороны кристалла до 1 мм ее величину выбирают кратной 0,05 мм, а при размерах стороны кристалла 1–2 мм – кратной 0,1 мм.

Для любой принципиальной электрической схемы можно получить много приемлемых предварительных вариантов топологии, удовлетворяющих электрическим, технологическим и конструктивным требованиям. Любой предварительный вариант подлежит дальнейшей доработке.

Если после уплотненного размещения всех элементов на кристалле выбранного размера осталась незанятая площадь, рекомендуется перейти на меньший размер кристалла. Если этот переход невозможен, то незанятую площадь кристалла можно использовать для внесения в топологию изменений, направленных на снижение требований к технологии изготовления полупроводниковой ИМС. Например, можно увеличить размеры контактных площадок и расстояния между контактными площадками, ширину проводников

и расстояние между ними, по возможности выпрямить элементы разводки, резисторы, границы изолированных областей.

В заключение производят контрольно-проверочные расчеты полученной топологии микросхемы, включающие в себя оценку теплового режима и паразитных связей.

**Проверка правильности разработки топологии ИМС**

Последний из составленных и удовлетворяющий всем требованиям вариант топологии подвергают проверке в такой последовательности. Проверяют соответствие технологическим ограничениям: минимальных расстояний между элементами, принадлежащими одному и разным слоям ИМС; минимальных размеров элементов, принятых в данной технологии, и других технологических ограничений; наличие фигур совмещения для всех слоев ИМС; размеров контактных площадок для присоединения гибких выводов; расчетных размеров элементов их размерам на чертеже топологии; мощности рассеяния резисторов, максимально допустимой удельной мощности рассеяния ( $P_0 = P/S_R \approx 10^3 \dots 10^4$  мВт/мм<sup>2</sup>), а также обеспечение возможности контроля характеристик элементов ИМС.

Разработка документации на комплект фотошаблонов для производства ИМС. Исходя из окончательного и проверочного варианта топологии ИМС выполняют чертежи слоев схемы, необходимые для создания комплекта фотошаблонов. Для ИМС со скрытым слоем и изоляцией элементов *p-n*-переходами, изготавливаемой по планарно-эпитаксиальной технологии, необходим комплект из семи фотошаблонов для проведения следующих фотолитографических операций: 1 – вскрытия окон в окисле под локальную диффузию донорной примеси при создании скрытых слоев перед операцией эпитаксии; 2 – вскрытия окон в окисле под разделительную диффузию акцепторной примеси при создании изолирующих областей; 3 – вскрытия окон в окисле под локальную диффузию акцепторной примеси при создании базовой области транзисторов и резисторов; 4 – вскрытия окон в окисле под локальную диффузию донорной примеси при создании эмиттерных областей транзисторов, резисторов, диффузионных перемычек и приконтактных областей в коллекторах транзисторов; 5 – вскрытия окон в окисле под контакты разводки к элементам ИМС; 6 – фотолитографии по пленке алюминия для создания рисунка разводки и контактных площадок; 7 – фотолитографии по пленке защитного диэлектрика для вскрытия окон к контактными площадкам ИМС.

### **Пример разработки топологии ИМС**

На рисунке 5.6 а представлена принципиальная электрическая схема логического элемента И – НЕ диодно-транзисторной логики. Активными элементами схемы являются транзистор промежуточного каскада  $T_1$ , транзистор выходного каскада  $T_2$ , входные диоды  $D_1 - D_4$ , диод промежуточного каскада  $D_5$ , пассивными элементами – резисторы  $R_1 - R_4$ .

После проверочного расчета схемы проводят расчет геометрических (топологических) размеров пассивных и активных элементов.

Для схемы на рисунке 5.6 а в качестве транзистора промежуточного каскада  $T_1$  выбран из банка транзисторов одноэмиттерный однобазовый транзистор с полосковой контактной областью к коллектору. На основе структуры транзистора  $T_1$  сформированы диод  $D_5$  и тестовый транзистор (рисунок 5.6 в).

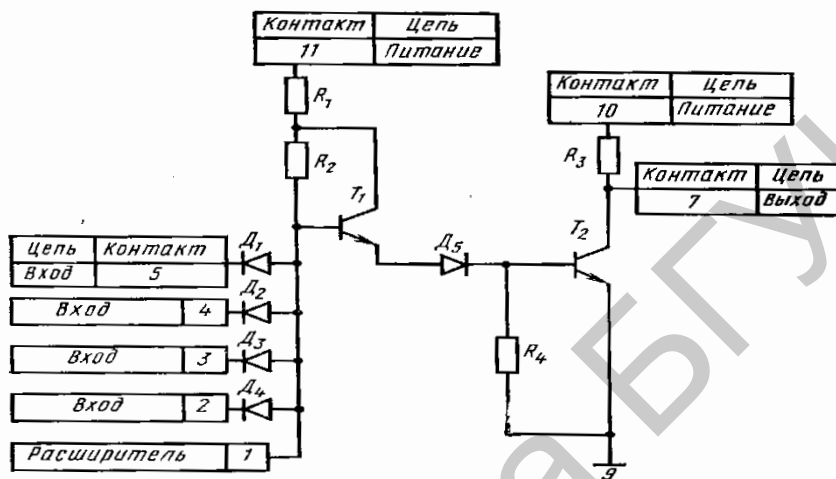


Рисунок 5.6 а – Принципиальная электрическая схема логического элемента И – НЕ

Транзистор выходного каскада  $T_2$  является более мощным. В качестве этого транзистора выбран одноэмиттерный однобазовый транзистор с П-образной контактной областью к коллектору.

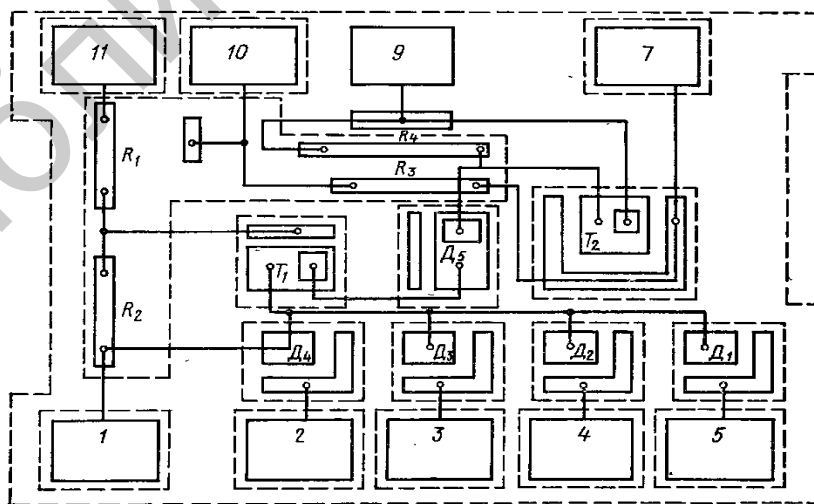


Рисунок 5.6 б – Эскиз топологии логического элемента И – НЕ

В качестве входных диодов  $D_1$ – $D_4$  выбран диод на основе  $p$ - $n$ -перехода база – коллектор транзисторной структуры. Диод промежуточного каскада  $D_5$  выполняют на переходе эмиттер – база той же транзисторной структуры. Исходными данными для разработки эскиза топологии являются принципиальная электрическая схема, геометрические размеры активных элементов, геометрические размеры резисторов. Проектирование эскиза топологии (рисунок 5.6 б) рекомендуется начинать с какой-либо контактной площадки, затем последовательно переходить от одного элемента к другому, по возможности располагая элементы, соединенные между собой, в непосредственной близости друг от друга и учитывая требования к расположению контактных площадок. На рисунке 5.6 б показан первый вариант эскиза топологии логического элемента И – НЕ.

Окончательный вид топологии приведен на рисунке 5.6 в. На кристалле предусмотрен тестовый транзистор, предназначенный для контроля параметров транзисторов схемы. Он имеет такую же конфигурацию, что и транзистор  $T_1$ . Контактные площадки тестового транзистора имеют форму, отличную от формы контактных площадок схемы.

Фигуры совмещения имеют форму квадратов. Запас на совмещение для квадратов составляет 5 мкм.

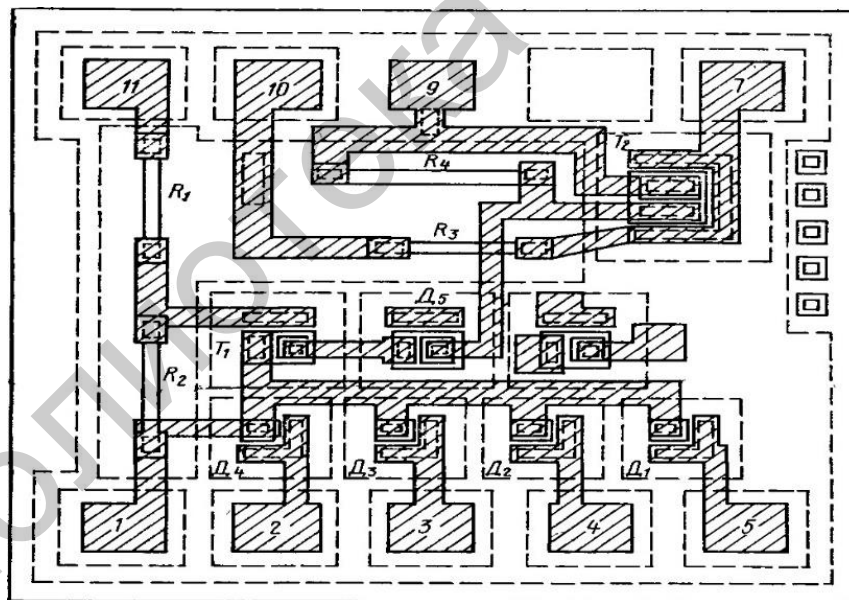


Рисунок 5.6 в – Топология логического элемента И – НЕ

Вариант топологии кристалла с четырьмя двухходовыми инверторами приведен на рисунок 5.7. По оси симметрии кристалла расположены фигуры совмещения.

Оценку качества разработанной топологии производят по ранее изложенной методике.



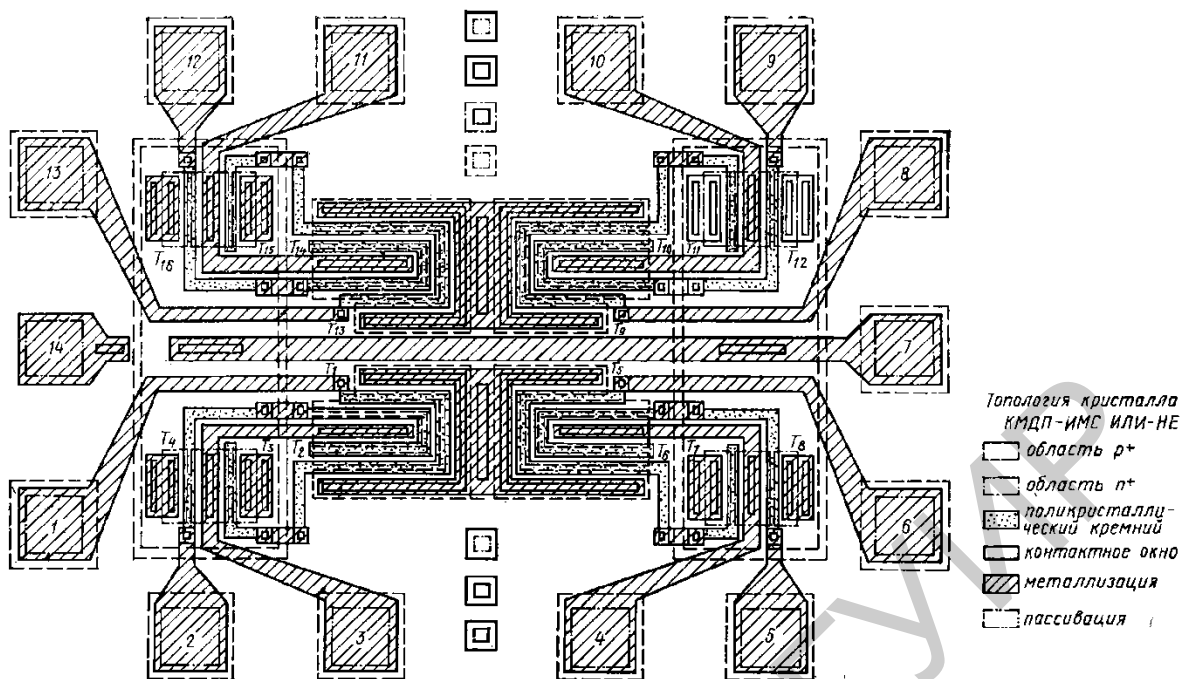


Рисунок 5.7 – Топология кристалла КМДП-ИМС ИЛИ – НЕ

#### Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы и определить необходимые процедуры проектирования.
3. Используя средства автоматизированного проектирования, осуществить разработку топологии.

## ТЕМА 6 ПРОЕКТИРОВАНИЕ ВЫСОКОТОЧНЫХ МНОГОСЛОЙНЫХ ПЕЧАТНЫХ ПЛАТ

Разобрав любое современное электронное устройство, вы обнаружите в нем печатную плату. Для создания этого элемента используются различные технологии, история появления которых имеет начало в первые годы XX века. Тогда немецким инженером Альбертом Паркером Хансоном, занимавшимся разработками в области телефонии, было создано устройство, считающееся прототипом всех известных сегодня видов печатных плат. «Днем рождения» печатных плат считается 1902 год, когда изобретатель подал заявку в патентное ведомство родной страны.

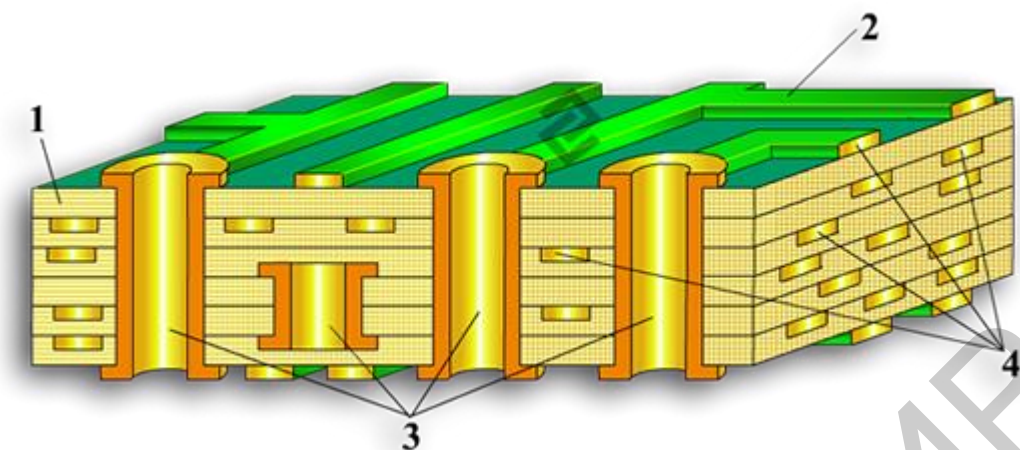
Печатная плата Хансена представляла собой штамповку или вырезание изображения на бронзовой (или медной) фольге. Получившийся проводящий слой наклеивался на диэлектрик – бумагу, пропитанную парафином. Уже тогда, заботясь о большей плотности размещения проводников, Хансен наклеивал фольгу с двух сторон, создавая двустороннюю печатную плату. Изобретатель также использовал идущие насквозь печатной платы соединительные отверстия. В работах Хансена есть описания создания проводников при помощи гальваники или проводящих чернил, представляющих собой измельченный в порошок металл в смеси с клеящим носителем.

С тех пор прошло много времени и номенклатура печатных плат сильно расширилась. В настоящее время существуют:

- одно-и двухсторонние и многослойные (включая *HDI*) печатные платы;
- жесткие, гибкие, гибко-жесткие и платы на металлических основаниях;
- быстродействующие цифровые, а также платы ВЧ-диапазона;
- печатные платы с *LVDS*-цепями и с контролируемым импедансом;
- платы с оптимизацией стэкапов, внутренних слоев земли/питания;
- микро*BGA*, а также *BGA* с большим числом выводов.

**Многослойные печатные платы (МПП)** используются для проектирования особо сложных устройств, требующих высокой плотности монтажа компонентов. К таким устройствам относятся программно-управляемые электронные средства. Количество слоев в плате полностью зависит от сложности задачи, стоящей перед разработчиком печатной платы. При этом компоненты монтируются с двух сторон печатной платы, а внутренние слои служат для соединения компонентов друг с другом. Соединения проводников формируются через межслойные переходные отверстия (рисунок 6.1).

Многослойные печатные платы могут содержать до 32 слоев, что обеспечивает высокую удельную плотность печатных проводников и контактных площадок. К другим преимуществам печатных плат этого типа относится уменьшение длины проводников, что значительно повышает быстродействие (например, скорость обработки данных в программно-управляемых электронных средствах). Также многослойные печатные платы позволяют экранировать цепи переменного тока.



1 – диэлектрик; 2 – защитный слой (маска); 3 – контактные отверстия;  
4 – токопроводящая дорожка;  
Рисунок 6.1 – Структура слоев МПП

Типичный вид МПП показан на рисунке 6.2.

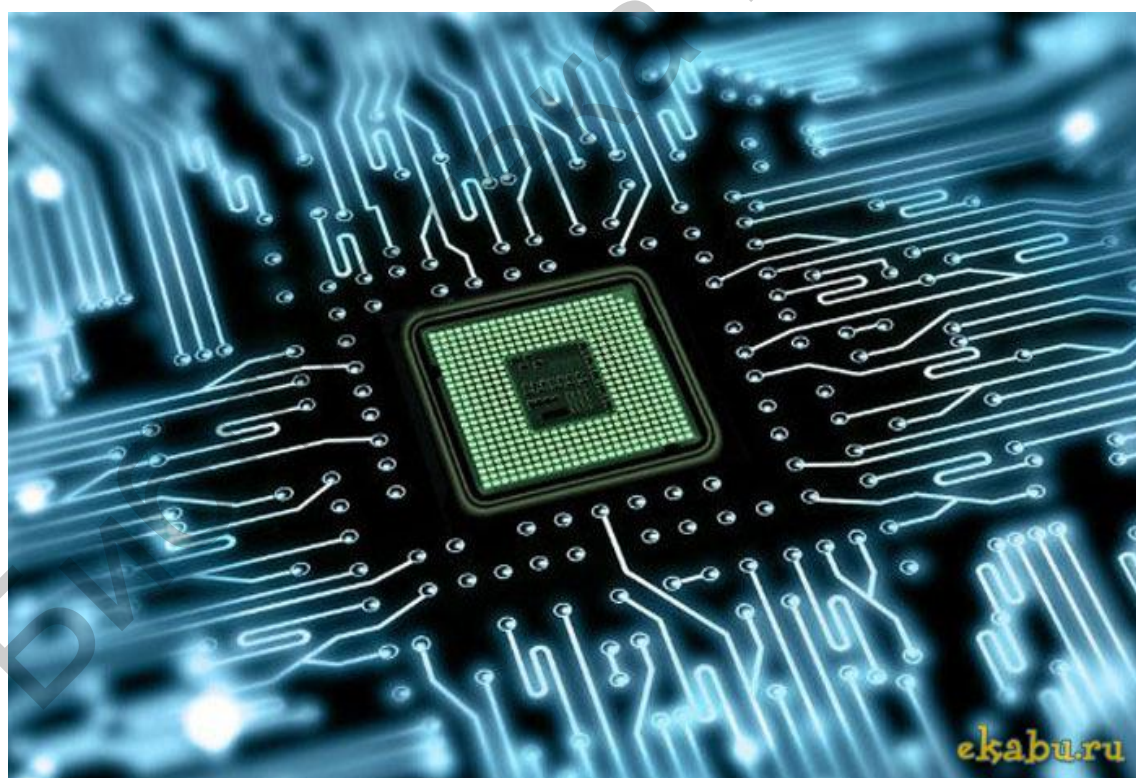


Рисунок 6.2 – Общий вид многослойной печатной платы для программно-управляемых электронных средств

Чтобы начать проектирование МПП и оценить стоимость проектирования топологии печатной платы, необходимо получить от заказчика схему электрическую принципиальную (СХЭП), которая может быть выполнена в любом формате или даже в виде отсканированного изображения. К схеме следует приложить требования к проектируемой плате, а также перечень элементов с указанием производителей и поставщиков.

Проектная группа может начать новый проект с разработки технических характеристик системы. Они содержат:

- перечень функций, которые должны быть обеспечены в результате выполнения проекта;
- условия, при которых он будет выполняться;
- предполагаемые затраты на реализацию проекта;
- затраты на освоение проекта;
- график выполнения проектных работ;
- регламент наладочных работ;
- степень новизны используемых для него технологий;
- массу и габариты проектируемого изделия;
- другие требования (при необходимости).

В самом начале требуется лишь грубая оценка этих параметров, дающая возможность выбрать материалы, инструментальные средства и необходимые приборы. Например, речь может идти о проектировании программно-управляемого электронного средства, которое должно весить менее 2 кг, помещаться в портфель, работать от батареи в течение двух часов, иметь среднее время безотказной работы, равное 200 000 часам или более, стоить менее 2000 долларов, иметь 400 Мбайт оперативной памяти, запоминающее устройство емкостью 240 Гбайт или более и быть совместимым с исполнительными органами. Эти технические характеристики служат отправной точкой нового проекта.

Сразу после составления технических характеристик системы разрабатывается блок-схема основных функций, которая будет показывать, как эта система будет распределена и как будут связаны между собой ее функции.

После того как стали известны основные функции и определены технологии, с помощью которых они будут реализованы, схема разделяется по платам, при этом группируются те функции, которые должны работать вместе на одной плате. Обычно такое распределение производится там, где шины данных соединяют функции вместе. Часто эти шины находятся на соединительной плате, в которую вставляется группа дочерних плат. При работе с персональным компьютером такое распределение часто приводит к использованию материнской платы и нескольких небольших съемных модулей,

таких, как карта памяти, видеокарта, контроллер диска и карта интерфейса компьютера.

Как только становится известна совокупность схемотехнических решений и принцип размещения их частей по платам, можно сразу оценить размер и площадь каждой печатной платы. Очень часто размер ПП заранее фиксируется ее конечным назначением. Например, система, основанная на *VME* или многошинной технологии, должна использовать печатные платы, размеры которых определены стандартом «Евромеханики». В этом случае распределение системы и технология компоновки будут продиктованы тем, какие компоненты и сколько можно будет разместить на этих печатных платах стандартного размера. Окончательная стоимость ПП часто зависит от числа слоев и от количества плат, которые можно разместить на заготовке стандартного размера (у большинства производителей размер заготовки составляет 457 на 610 мм с рабочей областью 420 на 560 мм). Выбор такого размера печатных плат, при котором можно было бы использовать всю или большую часть площади заготовки, оказывается наиболее рентабельным.

После того как были определены функции системы, ее распределение и соответствующие технологии, можно приниматься за схему или детальные соединения между компонентами. Принципиальные схемы и блок-схемы обычно выполняются с помощью систем автоматизированного инженерного проектирования *CAE* (*computer-aided engineering*). Эти системы позволяют конструкторам нарисовать принципиальную схему на экране дисплея. Данные, необходимые для всех последующих шагов выполнения проекта, создаются с помощью системы *CAE* из этой принципиальной схемы.

Средства, используемые в процессе проектирования печатной платы, должны быть обеспечены разнообразной информацией о каждой ее части для возможности выполнения каждого этапа проектирования. Эта информация вводится в библиотеку или набор библиотек, по одной записи на каждый компонент. Среди необходимых элементов информации:

- тип корпуса, вмещающего компонент, например, корпус для монтажа в сквозные отверстия, *QFP*, *DIP*;
- размер корпуса компонента, расстояние между выводами, размер выводов, форма выводов, посадочное место под компонент;
- функция, выполняемая каждым выводом, например, ввод/вывод, вывод подачи питания;
- электрическая характеристика каждого вывода, например, емкость, полное выходное сопротивление.

Для уверенности в том, что проект будет выполнять предназначенную ему функцию в определенном диапазоне внешних и внутренних условий, необходимо провести проверку правильности проектирования.

Эти условия могут включать точность параметров компонента, диапазон скоростей исполнения, диапазоны рабочей температуры, условия вибрационных и ударных нагрузок, диапазоны влажности и напряжения питания.

Исторически это осуществлялось конструированием макетов и прототипов, которые подвергались строгим испытаниям. По мере того как системы и их программное обеспечение становились все совершеннее, эта методика становилась все менее адекватной. Для решения этой проблемы были разработаны программы, которые позволяли компьютеру моделировать функцию без ее конструирования. Эти модели дали возможность намного быстрее проводить испытания, которые стали строже и многосторонней, чем когда-либо можно было ожидать от любого макета или прототипа. Обнаруживаемые дефекты можно с легкостью исправлять в имитационной модели, а затем повторно проводить тестирование, прежде чем поручать делать его на аппаратном уровне.

После успешного завершения процесса логико-временного моделирования следует начинать фактическое размещение. Оно начинается с размещения компонентов проекта на поверхности печатной платы по рисункам, которые бы группировали логические функции вместе. После этого получившиеся группы компонентов располагают на рабочем поле ПП так, чтобы взаимодействующие функции оказались смежными, компоненты, создающие тепло, должным образом охлаждались, а компоненты, которые граничат с внешней схемой, оказались рядом с разъемами, и т. п. Эту операцию размещения можно выполнять вручную, используя графические средства, или автоматически, с помощью системы САПР для печатных плат.

Большинство логических элементов имеют небольшое время переключения, и задержки в линиях (конструктивные задержки) достаточно малы, чтобы полностью исключить проблемы наводок и отражений в линиях связи. Для уверенности в том, что требования по электромагнитной совместимости удовлетворены, необходимо принять меры по согласованию линий связи по импедансу, т. е. снабдить их соответствующими импедансу согласующими сопротивлениями. После того как компоненты размещены на поверхности печатной платы, выполняется пространственное расположение всех межсоединений в соответствии с электрической схемой. На этом этапе можно определить, как соединить линии с нагрузками и оконечными устройствами для формирования линий связи, чтобы исключить формирование ошибочных шлейфов и обеспечить согласующие сопротивления в конце линии.

После завершения размещения компонентов и установки порядка следования узлов в каждой из схем можно оценить длину и характеристики каждой линии. Это возможно, поскольку координаты каждой точки в плоскости

$X - Y$  в схеме известны, известен порядок их соединения, а также известно, что фактическая прокладка соединения должна выполняться в одном из направлений по осям  $X$  или  $Y$ . Эта информация о длине связи может быть использована при моделировании характеристик быстродействующего переключения каждой схемы и прогнозирования наличия чрезмерных помех и отражений, а также оценки промежутка времени, требуемого сигналу на прохождение каждой линии. И все это – до выполнения фактической трассировки или конструирования печатной платы. Этот этап имитационного моделирования дает возможность обнаружить потенциальные нарушения функций сигналов и до выполнения трассировки решить эту проблему при весьма скромном ресурсе времени моделирования.

Если моделирование выявило чрезмерные задержки времени или проблемы с отражениями, то следует отрегулировать размещение компонентов и переместить линии с критическими участками или добавить в схемы согласующие сопротивления для уменьшения отражений. Выполнив эту модельную настройку, вы можете считать, что достигли поставленной цели «с первого раза», что очень важно для проектирования конструкций с повышенными рабочими характеристиками.

До этого уже многое было проанализировано для того, чтобы выяснить, правильно ли будет функционировать создаваемая конструкция после ее трассировки. Однако трассировка может и не получиться в ряде слоев сигнальной разводки из-за требований, которые накладывает конечная стоимость конструкции. Большинство CAD-систем (САПР) имеют инструмент для анализа трассируемости, который помогает проектировщику определить, разместится ли трассировка в разрешенных слоях сигнальной разводки. Если она не будет помещаться, то анализатор трассируемости может дать информацию о том, как нужно пересмотреть размещение компонентов, чтобы получить удачную трассировку. После урегулирования размещения следует повторить шаги по моделированию линий связи и синхронизации и убедиться в достижении намеченных целей. Разводка печатной платы включает в себя размещение всех соединений в слоях сигнальной разводки в виде медных трасс, при этом следует соблюдать правила выбора длины и шага трасс. Обычно на этом этапе используют комбинацию ручной трассировки цепей специальных сигналов и автоматическую трассировку всего остального.

После прокладки всех соединений в слоях сигнальных связей становится известной фактическая форма и длина каждой линии и слой, на котором они были проложены, а также, какие из цепей смежные. Эти физические данные могут быть загружены в анализатор линий связи и синхронизации для выполнения окончательной проверки, все ли проектные цели были достигнуты. Любые обнаруженные нарушения могут быть исправлены при необходимости

перетрассировкой вручную. После выполнения этих проверок и завершения всех регулировок необходимо проверить окончательную разводку по списку соединений в схеме, чтобы убедиться в отсутствии расхождений. Окончательную проверку выполняют по данным *Gerber*, чтобы убедиться, что требования к ширине проводников и зазоров выполнены и что на каждой контактной площадке нет паяльной маски, а также, что трассы и другие элементы рисунка, которые должны быть защищены от припоя, покрыты паяльной маской.

После этого этапа производится создание файлов с производственными данными. Этот шаг включает выпуск файлов для фотоплоттера, сверления, установки компонентов, файлов тестирования плат без монтажа и плат с компонентами, для чертежей и описи материалов, необходимых для производства.

После того как созданы все данные для производства, база данных проектирования и все файлы с данными для производства сохраняются на магнитной ленте или другом носителе для будущего использования при внесении изменений и в качестве резервной копии в случае потери файлов и чертежей, созданных для производства.

Обычно законченный проект топологии печатной платы включает в себя следующие файлы: СХЭП, файл топологии, перечень компонентов, техническое описание. В зависимости от требований заказчика также могут предоставляться 3D визуализация платы в объеме, сборочные чертежи, программы координат для автоматического монтажа, чертеж апертур трафаретов для пасты и многое другое.

Получив вышеупомянутые данные, можно рассчитать стоимость проектирования, а также сроки выполнения работ.

Из определения цели процесса проектирования печатной платы можно видеть, что процесс начинается концепцией и заканчивается сборкой и тестированием. Средства автоматизированного проектирования используются для автоматизации или увеличения скорости и точности каждого шага этого процесса. Эти средства можно разделить на три основные группы, основываясь на том, где они применяются:

- средства автоматизированного конструирования (*computer-aided engineering, CAE*);
- средства автоматизированного проектирования (*computer-aided design, CAD*);
- автоматизированные средства подготовки производства (*computer-aided manufacturing, CAM*).



Названия этих средств говорят о том, что они используются для проектирования схем, физического конструирования печатной платы и изготовления плат без монтажа и плат с монтажом.

В проектировании также имеется разделение труда при разработке схемотехнических решений, конструировании и адаптации проектов к реальным условиям производства, которая наступает после выполнения проектирования топологии печатной платы. На этом этапе осуществляется подготовка к производству и оптимизируется топология с целью сделать ее максимально технологичной для снижения себестоимости изготавливаемой платы.

При этом стремятся максимально использовать материалы, имеющиеся в Республике Беларусь.

В Республике Беларусь широкое применение находят различные материалы для производства печатных плат, разработанные южно-корейской фирмой *Seoul Chemical Research Laboratory*.

Огромное многообразие материалов для печатных плат следует разделить на три большие группы:

- 1) основные или базовые материалы для печатных плат;
- 2) покрытие печатной платы;
- 3) вспомогательные материалы.

**К первой группе материалов для печатных плат принадлежат:**

- многочисленные разновидности твердого диэлектрика (стеклотекстолит, полиимид, гетинакс, ламинат) различных параметров, идущие на изготовление основы односторонних, двухсторонних и многослойных плат;
- смолообразные диэлектрические материалы, служащие для связи слоев в многослойных печатных платах);
- медная фольга, служащая для создания электропроводящего слоя печатной платы.

Из материалов этой группы производится основа, на которую в дальнейшем наносится покрытие печатной платы.

**Ко второй группе следует отнести:**

Защитные или паяльные маски – специальные покрытия, наносимые на поверхность печатной платы для того, чтобы защитить токопроводящие дорожки от незапланированного замыкания и окисления. Существуют однокомпонентные и двухкомпонентные паяльные маски.

В Республике Беларусь широкое применение находят:

- однокомпонентная паяльная маска ультрафиолетового отверждения:  
-SUR-900G для жестких ПП;
- двухкомпонентные фотоформируемые паяльные маски:  
-PHOTOMAGE SPI-606G для гибких ПП;  
-PHOTOMAGE SPI-707 White L для жестких ПП со светодиодными панелями;

- PHOTOMAGE SPI-707 White LF для жестких ПП со светодиодными панелями;

- PHOTOMAGE SPI-707G TC для жестких ПП;

- PHOTOMAGE SPI-707G NE для жестких ПП;

- двухкомпонентная термоформируемая защитная маска:

- SCR-505G для жестких ПП;

- SFR-300 для гибких ПП;

- SFR-300PI для гибких ПП;

- SFR-31CM для гибких ПП;

- однокомпонентная углеродистая паста:

- SCP-15 для жестких ПП.

Фоторезисты – специализированный полимерный материал, изменяющий свои свойства под воздействием ультрафиолетового излучения. При изготовлении печатных плат применяются жидкие и сухие (пленочные) фоторезисты.

В Республике Беларусь широкое применение находит жидкий однокомпонентный фоторезист ультрафиолетового отверждения *SUE-600B*.

Маркировочные краски – полимерные краски, применяемые для нанесения маркировки на поверхность печатных плат.

На рынке присутствуют два типа маркировочных красок: отверждение красок первого типа происходит под воздействием ультрафиолетового излучения, а другой тип полимеризуется под воздействием тепла.

В Республике Беларусь широкое применение находят:

- двухкомпонентная маркировочная краска термического отверждения – SCM-500;

- однокомпонентная маркировочная краска ультрафиолетового отверждения – SUM-90.

**Группу вспомогательных материалов составляют:**

Паяльные пасты – специально разработанные смеси припоя и флюса, используемые для монтажа электронных компонентов на поверхность печатной платы. Различают безотмывочные и водосмываемые паяльные пасты, а также наличие или отсутствие в их составе свинца (*ROHS*). В Республике Беларусь широкое применение находят:

- безотмывочная паяльная паста *ROHS (Sn96.5,Ag3,Cu 0.5)*;

- безотмывочная паяльная паста (*Sn63,Pb37*);

- безотмывочный проволочный припой *ROHS (Sn96.5,Ag3,Cu0.5)*;

- безотмывочный проволочный припой (*Sn63,Pb37*);

- клей для *SMD*-монтажа;

- подкладочный материал – специальный материал, применяемый при сверловке печатных плат. Он обеспечивает уменьшение величины заусенцев при сверловке и позволяет добиваться высокого класса точности печатных плат.

Таблица 6.1 – Материалы, применяемые при изготовлении печатных плат

Диэлектрик	Токопроводящая дорожка и непосредственно контакты	Маска
FR-4 Rogers	Основа – медь. Покрытия: <i>Flash Gold</i> <i>HASL</i> (горячее лужение) <i>Immersion Gold</i> <i>Gold Fingers</i> (золочение разъемов) <i>Ni-Au</i> иммерсионное <i>Ni-Au</i> гальваническое <i>Carbon</i> (покрытие графитом) <i>ROHS</i> (Покрытие бессвинцовое)	Фотопроявляемая паяльная маска Цвета масок: – синий – красный – зеленый – черный – белый – желтый

В зависимости от уровня сложности разрабатываемой платы программно-управляемого электронного средства возможно потребуется несколько этапов технических согласований с заказчиком. Алгоритм взаимодействия с заказчиком показан на рисунке 6.3.

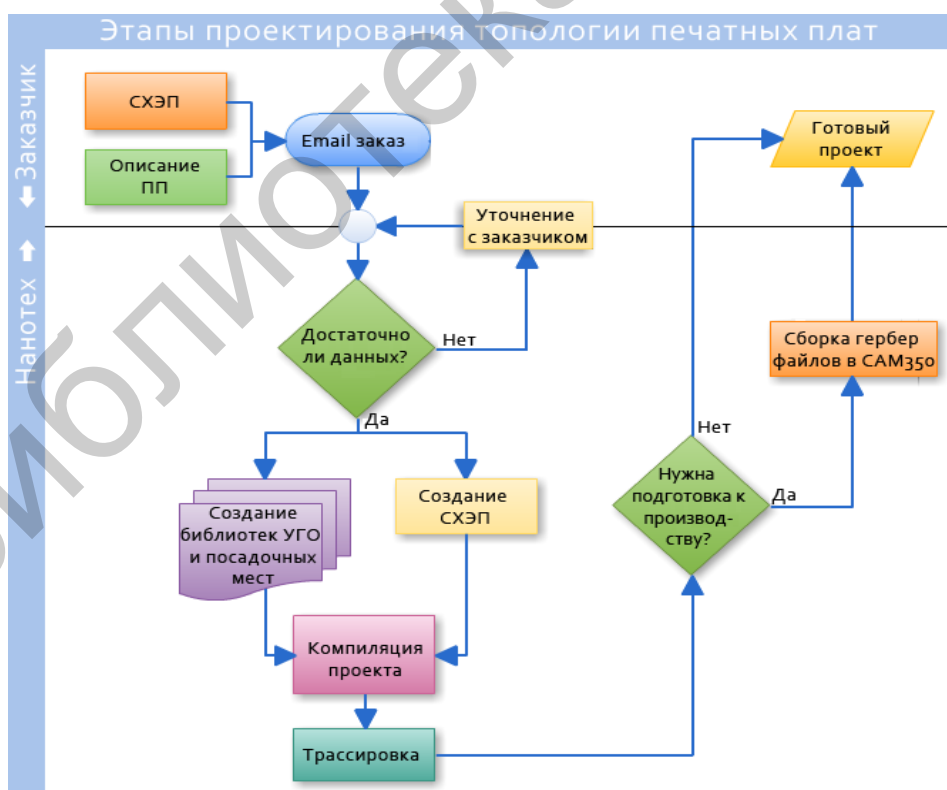


Рисунок 6.3 – Алгоритм взаимодействия с заказчиком для оптимизации процесса адаптации проектов к реальным условиям производства

### Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы и определить необходимые процедуры проектирования.
3. Используя средства автоматизированного проектирования, осуществить разработку топологии.
4. Провести анализ топологии и выбрать тип МПП и техпроцесс ее изготовления.
5. Выделить главные моменты взаимодействия с заказчиком для оптимизации процесса адаптации проектов к реальным условиям производства.

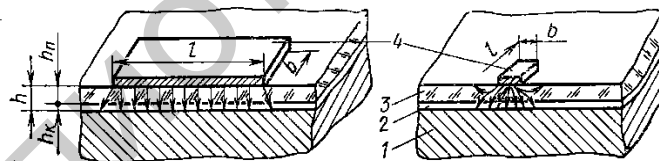
Библиотека БГУИР

## ТЕМА 7 ОБЕСПЕЧЕНИЕ ТЕПЛОВЫХ РЕЖИМОВ РАБОТЫ ИМС

Конструкция ИМС должна быть такой, чтобы теплота, выделяющаяся при ее функционировании, не приводила в наиболее неблагоприятных условиях эксплуатации к отказам элементов в результате перегрева. К тепловыделяющим элементам следует отнести прежде всего резисторы, активные элементы и компоненты. Мощности, рассеиваемые конденсаторами и индуктивностями, невелики. Пленочная коммутация ИМС благодаря малому электрическому сопротивлению и высокой теплопроводности металлических пленок способствует отводу теплоты от наиболее нагретых элементов и выравниванию температуры платы ГИС или кристаллов полупроводниковых ИМС.

Введем следующие понятия, необходимые для осуществления тепловых расчетов.

*Перегрев элемента или компонента ИМС* ( $\theta$ , °С) – разность между их температурой и средней температурой поверхности корпуса. *Максимально допустимая температура*  $T_{\max \text{ доп}}$  – максимальная температура элемента или компонента ИМС, при которой обеспечиваются требования к их надежности. *Удельная мощность рассеяния* ( $P_0$ , Вт/°С) – плотность теплового потока от элемента ИМС, кристалла или платы ИМС. *Внутреннее тепловое сопротивление* элемента, кристалла или компонента ИМС ( $R_{T \text{ вн}}$ , °С/Вт) – тепловое сопротивление самого элемента (кристалла, компонента) и тепловое сопротивление контакта между элементом (компонентом) и платой (кристаллом и корпусом) с учетом теплового сопротивления клеевой прослойки.



- 1 – теплоотвод; 2 – слой клея или компаунда; 3 – подложка;  
4 – тепловыделяющий элемент

Рисунок 7.1 – Тепловой поток от источника теплоты при различных соотношениях между размерами тепловыделяющих элементов и толщиной подложки

В случае когда весь тепловой поток сосредоточен под элементом ИМС и направлен к подложке (рисунок 7.1), при соотношении  $l, b \gg h$  тепловой поток плоскопараллелен и тепловое сопротивление

$$R_T = (h_n/\lambda_n + h_k/\lambda_k) (1/b l), \quad (7.1)$$

где  $R_T$  – тепловое сопротивление;

$\lambda_{\text{П}}$  и  $\lambda_{\text{К}}$  – коэффициенты теплопроводности материала подложки и клея, Вт/(м·°С);

$h_{\text{П}}$  и  $h_{\text{К}}$  – их толщины;

$b$  и  $l$  – размеры контакта тепловыделяющего элемента с подложкой;

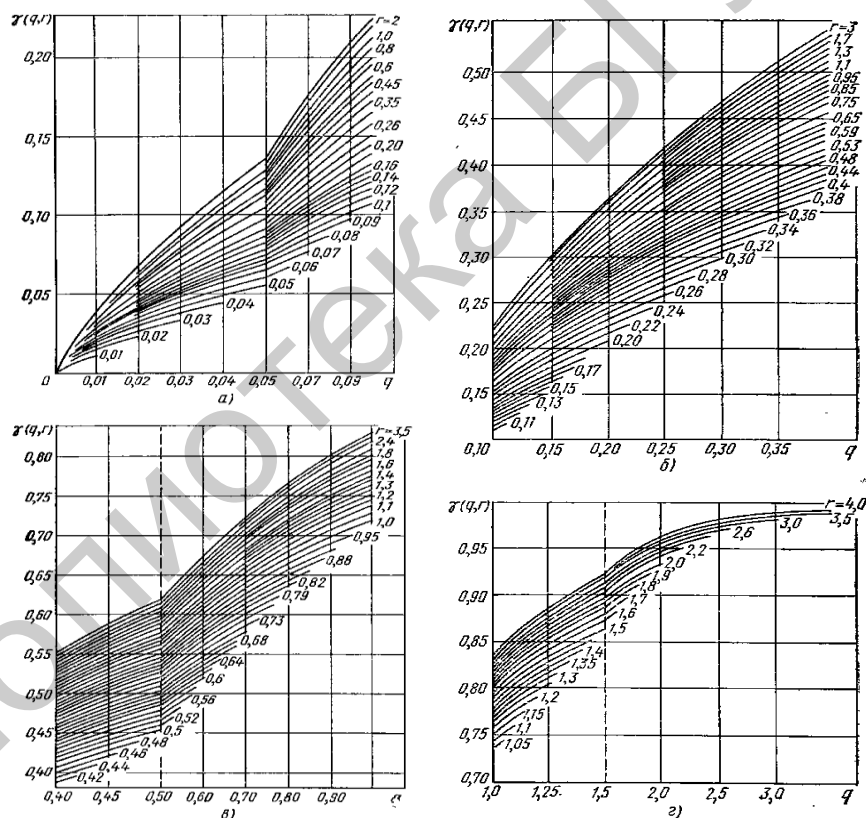
$h = h_{\text{П}} + h_{\text{К}}$ .

При уменьшении размеров источника тепла тепловой поток становится расходящимся (см. рисунок 7.1), эффективность теплоотвода увеличивается и соответственно уменьшается тепловое сопротивление. Этот факт учитывается функцией  $\gamma(q, r)$ :

$$R_{\text{T эф}} = R_{\text{T}} \gamma(q, r), \quad (7.2)$$

где  $q = l/2h$ ;  $r = b/2h$ ;  $l$  и  $b$  – линейные размеры плоского источника теплоты.

Для металлокерамических и металlostеклянных корпусов значения функции  $\gamma(q, r)$  даны на рисунке 7.2.



а – при  $q = 0+0,1$ ; б – при  $q = 0,1+0,4$ ; в – при  $q = 0,4+1,0$ ;

г – при  $q = 1,0+4,0$

Рисунок 7.2 – Значения функции  $\gamma(q, r)$

Зная значения  $R_T$  или  $R_{T\text{эф}}$  для каждого элемента ИМС, легко рассчитать перегрев элементов за счет рассеиваемой мощности  $P_э$ :

$$\Theta_э = P_э R_{T\text{эф}}. \quad (7.3)$$

Температура элемента:

$$T_э = T_к + \Theta_э, \quad T_э = T_с + \Theta_к + \Theta_э, \quad (7.4)$$

где  $T_с$  – температура окружающей среды;

$\Theta_к$  – перегрев корпуса относительно температуры окружающей среды.

В навесных дискретных компонентах наиболее чувствительны к перегреву области  $p$ - $n$ -переходов. Их перегрев относительно подложки определяется выражением

$$\Theta_{\text{вн}} = R_{T\text{вн}} P_э. \quad (7.5)$$

Для навесного полупроводникового компонента

$$T_{\text{нк}} = T_с + \Theta_к + \Theta_э + \Theta_{\text{вн}}. \quad (7.6)$$

Перегрев корпусов  $\Theta_к$  определяется конструкцией корпуса и мощностью рассеяния помещенных в него кристалла или платы ИМС, особенностями монтажа ИМС в составе микросистемного узла или блока, способом охлаждения. Тепловое сопротивление корпуса

$$R_к = 1/(\alpha S_T), \quad (7.7)$$

где  $\alpha$  – коэффициент теплопередачи, Вт/(м<sup>2</sup>·°С);

$S_T$  – площадь теплового контакта корпуса с теплоотводом.

При охлаждении путем естественной конвекции  $\alpha = 5 \dots 20$ , при обдуве  $\alpha = 20 \dots 100$ , при теплоотводе кондукцией через тонкий (0,1 мм) воздушный промежуток  $\alpha \approx 10^2$ , при теплоотводе кондукцией через слой эпоксидного клея толщиной 0,1 мм  $\alpha = 3 \cdot 10^2 \dots 3 \cdot 10^3$ , при металлическом теплоотводе  $\alpha = 10^4 \dots 10^5$ .

Перегрев корпуса  $\Theta_к$  можно оценить по формуле

$$\Theta_к = P_\Sigma R_к, \quad (7.8)$$

где  $P_\Sigma$  – суммарная мощность, рассеиваемая ИМС.

Формула (7.4) не учитывает перегрева за счет взаимного влияния тепловыделяющих элементов, обусловленного наложением тепловых потоков всех источников теплоты, содержащихся в ИМС. Однако этот фоновый перегрев частично учитывается значением  $\Theta_к$ .

Приведенные формулы справедливы при следующих допущениях: коэффициенты теплопроводности всех материалов конструкции ИМС в исследуемом диапазоне температур постоянны; теплоотдачей через газовую прослойку внутри корпуса и через гибкие проволочные выводы можно пренебречь; тепловыделяющие элементы являются плоскими источниками теплоты; температура корпуса одинакова во всех его точках (изотермичный корпус).

Нормальный тепловой режим элементов и навесных компонентов ИМС обеспечивается при выполнении условий

$$\begin{aligned} T_{\text{э}} &= T_{\text{с max}} + \Theta_{\text{к}} + \Theta_{\text{э}} \leq T_{\text{max доп}} , \\ T_{\text{нк}} &= T_{\text{с max}} + \Theta_{\text{к}} + \Theta_{\text{э}} + \Theta_{\text{вн}} \leq T_{\text{max доп}} , \end{aligned} \quad (7.9)$$

где  $T_{\text{с max}}$  – максимальная температура окружающей среды в процессе эксплуатации, заданная ТУ;

$T_{\text{max доп}}$  – максимально допустимая рабочая температура элемента и компонента, обычно оговариваемая в ТУ на компоненты или материалы пленочных элементов.

Для дискретных полупроводниковых приборов и полупроводниковых ИМС  $T_{\text{max доп}}$  – 55, 85 и 125 °С, для диодов – 85 °С, для конденсаторов К10-9, К10-17 – 80 °С, для конденсаторов К53-15, К53-16 – 75 °С.

Нормальный тепловой режим ИМС обеспечивается, если температура самого теплонагруженного элемента ИМС не превышает его максимально допустимой рабочей температуры.

Таким образом, ориентировочный расчет обеспечения теплового режима ГИС сводится к определению  $T_{\text{нк}}$  и  $T_{\text{э}}$  всех навесных компонентов и всех резисторов ГИС и сравнению ее с  $T_{\text{max доп}}$ .

Необходимые данные для расчета: толщина подложки 0,6 – 0,8 мм, коэффициент теплопроводности материала подложки – согласно таблице 7.1, толщина слоя клея 0,1 мм, его коэффициент теплопроводности 0,3 Вт/(м·°С), внутреннее тепловое сопротивление дискретных полупроводниковых приборов в зависимости от конструктивного исполнения 200–1600 °С/Вт. Например, для бескорпусных транзисторов КТ331, КТ332 с заливкой герметиком с одной стороны тепловое сопротивление  $R_{\text{T}} = 220$  °С/Вт, а с заливкой герметиком с двух сторон  $R_{\text{T}} = 1600$  °С/Вт, для КТ307  $R_{\text{T}} = 630$  °С/Вт, для диодов КД901, 904, 910, 911  $R_{\text{T}} = 220$  °С/Вт, для КТ324  $R_{\text{T}} = 860$  °С/Вт.

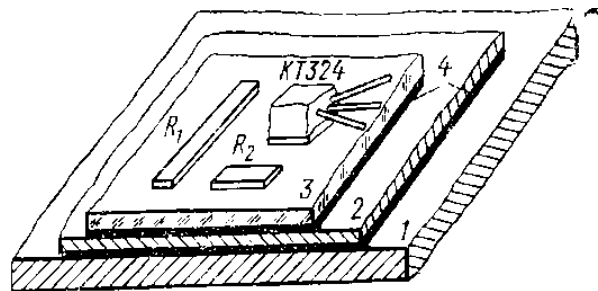
При несоблюдении неравенств (7.9) необходимо принимать дополнительные конструктивные меры для обеспечения теплового режима ИМС.

**Пример.** Провести ориентировочный тепловой расчет резисторов и дискретного транзистора фрагмента ГИС, изображенного на рисунке 7.3, при следующих исходных данных: ГИС размещена на ситалловой подложке СТ-50-1 толщиной 0,6 мм в металлостеклянном корпусе К151.14-2, посаженном с помощью клея (0,1 мм) на теплоотводящую шину; размеры контакта корпуса



с теплоотводом 15x7 мм; мощность, выделяемая в корпусе, 0,2 Вт; максимальная температура окружающей среды в процессе эксплуатации ИМС 50 °С. Геометрические размеры элементов и рассеиваемые ими мощности приведены в таблице 7.1.

В таблице расчетные значения  $R_T$  и  $R_{T\text{эф}}$  получены по формулам (7.1) и (7.2),  $\gamma(q, r)$  – по графикам рисунка 7.2,  $\Theta_3$  – по выражению (7.3).



1 – теплоотводящая шина (медь); 2 – основание металлокерамического корпуса (ковар); 3 – ситалловая подложка; 4 – слой эпоксидного клея

Рисунок 7.3 – Фрагмент ГИС

Таблица 7.1 – Исходные и расчетные значения тепловых параметров для компонентов ГИС

Элемент	Исходные значения			Расчетные значения					
	$l, \text{м} \cdot 10^{-3}$	$b, \text{м} \cdot 10^{-3}$	$P_3, \text{Вт} \cdot 10^{-3}$	$q = 1/2h$	$r = b/2h$	$\gamma(q, r)$	$R_T$	$R_{T\text{эф}}$	$\Theta_3$
КТ315	0,7	0,7	15	0,5	0,5	0,45	$1,55 \cdot 10^3$	$0,7 \cdot 10^3$	10,5
$R_1$	5	0,5	25	3,6	0,36	0,53	$0,3 \cdot 10^3$	$0,16 \cdot 10^3$	4,0
$R_2$	2	0,6	60	1,4	0,43	0,54	$0,63 \cdot 10^3$	$0,34 \cdot 10^3$	20,4

Внутренний перегрев области  $p$ - $n$ -перехода транзистора КТ324 [см. формулу (7.5)]

$$\Theta_{\text{вн}} = 860 \cdot 15 \cdot 10^{-3} = 17,5 \text{ } ^\circ\text{C}.$$

Оцениваем перегрев корпуса по соотношениям (7.7) и (7.8):

$$\Theta_{\text{к}} = 0,2 / (300 \cdot 15 \cdot 7 \cdot 10^{-6}) = 6,3 \text{ } ^\circ\text{C}.$$

Принимаем максимально допустимую рабочую температуру резисторов 125 °С, транзистора КТ324 равной 85 °С .

Проводим оценки рабочих температур и сравнение с максимально допустимой температурой:

$$\begin{aligned} T_{R1} &= 50 + 6,3 + 4,0 \approx 60 \text{ } ^\circ\text{C} < 125 \text{ } ^\circ\text{C}, \\ T_{R2} &= 50 + 6,3 + 20,4 \approx 77 \text{ } ^\circ\text{C} < 125 \text{ } ^\circ\text{C}, \\ T_{\text{КТ324}} &= 50 + 6,3 + 10,5 + 17,5 \approx 84,3 \text{ } ^\circ\text{C} < 85 \text{ } ^\circ\text{C}. \end{aligned}$$

Таким образом, наиболее теплонагруженным из рассматриваемых электрорадиоэлементов является транзистор, его рабочая температура в самых неблагоприятных условиях лишь немного меньше предельно допустимой.

В рамках допущений ориентировочного расчета можно сделать вывод, что для данной ИМС температура внешней среды 50 °С является предельно допустимой.

В том случае если тепловой расчет покажет необходимость принятия конструктивных мер для снижения перегревов элементов и компонентов ИМС, в первую очередь уменьшают тепловые сопротивления за счет использования материалов с более высокими коэффициентами теплопроводности: поликорковых подложек вместо ситалловых, компаундов с наполнителями в виде пылевидных кварца или кремния, увеличивающих коэффициент теплопроводности компаундов до 0,5...0,8 и до 1,9...2,4 Вт/(м·°С), вместо клеев с коэффициентами, равными 0,2...0,4. Следующим шагом для облегчения тепловых нагрузок ИМС является перемещение мощных тепловыделяющих элементов с платы на металлическое основание корпуса. Результатом такого изменения конструкции ИМС является исключение теплового сопротивления подложки и слоя компаунда в цепи передачи теплоты мощных элементов. Дальнейшее снижение тепловых нагрузок связано с мерами по обеспечению более интенсивного теплообмена корпуса ИМС с элементами конструкции узла или блока, вплоть до применения жидкостного охлаждения теплоотводов и термоэлектрических холодильников.

Особенность теплового расчета полупроводниковых ИМС заключается в том, что полупроводниковый кристалл можно рассматривать как единственный тепловыделяющий элемент и считать, что суммарная мощность источников теплоты в нем равномерно распределена в приповерхностном слое. Эта особенность вызвана в первую очередь высоким коэффициентом теплопроводности кремния [80...130 Вт/(м·°С)], малыми размерами элементов и небольшими расстояниями между элементами полупроводниковой ИМС. Экспериментально установлено, что разброс температур на поверхности кристалла невелик (единицы или доли градуса).

Температура элементов полупроводниковой ИМС

$$T_э = T_c + \Theta_k + \Theta_{кр} + \Theta_{вн} . \quad (7.10)$$

Условие обеспечения нормальных тепловых режимов записывается в виде

$$T_э = T_{c \max} + \Theta_k + \Theta_{кр} + \Theta_{вн} \leq T_{\max \text{ доп}} , \quad (7.11)$$

где  $\Theta_{кр}$  – перегрев кристалла относительно подложки или основания корпуса.

**Пример.** Оценить рабочую температуру элементов полупроводниковой ИМС, потребляющей мощность 0,2 Вт, размещенной в металлостеклянном круглом корпусе с использованием эвтектического сплава. Диаметр основания

корпуса 15 мм. Условия эксплуатации  $T_{c \max} = 125 \text{ }^\circ\text{C}$ , охлаждение корпуса осуществляется кондукцией через тонкий воздушный промежуток.

При установке кристалла непосредственно на основании металлостеклянного корпуса эвтектической пайкой  $h_n = 0$ ,  $h_k = 0$ , согласно (7.1)  $R_T = 0$ ,  $\Theta_{кр} = 0$  и согласно (7.7) и (7.8)

$$\begin{aligned}\Theta_k &= 0,2 / (3 \cdot 10^2 \cdot 3,14 \cdot 7,52 \cdot 10^{-6}) = 3,7 \text{ }^\circ\text{C}, \\ \Theta_{вн} &= R_{Твн} P = h_{кр} P / \lambda_{кр} = (0,2 \cdot 10^{-3} \cdot 0,2) / 80 = 2,5 \cdot 10^{-6} \cdot 0,2 \approx 0, \\ T_3 &= 125 + 3,7 \approx 129 \text{ }^\circ\text{C} < 150 \text{ }^\circ\text{C}.\end{aligned}$$

Можно оценить максимальную мощность, которую мог бы потреблять кристалл ИМС в данных условиях, сохраняя свою работоспособность:

$$T_{\max \text{ доп}} - T_{c \max} = \Theta_k = P_{\max} / (3 \cdot 10^2 \cdot 3,14 \cdot 7,52 \cdot 10^{-6}).$$

Поскольку  $\Theta_{кр} = 0$ ,  $\Theta_{вн} \approx 0$ ,

$$P_{\max} = (150 - 125) \cdot 3 \cdot 10^2 \cdot 3,14 \cdot 7,52 \cdot 10^{-6} \approx 1,3 \text{ Вт}.$$

#### Самостоятельная работа студентов

1. Получить у преподавателя параметры кристалла ИМС программно-управляемого электронного средства.
2. Провести анализ кристалла и оценить рабочую температуру элементов полупроводниковой ИМС.

## ТЕМА 8 ЭФФЕКТИВНЫЕ ТЕХНОЛОГИИ СБОРКИ ПРОГРАММНО-УПРАВЛЯЕМЫХ ЭЛЕКТРОННЫХ СРЕДСТВ

Требования рынка по постоянному снижению массогабаритных показателей выпускаемых изделий при повышении их функциональности заставляют разработчиков и конструкторов применять компоненты минимальных размеров (400 на 200 мкм и менее), а также интегральные микросхемы в корпусах  $\mu BGA$  (с размерами шариковых выводов 0,5 мм). Постоянная борьба производителей за снижение себестоимости выпускаемой продукции вынуждает их искать пути максимальной автоматизации технологических процессов. Учитывая постоянное снижение размеров применяемых электронных компонентов и повышение плотности их расположения на печатной плате при создании программно-управляемых электронных средств, использование ручных операций становится не только неэффективным, но и просто невозможным.

Для обеспечения повторяемости технических характеристик выпускаемой продукции и снижения стоимости ремонтов в процессе производства максимальная автоматизация сборочных, инспекционных и контрольно-измерительных операций в условиях массового производства становится насущной необходимостью. Для обеспечения качества паяных соединений и технических характеристик электронных средств необходимо соблюдать минимальное время (стандартное значение – не более 40 мин) между нанесением пасты и оплавлением. Это обстоятельство не позволяет использовать ручные операции контроля качества монтажа и установки экранов. Иными словами, необходимо выполнить следующую последовательность операций в автоматическом режиме:

- нанести паяльную пасту методом трафаретной печати с точностью совмещения не хуже  $\pm 25$  мкм;
- проверить качество нанесения паяльной пасты методом сплошного контроля объема каждого столбика с разрешением по высоте не хуже  $\pm 5$  мкм и разрешением по длине и ширине не хуже  $\pm 25$  мкм;
- быстро (цикл сборки групповой заготовки – мультиплаты – не более 40 мин) и точно (с повторяемостью не хуже  $\pm 35$  мкм) установить компоненты;
- проверить качество установки компонентов;
- при необходимости установить экран;
- провести оплавление в конвекционной печи с точным соблюдением параметров температурного профиля по всей площади печатного узла, обеспечивающих запланированный уровень качества паяных соединений и сохранность термочувствительных компонентов;

- провести контроль качества монтажа и паяных соединений автоматическим оптическим методом;
- провести электрический контроль параметров собранных печатных узлов.

Традиционная реализация указанных задач предполагает использование визуального контроля качества монтажа и ручной установки экранов перед оплавлением, что резко снижает эффективность в условиях массового производства и качество выпускаемых изделий.

Оптимальным решением до недавнего времени считалось применение дополнительной системы автоматической оптической инспекции для контроля качества монтажа перед последним сборочным автоматом, устанавливающим наиболее сложные компоненты.

В массовом производстве печатных узлов с электронными модулями необходимо обеспечить высокую производительность сборочного оборудования и качество выпускаемой продукции при минимальной трудоемкости ее изготовления, включая затраты на ремонт печатных узлов в процессе производства.

Для решения этих задач мировой лидер в производстве высокопроизводительного сборочного оборудования компания *Fuji* разработала новый модуль с функцией АОИ (рисунок 8.1).



Рисунок 8.1 – Новый модуль автомата *Fuji NXT II*: полная автоматизация сборочных и инспекционных операций при производстве печатных узлов с электронными модулями

Он позволяет:

- устанавливать широкий диапазон корпусов компонентов (с минимальными размерами 200x100 мкм);
- проводить автоматическую оптическую инспекцию качества сборки перед установкой наиболее сложных компонентов;

- устанавливать наиболее сложные компоненты в одном цикле после проверки качества монтажа.

Предлагаемое решение для сборочной линии на базе автомата *Fuji NXT II* с функцией автоматической оптической инспекции качества монтажа компонентов (рисунок 8.2) позволит:



Рисунок 8.2 – Новый модуль с функцией АОИ: качественная сборка электронных модулей без дополнительного оборудования

- обеспечить максимальную автоматизацию сборки за счет возможности установки широкого диапазона корпусов компонентов;
- обеспечить запланированный уровень качества и надежности выпускаемой продукции за счет высокой точности и повторяемости установки компонентов;
- снизить трудоемкость изготовления изделий за счет исключения ручных операций из технологического процесса;
- снизить затраты на проведение ремонтов в процессе производства за счет применения автоматической оптической инспекции качества монтажа перед установкой экрана;
- увеличить объем выпускаемой продукции и прибыль.

#### Электронные компоненты для электронных модулей программно-управляемых электронных средств

В настоящее время сфера применения электронных компонентов вышла далеко за пределы области радиотехники и проникает практически во все технические направления.

Качество работы сложного электронного устройства напрямую зависит от компонентов, входящих в его состав. Понимая это, компания БелПлата предлагает своим клиентам электронные компоненты только тех производителей, качество которых не вызывает сомнения.

В настоящее время предприятие БелПлата реализует изделия четырех компаний – лидеров мирового производства электронных компонентов:

- нидерландской *NXP Semiconductors*;
- швейцарской *STMicroelectronics*;
- тайваньской *Holtek Semiconductor*;
- американской *Vishay*.

*NXP Semiconductors*. Эта компания, основанная 29 сентября 2006 года, у которой даже название (*Next eXPerience*) устремлено в будущее, уверенно чувствует себя на рынке электронных компонентов. Компания прочно занимает почетное второе место среди мировых производителей в области реализации диодов и транзисторов.

*STMicroelectronics*. Компания возникла в 1987 году на базе союза французской и итальянской фирм, работавших в области микроэлектроники. По итогам 2008 года она уверенно лидировала в рейтинге европейских производителей электронных компонентов. В области полупроводниковых компонентов для электронных устройств различного назначения у нее практически нет конкурентов.

*Holtek Semiconductor*. Созданная в 1983 году в качестве фирмы-разработчика интегральных микросхем, компания к 1990 году развернула собственное производство, а к началу XXI века вошла в группу лидеров в области создания и производства универсальных микроконтроллеров и периферии к ним. В списке продукции компании имеются и другие электронные компоненты, уверенно конкурирующие на мировом рынке.

*Vishay*. Одна из старейших компаний-производителей электронных компонентов. Она была основана в далеком 1962 году и занималась первоначально выпуском фольговых резисторов. В настоящее время во многом благодаря активной покупке других компаний, работающих в области производства электронных компонентов, компания *Vishay Intertechnology, Inc.* входит в число крупнейших мировых компаний и является ведущим поставщиком на мировой рынок дискретных полупроводниковых и пассивных электронных компонентов.

Также компания занимается поставками различныхмоточных изделий (трансформаторов, дросселей, индуктивных элементов) и изделий из феррита.

Качество работы сложного электронного устройства напрямую зависит не только от компонентов, входящих в его состав, но и важнейшую роль в его обеспечении играет конструкция. Для ее оптимизации используется 3D моделирование.

### Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы и выбрать необходимые электронные компоненты.
3. Используя средства автоматизированного проектирования, осуществить 3D моделирование.
4. Провести анализ конструкции модуля и выбрать оптимальный тип конструкции.

Библиотека БГУИР



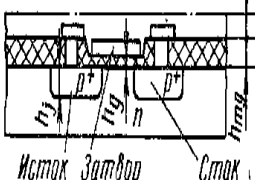
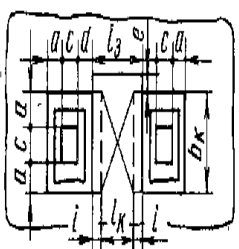
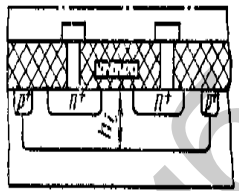

## ЛИТЕРАТУРА

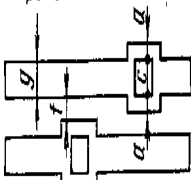
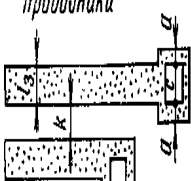
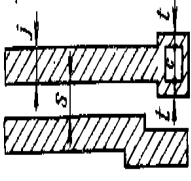
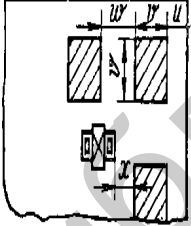
- 1 Симонов, Б. Базовые матричные кристаллы / Б. Симонов, Б. Малашевич / [http://www.chipnews.ru/html.cgi/arhiv/00\\_06/stat\\_18.htm/](http://www.chipnews.ru/html.cgi/arhiv/00_06/stat_18.htm/)
- 2 Структура, топология и свойства пленочных резисторов / Л. И. Гурский [и др.]. – Минск : Наука и техника, 1987. – 264 с.
- 3 Торгонский, Л. А. Проектирование интегральных микросхем и микропроцессоров: учеб. пособие / Л. А. Торгонский. В 3 разд. – Томск: ТУСУР, Разд. 1. 2011. – 254 с.
- 4 Конструирование и технология микросхем / Л. А. Коледов [и др.]. – М. : Высш. шк., 1984. – 231 с.
- 5 Шелохвостов, В. П. Проектирование интегральных микросхем: учеб. пособие / В. П. Шелохвостов, В. Н. Чернышов. – 2-е изд., стер. – Тамбов : Изд-во Тамб. гос. техн. ун-та, 2008. – 208 с.
- 6 Прилипко, К. Семинар «Проектирование многослойных печатных плат высокой плотности / К. Прилипко // Производство электроники. – 2008. – №8.
- 7 Медведев, А. Перспективные технологии и материалы для разработчиков многослойных печатных плат / А. Медведев // Технологии в электронной промышленности. – 2009. – №1.
- 8 Печатные платы: справочник / под ред. К. Ф. Кумбза (мл.); пер. с англ.; под ред. А. Медведева. В 2 кн. Кн. 1. – М. : Техносфера, 2011.
- 9 Медведев, А. Анатомия сквозного металлизированного отверстия / А. Медведев С. Арсентьев // Технологии в электронной промышленности. – 2008. – №5.
- 10 Медведев, А. Печатные платы. Требования для поверхностного монтажа / А. Медведев, Г. Мылов // Компоненты и технологии. – 2007. – №10.

ПРИЛОЖЕНИЕ А

Технологические ограничения на размеры МДП-структур

Технологические ограничения на размеры МДП-структур

Чертежи топологии	Наименование элемента топологии, наименование и обозначение размера	Вид технологии		
		p-МДП	n-МДП	КМДП
<p><i>p</i>-канальный МДП-транзистор с алюминиевым затвором</p>  <p>Исток Затвор Сток</p>  <p><i>n</i>-канальный МДП-транзистор с кремниевым затвором</p>   <p>Исток Затвор Сток Защитное кольцо</p>	<p>Толщина затворного диэлектрика (<math>\text{SiO}_2</math>) <math>h_d</math>, мкм</p> <p>Толщина толстого диэлектрика (<math>\text{SiO}_2</math>) <math>h_{тд}</math>, мкм</p> <p>Толщина металлизации (алюминия) <math>h_m</math>, мкм</p> <p>Толщина кремниевого затвора <math>h_{п.к.з.}</math>, мкм</p> <p>Толщина межслойной изоляции (ФСС) <math>h_{м.и.}</math>, мкм</p> <p>Толщина пассивирующего слоя (ФСС) <math>h_{пс.}</math>, мкм</p> <p>Толщина стоков, истоков, диффузионных проводников <math>h_i</math>, мкм</p> <p>Толщина <i>p</i>-областей для формирования <i>n</i>-канальных транзисторов КМДП-ИМС <math>h_i</math>, мкм</p> <p>Минимальная длина алюминиевого (кремниевого) затвора <math>l_3</math>, мкм</p> <p>Перекрытие областей стока (источка) алюминиевым (кремниевым) затвором <math>i</math>, мкм</p> <p>Минимальное расстояние от края контактного окна до края стока (источка), диффузионного проводника, кремниевого затвора <math>a</math>, мкм</p> <p>Минимальный размер контактного окна к стоку (источку), диффузионному проводнику и кремниевому затвору <math>c \times c</math>, мкм</p> <p>Минимальное расстояние от затвора до края контактного окна к стоку (источку) <math>d</math>, мкм</p> <p>Перекрытие области канала затвором на его конце <math>e</math>, мкм</p> <p>Минимальное расстояние между соседними стокowymi (истокowymi) областями и диффузионными проводниками <math>f</math>, мкм</p>	<p>0,07—0,10</p> <p>1,0</p> <p>1,2</p> <p>—</p> <p>—</p> <p>1,0</p> <p>1,5</p> <p>—</p> <p>12</p> <p>2,0</p> <p>4,0</p> <p>6×6</p> <p>10,0</p> <p>3,0</p> <p>10,0</p>	<p>0,07—0,1</p> <p>1,0</p> <p>1,2</p> <p>0,5</p> <p>1,0</p> <p>1,0</p> <p>1,0</p> <p>—</p> <p>5</p> <p>0,8</p> <p>2,0</p> <p>5×5</p> <p>4,0</p> <p>2,0</p> <p>2,0</p> <p>5,0</p>	<p><math>\geq 0,1</math></p> <p>1,0</p> <p>1,2</p> <p>0,5</p> <p>1,0</p> <p>1,0</p> <p>1,0 (<math>n^+</math>)</p> <p>1,5 (<math>p^+</math>)</p> <p>6,0—7,0</p> <p>5</p> <p>1,0</p> <p>2,0</p> <p>5×5</p> <p>4,0</p> <p>До охранного кольца (Al)</p> <p>2,0 (Si)</p> <p>5,0</p>

Чертежи топологии	Наименование элемента топологии, наименование и обозначение размера	Вид технологии		
		p-МДП	л-МДП	КМДП
<p>Диффузионные проводники</p>  <p>Поликремниевые проводники</p>  <p>Проводники металлизации</p>  <p>Контактные площадки</p> 	<p>Минимальная ширина диффузионного проводника и охранного кольца <math>g</math>, мкм</p> <p>Минимальное расстояние между кремниевыми затворами <math>k</math>, мкм</p> <p>Минимальное расстояние между алюминиевыми затворами и между проводниками металлизации <math>s</math>, мкм</p> <p>Минимальная ширина проводников металлизации <math>j</math>, мкм</p> <p>Перекрытие проводником металлизации контактного окна ко всем областям <math>t</math>, мкм</p> <p>Расстояние от края кристалла до контактной площадки <math>u</math>, мкм</p> <p>Минимальный размер контактной площадки для ручной (числитель) и автоматизированной (знаменатель) термокомпрессионной сварки <math>v \times u</math>, мкм</p> <p>Минимальное расстояние между контактными площадками для ручной (числитель) и автоматизированной (знаменатель) термокомпрессионной сварки <math>w</math>, мкм</p> <p>Расстояние между контактными площадками и другими элементами схемы <math>x</math>, мкм</p>	<p>8,0</p> <p>—</p> <p>8,0</p> <p>8,0</p> <p>3,0</p> <p></p> <p></p> <p></p> <p></p> <p></p>	<p>5,0</p> <p>4,0</p> <p>5,0</p> <p>5,0</p> <p>2,0</p> <p><math>\geq 50</math></p> <p><math>50 \times 50</math> <math>150 \times 150</math></p> <p>70 50</p> <p>20</p>	<p>5,0</p> <p>4,0</p> <p>5,0</p> <p>5,0</p> <p>2,0</p> <p></p> <p></p> <p></p> <p></p> <p></p>

*Учебное издание*

**Собчук Николай Сергеевич**

**ПРОГРАММНО-УПРАВЛЯЕМЫЕ ЭЛЕКТРОННЫЕ СРЕДСТВА**

**ПОСОБИЕ**

Корректор *Е. Н. Батурчик*

Компьютерная правка, оригинал-макет *В. М. Задоя*

Подписано в печать 21.02.2018. Формат 60x84 1/16. Бумага офсетная. Гарнитура «Таймс».  
Отпечатано на ризографе. Усл. печ. л. 5,0. Уч.-изд. л. 4,5. Тираж 50 экз. Заказ 415.

Издатель и полиграфическое исполнение: учреждение образования  
«Белорусский государственный университет информатики и радиоэлектроники».

Свидетельство о государственной регистрации издателя, изготовителя,  
распространителя печатных изданий №1/238 от 24.03.2014,  
№2/113 от 07.04.2014, №3/615 от 07.04.2014.

ЛП №02330/264 от 14.04.2014.

220013, Минск, П. Бровки, 6