

УДК 681.326.7

**ОБНАРУЖЕНИЕ ЧЕТЫРЕХКРАТНЫХ ОШИБОК ОЗУ СРЕДСТВАМИ  
ВСТРОЕННОГО ТЕКУЩЕГО КОНТРОЛЯ**

А.А. ИВАНЮК, С.Б. МУСИН

*Белорусский государственный университет информатики и радиоэлектроники  
П. Бровка, 6, Минск, 220013, Беларусь**Поступила в редакцию 5 мая 2006*

Предлагается новый подход для обнаружения четырехкратных ошибок в ОЗУ с помощью метода адаптивного сигнатурного анализа (АСА). Приведенные в статье теоретические и экспериментальные результаты показывают, что данный подход обладает приемлемыми аппаратными затратами и может быть применен на практике.

*Ключевые слова:* бит-ориентированное ОЗУ, текущий контроль ОЗУ, адаптивный сигнатурный анализ, кратная ошибка.

**Введение**

В последнее время отрасль производства оперативных запоминающих устройств (ОЗУ) отличается высокими темпами развития, которые в основном обусловлены сокращением размера и высокой степенью интеграции компонентов, используемых при их производстве [1]. Уменьшение размеров элементов и их плотная упаковка приводит к высокой интенсивности отказов и сбояв в процессе эксплуатации. Одним из способов решения этой проблемы является встраивание средств текущего контроля на один кристалл с ОЗУ [2]. Данный способ требует значительной площади на кристалле для размещения аппаратных средств кодирования/декодирования. Применение метода адаптивного сигнатурного анализа (АСА) позволяет существенно снизить затраты на встраиваемые средства текущего контроля ОЗУ [3–5].

Для осуществления текущего контроля ОЗУ методом АСА необходимо сжатие эталонной и рабочей сигнатур на сигнатурном анализаторе с последующим их сравнением. Эталонная сигнатура вычисляется в процессе нормального функционирования ОЗУ как сумма по модулю два адресов запоминающих элементов, которые содержат значение "1". Таким образом, при записи данных в ОЗУ осуществляется коррекция эталонной сигнатуры путем побитного суммирования по модулю два предыдущего значения сигнатуры и адресов запоминающих элементов, хранящиеся значения в которых изменились. При необходимости провести контроль данных функционирование ОЗУ приостанавливается и осуществляется вычисление рабочей сигнатуры. Если эталонная и рабочая сигнатуры совпадают, то принимается утверждение, что ОЗУ содержит корректные данные.

В работе [6] подробно исследованы обнаруживающая и диагностическая способности АСА, а также предложен метод поиска векторов для кодирования адресов ОЗУ с целью обнаружения четырехкратных ошибок. При проведении текущего контроля ОЗУ с использованием АСА в соответствие каждому вектору ОЗУ ставится вектор из кодового пространства, в котором любая четверка векторов является линейно независимой. Предложенный алгоритм поиска

кодowych векторов позволяет найти оптимальные векторы с точки зрения разрядности. Однако, как было показано, генерация таких векторов требует значительных аппаратных затрат.

В данной статье предложен метод преобразования адресов ОЗУ в кодовые векторы. Для обнаружения четырехкратных ошибок ОЗУ при проведении текущего контроля с помощью метода АСА проведена оценка аппаратных затрат на реализацию схемы генерации кодовых векторов.

### Анализ

Рассмотрим модель бит-ориентированного ОЗУ, состоящего из  $2^N - 1$  запоминающего элемента (ЗЭ). Совокупность адресов такого ОЗУ можно представить в виде матрицы  $A$ .

$$A = \begin{bmatrix} a_1^N & \cdots & a_1^2 & a_1^1 \\ a_2^N & \cdots & a_2^2 & a_2^1 \\ a_3^N & \cdots & a_3^2 & a_3^1 \\ \vdots & \vdots & \vdots & \vdots \\ a_{2^N-1}^N & \cdots & a_{2^N-1}^2 & a_{2^N-1}^1 \end{bmatrix} = \begin{bmatrix} 0 & \cdots & 0 & 1 \\ 0 & \cdots & 1 & 0 \\ 0 & \cdots & 1 & 1 \\ \vdots & \vdots & \vdots & \vdots \\ 1 & 1 & 1 & 1 \end{bmatrix},$$

где  $a_i^j$  —  $j$ -й разряд  $i$ -го адреса ОЗУ, являющийся вектор-строкой матрицы  $A$ :

Всего существует  $C_N^4$  всевозможных конфигураций четырехкратных ошибок в ОЗУ. Любую конфигурацию четырехкратных ошибок ОЗУ можно представить в виде матрицы  $E_{(i,j,k,l)}$ ,

где  $i, j, k, l$  — адреса ЗЭ, хранящих ошибочные данные, при этом  $i \neq j \neq k \neq l$ .

**Определение 1.** Сигнатурой четырехкратной ошибки  $E_{(i,j,k,l)} = \begin{bmatrix} a_i^N & \cdots & a_i^2 & a_i^1 \\ a_j^N & \cdots & a_j^2 & a_j^1 \\ a_k^N & \cdots & a_k^2 & a_k^1 \\ a_l^N & \cdots & a_l^2 & a_l^1 \end{bmatrix}$  бу-

дем называть сумму  $S_{(i,j,k,l)} = [(a_i^N \oplus a_j^N \oplus a_k^N \oplus a_l^N) \ \cdots \ (a_i^2 \oplus a_j^2 \oplus a_k^2 \oplus a_l^2) \ (a_i^1 \oplus a_j^1 \oplus a_k^1 \oplus a_l^1)]$ ,

где  $\oplus$  — операция суммирования по модулю два.

**Свойства сигнатуры  $S_{(i,j,k,l)}$ .**

Четырехкратная ошибка не может быть обнаружена методом АСА, если  $S_{(i,j,k,l)} = 0$ .

Любая перестановка строк/столбцов матрицы  $E_{(i,j,k,l)}$  не изменяет значение нулевого значения  $S_{(i,j,k,l)}$ .

**Определение 2.** Канонической формой матрицы  $E_{(i,j,k,l)}$  будем называть матрицу

$$\tilde{E}_{(i,j,k,l)} = [E^0 | E^1 | \hat{E}_n] \text{ или } \left[ \begin{array}{ccc|ccc} 0 & \cdots & 0 & 1 & \cdots & 1 \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ 0 & \cdots & 0 & 1 & \cdots & 1 \end{array} \middle| \hat{E}_n \right], \text{ где подматрица } \hat{E}_n \text{ состоит из } n \text{ столбцов}$$

( $n \geq 2$ ) из матрицы  $\hat{E} = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix}$ , содержащей  $C_4^2 = 6$  вектор-столбцов. Все строки

матрицы  $\tilde{E}_{(i,j,k,l)}$  различны.

Любую матрицу конфигурации ошибок  $E_{(i,j,k,l)}$  можно привести к каноническому виду  $\tilde{E}_{(i,j,k,l)}$  путем перестановки ее строк и столбцов. Из свойств  $S_{(i,j,k,l)}$  следует, что приведение конфигурации ошибок к канонической форме не влияет на значение  $S_{(i,j,k,l)}$ .

**Пример.** Выберем произвольную конфигурацию ошибок, для которой  $S_{(i,j,k,l)} = 0$ , и приведем ее к каноническому виду

$$E_{(18,22,26,30)} = \begin{bmatrix} 10010 \\ 10110 \\ 11010 \\ 11110 \end{bmatrix} \xrightarrow{1 \leftrightarrow 5} \begin{bmatrix} 00011 \\ 00111 \\ 01011 \\ 01111 \end{bmatrix} \xrightarrow{1 \leftrightarrow 4} \begin{bmatrix} 01010 \\ 01110 \\ 01011 \\ 01111 \end{bmatrix} \xrightarrow{2 \leftrightarrow 3} \begin{bmatrix} 01100 \\ 01110 \\ 01101 \\ 01111 \end{bmatrix} = \left[ \begin{array}{ccc|c} 0 & 1 & 1 & \\ 0 & 1 & 1 & \\ 0 & 1 & 1 & \\ 0 & 1 & 1 & \end{array} \right] e^2 \mid e^1.$$

Для обнаружения четырехкратных ошибок необходимо, чтобы вычисление  $S_{(i,j,k,l)}$  для любой конфигурации ошибок не давало нуля. Из свойств операции суммирования по модулю два следует, что  $S_{(i,j,k,l)} = 0$ , если столбец матрицы конфигурации ошибок ненулевой и в нем содержится четное количество единиц (две либо четыре).

Введем операции логического умножения ( $\wedge$ ) и сложения ( $\vee$ ) для столбцов матрицы  $E_{(i,j,k,l)}$  и рассмотрим их применение для вектор-столбцов матрицы  $\tilde{E}$ . Обе операции  $\wedge$  и  $\vee$  не линейны. Все дальнейшие рассуждения, справедливые для  $\wedge$ , справедливы также для  $\vee$ .

**Пример.**  $\begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix} \wedge \begin{bmatrix} 1 \\ 0 \\ 1 \\ 0 \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix} \vee \begin{bmatrix} 1 \\ 0 \\ 1 \\ 0 \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \\ 1 \\ 0 \end{bmatrix}.$

**Теорема.** Для любой матрицы конфигурации четырехкратных ошибок  $E_{(i,j,k,l)}$  существует пара столбцов  $X = \begin{bmatrix} a_i^x \\ a_j^x \\ a_k^x \\ a_l^x \end{bmatrix}$  и  $Y = \begin{bmatrix} a_i^y \\ a_j^y \\ a_k^y \\ a_l^y \end{bmatrix}$  таких, что  $S_{(X \wedge Y)} \neq 0$  или

$$(a_i^x \wedge a_i^y) \oplus (a_j^x \wedge a_j^y) \oplus (a_k^x \wedge a_k^y) \oplus (a_l^x \wedge a_l^y) \neq 0.$$

**Доказательство.** Приведем  $E_{(i,j,k,l)}$  к каноническому виду  $\tilde{E}_{(i,j,k,l)}$ . Рассмотрим подматрицу  $[E^0]$ . Для любых  $X$  и  $Y \in [E^0]$   $S_{(X \wedge Y)} = 0$ , так как  $\bigoplus_{i=1}^4 (0 \wedge 0) = 0$ . Рассмотрим подматрицу  $[E^1]$ . Для любых  $X$  и  $Y \in [E^1]$   $S_{(X \wedge Y)} = 0$ , так как  $\bigoplus_{i=1}^4 (1 \wedge 1) = 0$ . Рассмотрим  $\tilde{E}$ . Всего существует  $C_6^2$  сочетаний  $e^x \wedge e^y$ . Из них для двенадцати сочетаний выполняется  $S_{(e^x \wedge e^y)} \neq 0$ . Для трех сочетаний  $(e^1 \wedge e^6, e^2 \wedge e^5, e^3 \wedge e^4)$   $S_{(e^x \wedge e^y)} = 0$ . Все три пары имеют лишь по две различных строки. Для идентификации четырех строк  $(i, j, k, l)$ , входящих в  $\tilde{E}_{(i,j,k,l)}$ , необходимо, чтобы все они были различны. Таким образом, если в  $\tilde{E}_{(i,j,k,l)}$  присутствует два вектора из указанных пар, то в  $\tilde{E}_{(i,j,k,l)}$  присутствует еще хотя бы один вектор из  $\tilde{E}$ , отличный от предыдущих, для которого выполняется  $S_{(e^x \wedge e^y)} \neq 0$ .

**Свойство операций  $\wedge, \vee$  (следствие из теоремы).**

Для любых двух столбцов матрицы  $E_{(i,j,k,l)}$  применение операции  $\wedge$  или  $\vee$  не дает в результате столбец с четным количеством единиц. Так как в любом столбце матрицы  $\hat{E}$  содержится две единицы, то любой результирующий столбец не принадлежит матрице  $\hat{E}$ .

Воспользуемся этим свойством преобразования  $A$  таким образом, чтобы для любой конфигурации ошибок  $E_{(i,j,k,l)}$  выполнялось равенство  $S_{(i,j,k,l)} \neq 0$ , для чего дополним каждый адрес  $A_i = [a_i^N \dots a_i^2 a_i^1]$  строкой  $c_i = [(a_i^N \wedge a_i^{N-1}) \dots (a_i^N \wedge a_i^1) \dots (a_i^2 \wedge a_i^1)]$ .

Такое преобразование адресов предотвращает маскирование всех четырехкратных ошибок.

### Аппаратурная реализация

Общая схема аппаратурной реализации текущего контроля ОЗУ с использованием метода АСА представлена на рис. 1. Схема контроля размещается на одном кристалле с ОЗУ. Она включает в себя устройство управления, анализатор, регистр эталонной сигнатуры и схему сравнения. Устройство управления анализирует данные, записываемые в ОЗУ. При изменении хранимых данных адрес изменившейся ячейки сжимается анализатором. При необходимости провести контроль хранимых данных текущее значение полученной анализатором сигнатуры сохраняется в регистре эталонной сигнатуры. После чего происходит сжатие анализатором адресов ячеек ОЗУ со значением "1". Значения полученной сигнатуры (рабочая сигнатура) и сохраненной ранее (эталонная сигнатура) сравниваются схемой сравнения. В случае несовпадения сигнатур ОЗУ хранит ошибочные данные.

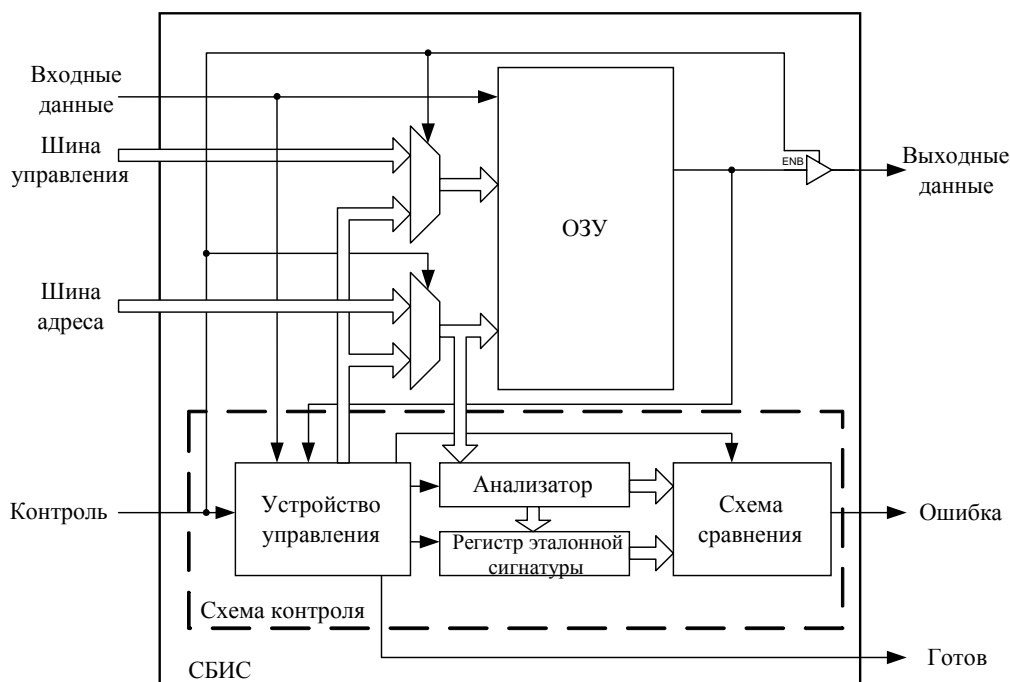


Рис. 1. Схема контроля ОЗУ на основе метода АСА

Затраты на реализацию схемы контроля ОЗУ с использованием метода АСА составляют затраты на два мультиплексора, устройство управления, анализатор, регистр эталонной сигнатуры и схему сравнения.

### Оценка аппаратурных затрат

Применение предложенного в данной статье метода обнаружения четырехкратных ошибок потребует дополнительных аппаратурных затрат на реализацию схемы кодирования

адресов, а также на хранение  $C_N^2$  дополнительных разрядов, необходимых для обнаружения любой четырехкратной ошибки (рис. 2).

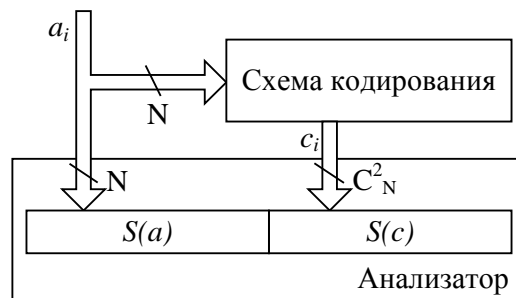


Рис. 2. Схема сжатия адресов

Оценка затрат на схему кодирования адресов может быть получена по следующей формуле:

$$O_C = C_N^2 \times O_{AND},$$

где  $O_{AND}$  — затраты на один двухвходовый элемент "AND".

**Пример.** Рассмотрим модель ОЗУ, состоящего из семи ЗЭ ( $N = 3$ ). Для того чтобы предотвратить маскирование четырехкратных ошибок, требуется увеличить разрядность регистра эталонной сигнатуры и анализатора на  $C_3^2 = 3$ . Дополнительные разряды вычисляются схемой кодирования, представленной на рис. 3.

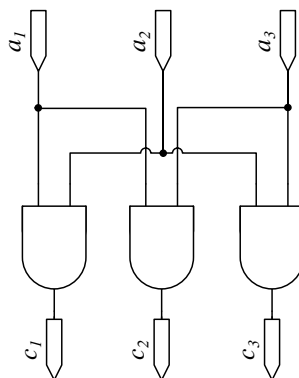


Рис. 3. Схема кодирования трехразрядных адресов ОЗУ

Для уменьшения аппаратных затрат воспользуемся концепцией повторного использования элементов (reusability). ИС ОЗУ содержит схему дешифратора адреса (для ОЗУ с большой разрядностью слова — дешифратор строк и дешифратор столбцов). Так как дешифратор адреса ОЗУ является дешифратором кода "1-из- $2^N$ ", а значения  $c_i$  являются подмножеством такого кода, для их расчета нет необходимости в реализации дополнительной комбинационной логики. Вместо этого можно повторно использовать существующие элементы схемы дешифратора (рис. 4).

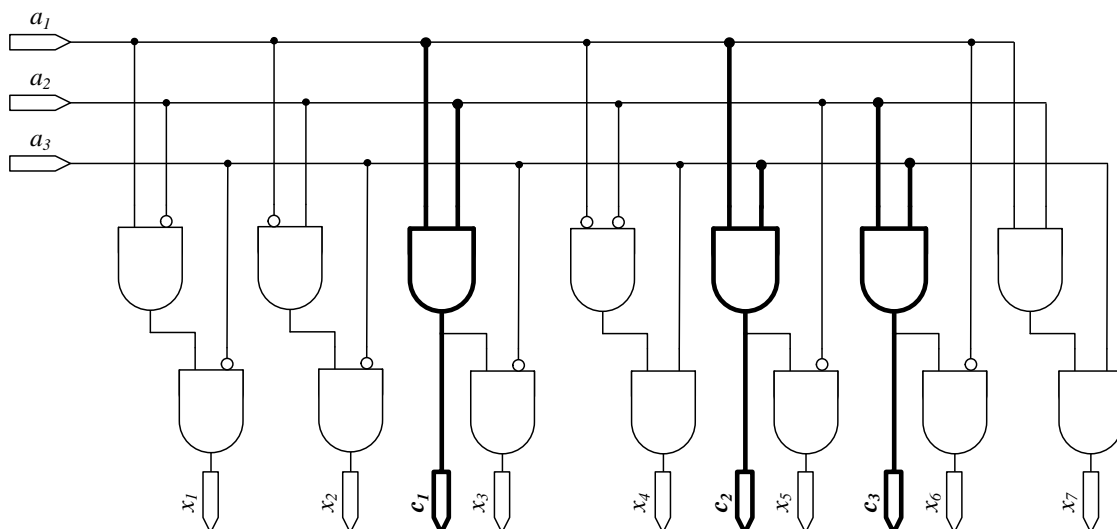


Рис. 4. Дешифратор трехразрядных адресов ОЗУ со встроенной схемой кодирования

Таким образом, суммарные затраты на реализацию предложенного метода обнаружения четырехкратных ошибок ОЗУ составят только затраты на реализацию схемы контроля ОЗУ на основе метода АСА, где анализатор и регистр эталонной сигнатуры расширены на  $C_N^2$  дополнительных разрядов.

### Заключение

В данной статье предложен новый способ повышения достоверности текущего контроля ОЗУ с использованием метода АСА. Каждый  $N$ -разрядный адрес ОЗУ перед сжатием на сигнатурном анализаторе дополняется  $C_N^2$  разрядами, что позволяет обнаруживать четырехкратные ошибки ОЗУ. Проведенный анализ аппаратных затрат на реализацию кодера свидетельствует о приемлемости использования метода на практике.

## QUADRUPLE ERRORS DETECTION WITH BUILT-IN ON-LINE CHECKING APPROACH FOR RAM

A.A. IVANIUK, S.B. MUSIN

### Abstract

This paper proposes a new method for quadruple RAM errors detecting technique using self-adjusting output data compression (SAODC). It is shown that this method can be practically implemented with acceptable hardware overhead.

### Литература

1. Allan A., Edenfeld D., Joyner W.H., et al. // IEEE Computer. 2002. Vol. 35 (1). P. 42–53.
2. Chakraborty K., Mazumder P. Fault-Tolerance and Reliability Techniques for High-Density Random-Access Memories, Prentice Hall PTR, 2002.
3. Ярмолик В.Н., Иванюк А.А. // Логическое проектирование. Мн., 1997. С. 170–180.
4. Hellebrand S., Wunderlich H.-J., Ivaniuk A.A. et al. // IEEE Transactions on Computers. 2002. Vol. 51 (7). P. 801–809.
5. Ohler P., Hellebrand S. // 10th IEEE European Test Symposium (ETS'05). 2005. P. 148–153.
6. Иванюк А.А., Мусин С.Б. // Докл. БГУИР. 2004. С. 116–122.