

УДК 621.382

СХЕМОТЕХНИКА СЕРИИ БЫСТРОДЕЙСТВУЮЩИХ КМОП ЛОГИЧЕСКИХ ИС, УСТОЙЧИВЫХ К СПЕЦИАЛЬНЫМ ВНЕШНИМ ВОЗДЕЙСТВИЯМ

В.А. ЕМЕЛЬЯНОВ, Э.П. КАЛОШКИН, А.В. СИЛИН, С.В. ШВЕДОВ

*Научно-производственное объединение "Интеграл"
Корженевского, 12, Минск, 220108, Беларусь**Поступила в редакцию 12 ноября 2007*

Обобщены сведения о схемотехнике серии быстродействующих КМОП логических ИС, устойчивых к специальным внешним воздействующим факторам. Рассмотрены конструктивные проблемы, влияющие на особенности схемотехники ИС, описан состав схемотехнической библиотеки базовых элементов ИС, электрические схемы базовых элементов и элементов согласования, рассмотрены проблемы воздействия статического электричества на ИС, описаны схемы элементов защиты входов, выходов и цепей питания ИС от воздействия статического электричества и схемы подавления помех на выходах ИС.

Ключевые слова: логическая интегральная схема, электрическая схема, базовый логический элемент, элемент памяти, элемент согласования, элемент защиты, ионизирующее излучение.

Введение

До настоящего времени цифровые логические интегральные схемы (ИС) устойчиво занимают достаточно большую часть мирового рынка электронных компонентов. Так в 2006 г. доля мирового рынка логических ИС составила около 25%, а к 2008 г. прогнозируется увеличение мирового объема продаж логических ИС на 38% в сравнении с 2005 г. [1].

Спектр схемотехнического исполнения современных цифровых логических ИС достаточно широк: от первых ТТЛ, ТТЛШ, КМОП среднего быстродействия до самых современных низковольтных быстродействующих КМОП и БиКМОП логических ИС, обладающих более высокими техническими характеристиками и находящихся в фазе роста производства и преобладания на рынке [2].

Области применения цифровых логических ИС, несмотря на их невысокие функциональные возможности в сравнении со сложными БИС и СБИС разнообразны: от детских игрушек до компьютеров. Однако одной из самых специфических областей применения цифровых логических ИС является космическая техника.

В этом применении вследствие автономности энергопитания космических систем преимущество КМОП цифровых логических ИС в низком энергопотреблении является определяющим. Однако космическое ионизирующее излучение (ИИ) в значительной степени влияет на характеристики активных МОП компонентов, построенных на принципе управления зарядом, что в конечном счете может отражаться на работоспособности и на параметрах ИС в целом.

Повышение устойчивости к воздействию ИИ КМОП логических ИС требует специальной структуры в сравнении с бытовыми и промышленными ИС, обладающей конструкторско-технологическими "ноу-хау", а также специфических электрических параметров компонентов ИС [3].

Такие изменения активной структуры компонентов в значительной степени увеличивают паразитные емкости компонентов и ухудшают быстродействие ИС, что вызывает необходимость в применении специальных схемотехнических решений для их компенсации.

Общие вопросы схемотехнического проектирования серии ИС

Для обеспечения работоспособности, снижения ухода электрических параметров и обеспечения оптимального сопряжения как ИС единой серии, так и ИС разных серий в составе аппаратуры серия быстродействующих КМОП логических ИС разрабатывалась на основе единой схемотехнической библиотеки базовых элементов (БЭ). Такой подход позволяет также обеспечивать технологичность ИС, конструктивно-технологические запасы по электрическим параметрам, предельные режимы эксплуатации и характеристики надежности [4].

В состав схемотехнической библиотеки БЭ входят:

- 1) базовые логические элементы (ЛЭ);
- 2) элементы памяти (ЭП).
- 3) входные элементы согласования (ЭС);
- 4) выходные элементы согласования.
- 5) элементы защиты ЭС от воздействия электрического заряда (ЭЗСЗ).

При разработке и моделировании электрических схем быстродействующих КМОП логических ИС особое внимание уделялось схемотехнической оптимизации, позволяющей устранить ограничения, накладываемые параметрами активных компонентов ИС со специальной структурой:

- 1) оптимизация для достижения максимального быстродействия электрических параметров активных компонентов ИС с высокими пороговыми напряжениями, обеспечивающими устойчивость к дестабилизирующим факторам.
- 2) оптимизация для достижения максимального быстродействия цепей прохождения сигналов и соотношений размеров МОП-транзисторов.
- 3) оптимизация электрических схем элементов ИС для минимизации их площади на кристалле ИС.

Базовые ЛЭ

В качестве базовых ЛЭ в ИС использовались стандартные КМОП статические ЛЭ типа И-НЕ, ИЛИ-НЕ, варианты электрических схем которых представлены на рис. 1, а, б. Электрические схемы оптимизировались с учетом факторов, описанных выше.

Элементы памяти

ЭП серии КМОП быстродействующих логических ИС представляют собой элементы статического типа и спроектированы на базе R-S триггеров, построенных на ЛЭ типа ИЛИ-НЕ. Конструкция активных компонентов ЭП оптимизировалась для обеспечения устойчивого хранения информации при воздействии ИИ. Более сложные типы ЭП, тактируемые уровнем и фронтом D и Dt-типа, показаны на рис. 2 и 3 соответственно и с целью повышения быстродействия построены на основе "проходных" ключей с парафазной синхронизацией.

Так, в схеме ЭП, показанной на рис. 2, "проходной" ключ на транзисторах VT1, VT2 при подаче синхросигналов LE=0, LE=1 обеспечивает запись информации в ячейку памяти на ЛЭ D1, D2. Изменение фазы синхросигнала LE, LE на противоположную отключает ячейку памяти на ЛЭ D1, D2 от входа D и обеспечивает хранение информации в ЭП.

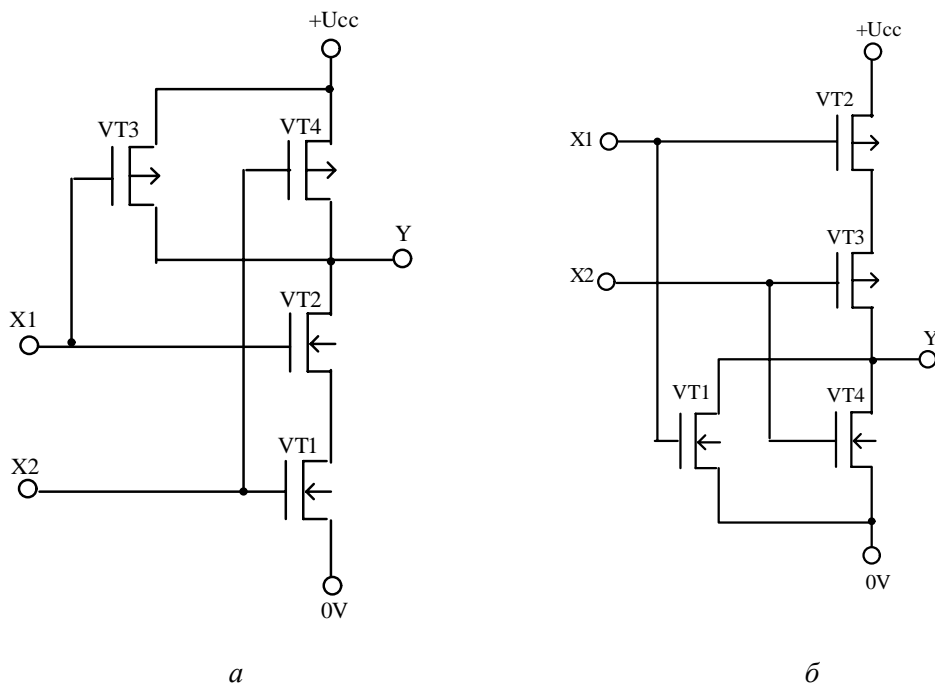


Рис. 1. Электрические схемы базовых ЛЭ: а — 2-ИЛИ-НЕ; б — 2И-НЕ

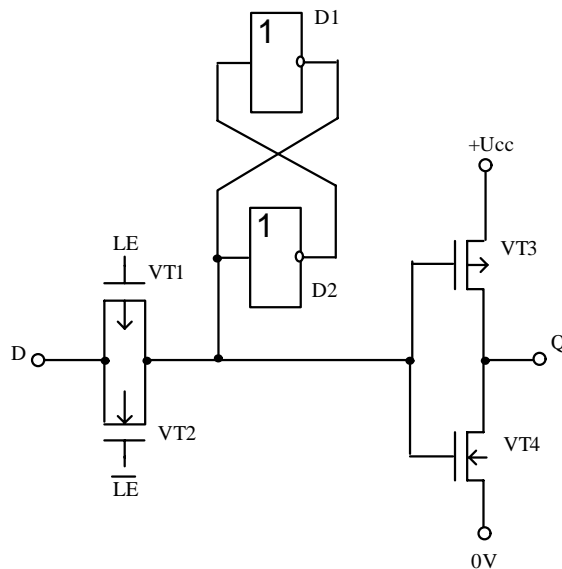


Рис. 2. Электрическая схема ЭП, тактируемого уровнем синхросигнала

В ЭП, приведенном на рис. 3, первый "проходной" ключ на транзисторах VT1, VT2 при подаче синхросигналов $C=0$, $\bar{C}=1$ обеспечивает запись информации в ячейку памяти на ЛЭ D1, D2. Второй "проходной" ключ на транзисторах VT3, VT4 закрыт и на выходе Q удерживается информация, записанная в ячейке памяти на ЛЭ D3, D4. При изменении фазы синхросигналов C , \bar{C} на противоположную первый "проходной" ключ закрывается, второй — открывается, ячейка памяти на ЛЭ D1, D2 отключается от входа D и информация уже из нее переписывается в ячейку памяти на ЛЭ D3, D4.

В таких ЭП достижение максимального быстродействия обеспечивается включением ячейки памяти (ЛЭ D1, D2, рис. 2 и ЛЭ D3, D4, рис. 3) параллельно цепи прохождения сигнала между входом D и выходом Q.

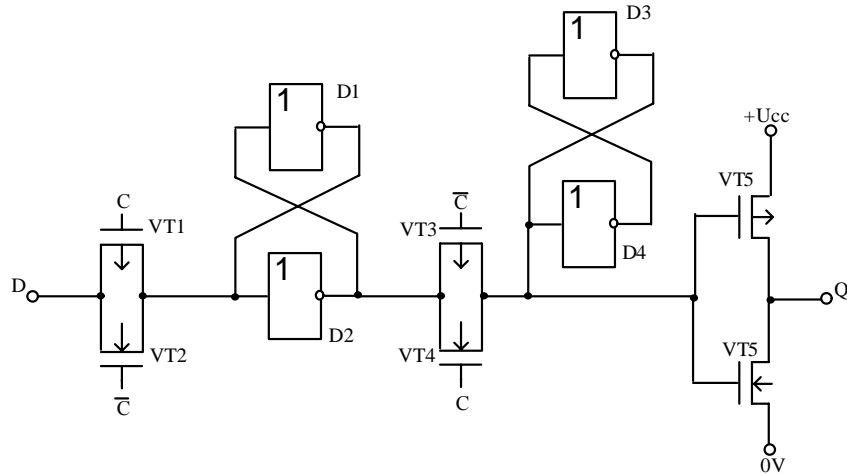


Рис. 3. Электрическая схема ЭП, тактируемого фронтом синхросигнала

Вышеописанные ЭП имеют только один выход Q и используются в основном в ИС регистровой памяти. Более сложная электрическая схема ЭП Dt-типа, имеющая прямой Q и инверсный \bar{Q} выходы, приведена на рис. 4 и построена с использованием тех же принципов, что и электрические схемы ЭП, описанные выше.

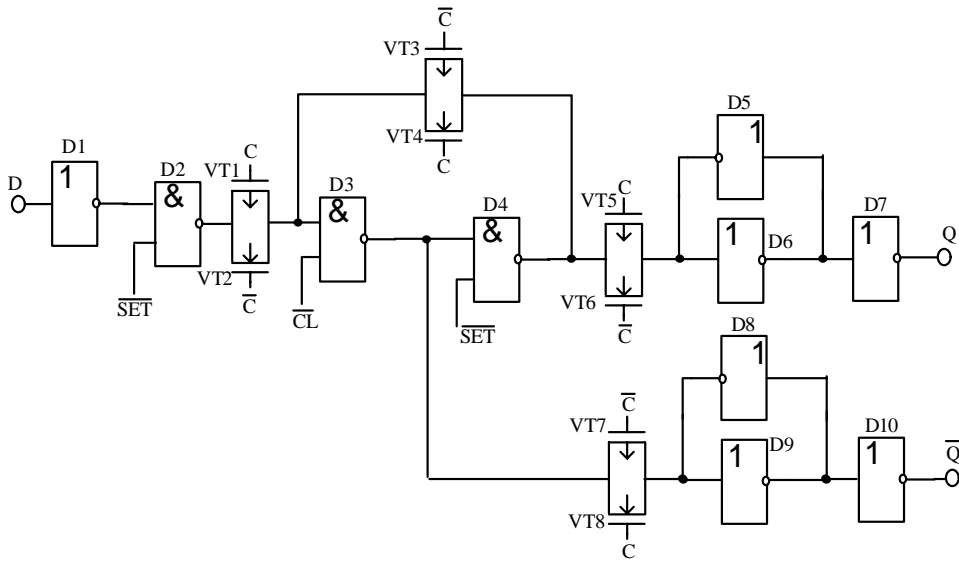


Рис. 4. Электрическая схема Dt-триггера с парафразными выходами

Входные элементы согласования

В качестве базового входного ЭС в серии КМОП быстродействующих ИС используется стандартный КМОП инвертор (см. транзисторы VT1, VT2, рис. 5) с порогом переключения $U_{cc}/2$.

Конструкция транзисторов VT1, VT2 оптимизировалась на минимальный уход порогового напряжения U_T КМОП ЭС при воздействии ИИ и температуры. Для согласования ИС серии с другими типами ИС, в первую ТТЛ, в ИС использовался входной ЭС с ТТЛ входными уровнями, электрическая схема которого представлена на рис. 6.

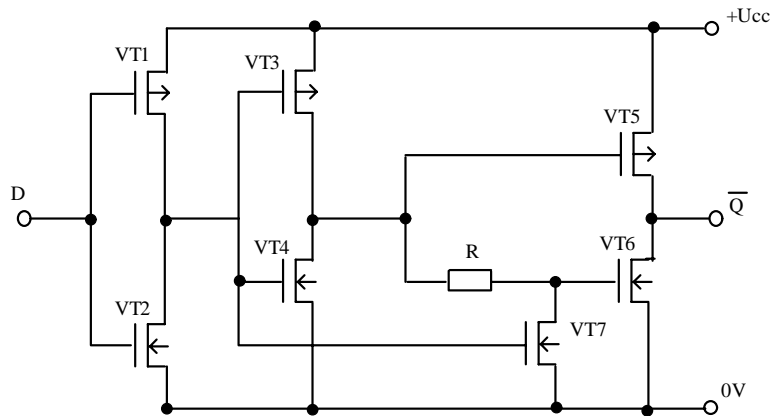


Рис. 5. Электрическая схема базового блока — инвертора ИС "Шесть инверторов" с КМОП входными уровнями

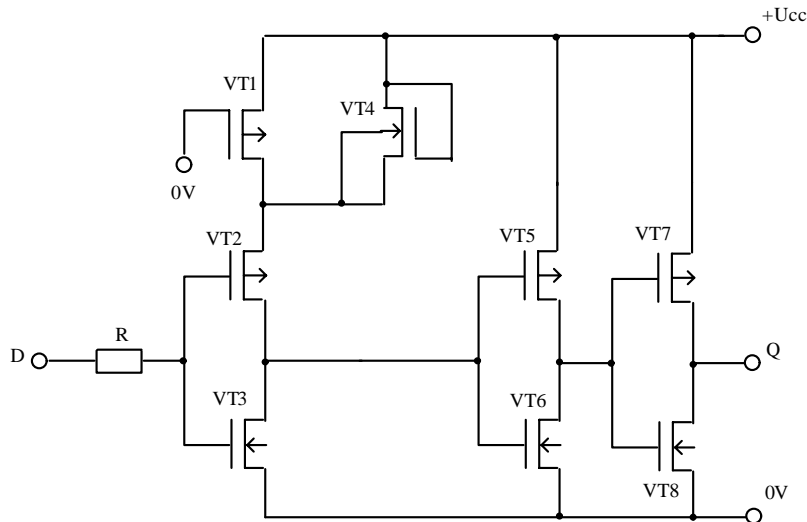


Рис. 6. Электрическая схема базового блока — инвертора ИС "Шесть инверторов" с TTL входными уровнями.

В данной схеме понижение порога переключения U_t до 1,5 В обеспечивалось за счет понижения питания входного инвертора (транзисторы VT2, VT3) транзисторами VT1, VT4 с замкнутым затвором, выбором соответствующих размеров транзисторов VT2, VT3 и их оптимизацией с учетом воздействия ИИ. Передаточная характеристики такого ЭС по току потребления I_{cc} приведена на рис. 7 и показывает значение порога переключения $U_{TTL}=1,5$ В.

С целью повышения устойчивости к помехам по входам в серии ИС использовались также входные ЭС с "гистерезисом", электрическая схема основного из которых показана на рис. 8.

Схема построена по принципу смещения напряжений истоков входных p - и n -МОП транзисторов VT2, VT3 транзисторами обратной связи VT5, VT6. При включении ЭС открытый транзистор VT5 понижает напряжение на истоке транзистора VT2, а при включении — открытый транзистор VT6 понижает напряжение на истоке транзистора VT3, в результате чего на передаточной характеристике ЭС будет сформирован "гистерезис", приблизительно равный $U_t = U_{tn} + U_{tr}$, где U_{tn} и U_{tr} — пороговые напряжения p - и n -МОП транзисторов.

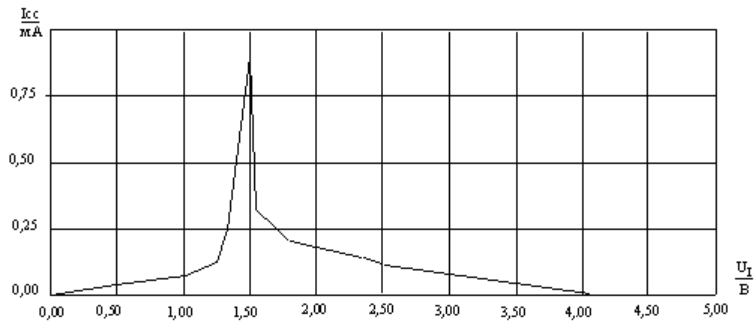


Рис. 7. Передаточная характеристика КМОП входного ЭС с ТТЛ входными уровнями

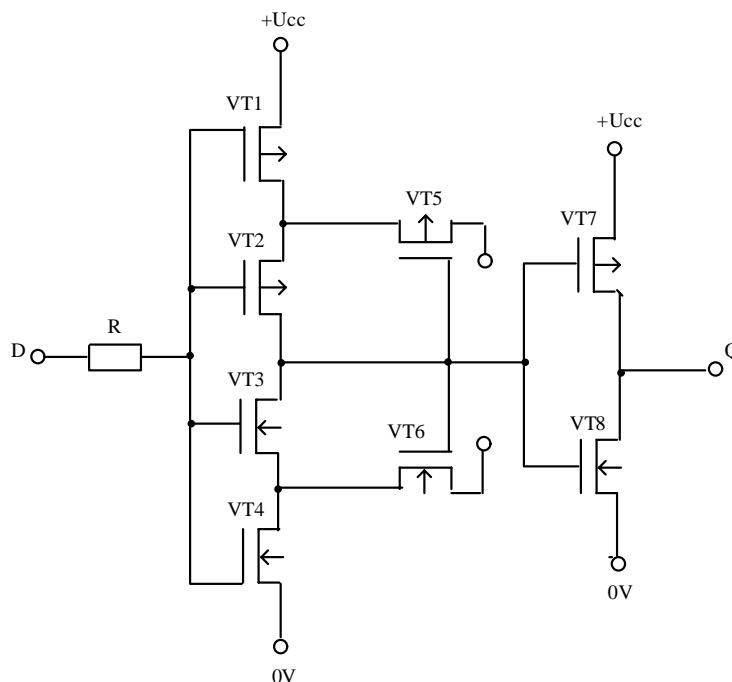


Рис. 8. Электрическая схема КМОП выходного ЭС с "гистерезисом"

Выходные ЭС

Все ИС серии буферизированы по выходу для обеспечения требований по выходным токам и напряжениям и оптимизированы для работы в условиях воздействия ИИ и расширенного диапазона температур. Пример буферизации по выходу инвертора в ИС типа "шесть" инверторов показан на рис. 5.

Особый класс в серии ИС представляет собой ИС с "тремя состояниями" выхода, допускающими объединение нескольких выходов по схеме "Монтажное ИЛИ". Электрическая схема выходного ЭС, используемого в таких ИС серии, показана на рис. 9.

Схема содержит управляющие транзисторы VT4, VT6, которые при включении укорачивают затворы выходных транзисторов VT7, VT8 с шинами +Ucc и 0V соответственно, и VT2, VT5, которые, включаясь, разъединяют затворы выходных транзисторов VT7, VT8 и переводят их в высокоимпедансное третье состояние. При обратных процессах переключения управляющих транзисторов VT2, VT4, VT5, VT6 схема переходит в конфигурацию обычного КМОП инвертора. Такую схему ЭС с "тремя состояниями" отличает меньшее количество транзисторов и более высокое быстродействие.

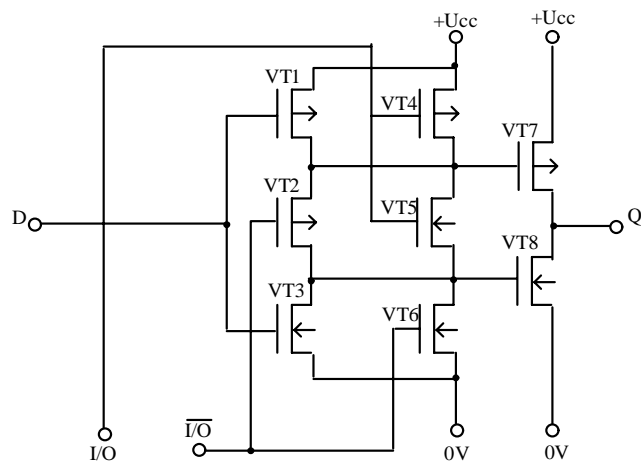


Рис. 9. Электрическая схема выходного ЭС с "тремя состояниями выхода"

Особую проблему для серии быстродействующих КМОП логических ИС вследствие крутых фронтов выходных сигналов составляет проблема "выбросов" на выходных сигналах, генерируемых на паразитных индуктивностях цепей питания ИС. Задача уменьшения "выбросов" на выходных сигналах решалась оптимизацией RC-цепей выходных каскадов для более плавного формирования фронтов выходных сигналов без существенного снижения быстродействия. Пример выходного ЭС с подавлением "выбросов" приведен на рис. 5 и содержит дополнительные компоненты VT7 и R, введение и оптимизация которых позволили незначительно увеличить длительности фронтов выходных сигналов и снизить амплитуду "выбросов" с 2,3 В до 1,6 В.

Другое немаловажное требование к КМОП интегральным схемам, которое диктуют современные условия их применения, — это устойчивость к воздействию статического электричества.

Основным требованием, которое предъявляют к элементам защиты, является эффективность отвода заряда, характеризующаяся тем, что нарастание потенциала на входе в режиме воздействия статического электричества не должно приводить к необратимому пробоему подзатворного диэлектрика или тепловому пробоему $p-n$ -переходов элементов схемы защиты. В связи с тем что импульсные токи в момент разряда могут иметь большие значения (например, через схему защиты, устойчивую к электрическому разряду на уровне 3 кВ протекает импульсный ток 2 А), эффективность схем защиты во многом определяется их конструкцией, площадью и значением сопротивления.

Для обеспечения необходимого уровня стойкости микросхем к воздействию статического электричества использован ЭЗ, изображенный на рис. 10.

Защита входа ИС состоит из двух ступеней. Первая ступень включает диоды VD1 и VD3 — "вход-питание" и VD2 — "вход-земля".

Для ограничения уровня потенциала на входах ЭС, который обусловлен физической инертностью по времени работы диодных структур, последовательно диодам включен ограничивающий диффузионный резистор $R=300\pm 100$ Ом. В непосредственной близости от входного ЭС на кристалле ИС расположена вторая ступень защиты, содержащая КМОП транзистор VT1 и n-МОП транзистор VT2 в диодном включении, стоки которых подключены к элементам входного буфера (затворам или стокам входных транзисторов).

Элементы защиты выхода или входа-выхода имеют диодные структуры VD3 и VD4 большой площади, которые образованы стоками выходных транзисторов VT5 и VT6, а также транзистором VT7, расположенным между шинами U_{cc} , 0V, и обеспечивают эффективный и равномерный отвод статического электричества, препятствуя разрушению подзатворного диэлектрика и выхода ИС прибора из строя. Новизна конструкции ЭЗ такого типа подтверждена авторским свидетельством [5].

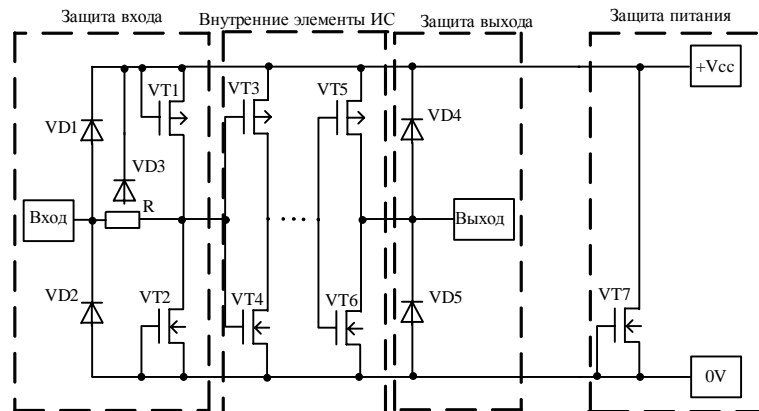


Рис. 10. Электрическая схема ЭЗ от воздействия статического электричества

ЭЗ ИС серии обеспечивает устойчивость к воздействию статического электричества на уровне не менее 2000 В. Топологические решения элементов защиты от статического электричества стандартны для всех ИС серии и включены в состав схемотехнической библиотеки элементов.

Заключение

Рассмотрены общие вопросы схемотехники серии быстродействующих КМОП логических ИС, устойчивых к дестабилизирующим факторам.

Приведены и описаны практические примеры электрических схем внутренних элементов серии быстродействующих КМОП логических ИС.

Рассмотрены схемы защиты от воздействия ЭСЗ, а также схемы подавления помех на выходах ИС.

CIRCUIT SCHEMATIC OF CMOS RAD HARDENED HIGH-SPEED LOGIC IC FAMILY

V.A. EMELYANOV, E.P. KALOSHKIN, A.V. SILIN, S.V. SHVEDOW

Abstract

Key aspects of circuit schematic CMOS high performance high-speed logic IC family for space application are discussed. The circuit schematic review of basic elements library and interface elements of CMOS logic IC's and electrostatic discharge protection and noise protection elements are given.

Литература

1. Chip Scales to surpress \$300B in 2008 says SIA. Solid State Technology / November, 2005. P. 25.
2. Прибыльский А.В. Конструктивно-схемотехнические методы проектирования, тестирования и контроля интегральных схем. Минск, 2003.
3. Атаманов А.С., Малюгин С.Л., Шведов С.В., Усов Г.И. Радиационная стойкость электронных систем. — "СТОЙКОСТЬ-2003". М., 2003.
4. Емельянов В.А. Быстродействующие цифровые КМОП ИС. Минск, 1998.
5. Патент 4988, ВУ, МКИ НОИЛ 29/06 "Элемент защиты выходного МОП транзистора интегральной схемы от статического электричества" / Емельянов В.А., Шведов С.В. и др.