

УДК 621.382

СХЕМОТЕХНИЧЕСКИЕ МЕТОДЫ ПОВЫШЕНИЯ РАДИАЦИОННОЙ СТОЙКОСТИ КМОП БИС

С.В. ШВЕДОВ

НПО «Интеграл» УП «Завод полупроводниковых приборов» НТЦ «Белмикросистемы»
Казинца, 12, Минск, 220118, Беларусь

Поступила в редакцию 21 мая 2009

Приводятся результаты анализа особенностей применения известных методов повышения надежности радиационной стойкости больших интегральных микросхем (БИС) – системотехнических, схемотехнических, конструктивных и технологических. Эффективность применения схемотехнического метода показана на конкретных примерах логического КМОП-инвертора.

Ключевые слова: надежность БИС, радиационная стойкость, КМОП-инвертор, защитный транзистор, логические схемы.

Введение

В настоящее время активно развиваются теоретические и экспериментальные исследования, направленные на повышение радиационной стойкости БИС, предназначенных для проектирования законченных электронных блоков и различных электронных систем управления, работающих в условиях воздействия ионизирующих излучений (ИИ) [1]. Это касается не только электронных систем специального назначения, но в значительной степени – широкого спектра аппаратуры систем управления и обеспечения безопасности атомных станций (АЭС), ядерных энергетических и силовых установок.

Теоретический анализ

На рис. 1 представлен один из вариантов обобщенного сквозного маршрута проектирования и изготовления радиационно-стойких БИС, где (1)-(13) – это этапы маршрута (работы). Этапы 1-7, 9, 11, 13 являются стандартными (используются при проектировании и изготовлении стандартных (не радиационно-стойких) микросхем, а остальные «дополнительные» этапы направлены на повышение радиационной стойкости БИС. Например, этап 8, «радиационная обработка», предполагает выполнение процедуры облучения производимых пластин определенными ИИ (электроны, гамма-излучение и т.д.) при определенных режимах (доза, интенсивность, температура, специальные электрические режимы работы). На этапе 10, «отжиг», при определенных теоретически и экспериментально установленных температурах и установленной экспериментально длительности процесса проведения отжига происходит существенное увеличение (вплоть до восстановления) численных значений статических и динамических характеристик БИС, и значительно повышается надежность и радиационная стойкость БИС. На каждом из этапов создания БИС применяются свои методы повышения радиационной стойкости. Как видно из рис. 1 – это четыре группы методов: *системотехнические, схемотехнические, конструктивные и технологические методы*, а также их различные комбинации [2-4].

Так, уже при разработке логической модели БИС используются различные *системотехнические методы* проектирования. Это специальные алгоритмы обработки информации, дублирование, резервирование отдельных элементов и целых блоков БИС, применение мажор-

ритарных принципов обработки типа «два из трех» – на вход наиболее «уязвимого» блока поступает информация одновременно по трем каналам (входам) вместо одного обычного, а на выход блока проходит только та информация, которая точно совпадает по двум входам (каналам) из трех. Хотя детальное рассмотрение системотехнических методов выходят за рамки настоящей статьи, следует отметить серьезные недостатки методов – увеличение количества элементов БИС (увеличение площади, снижение процента выхода годных), уменьшение производительности (тактовой частоты), повышение стоимости БИС, увеличение длительности цикла проектирования и т.д.

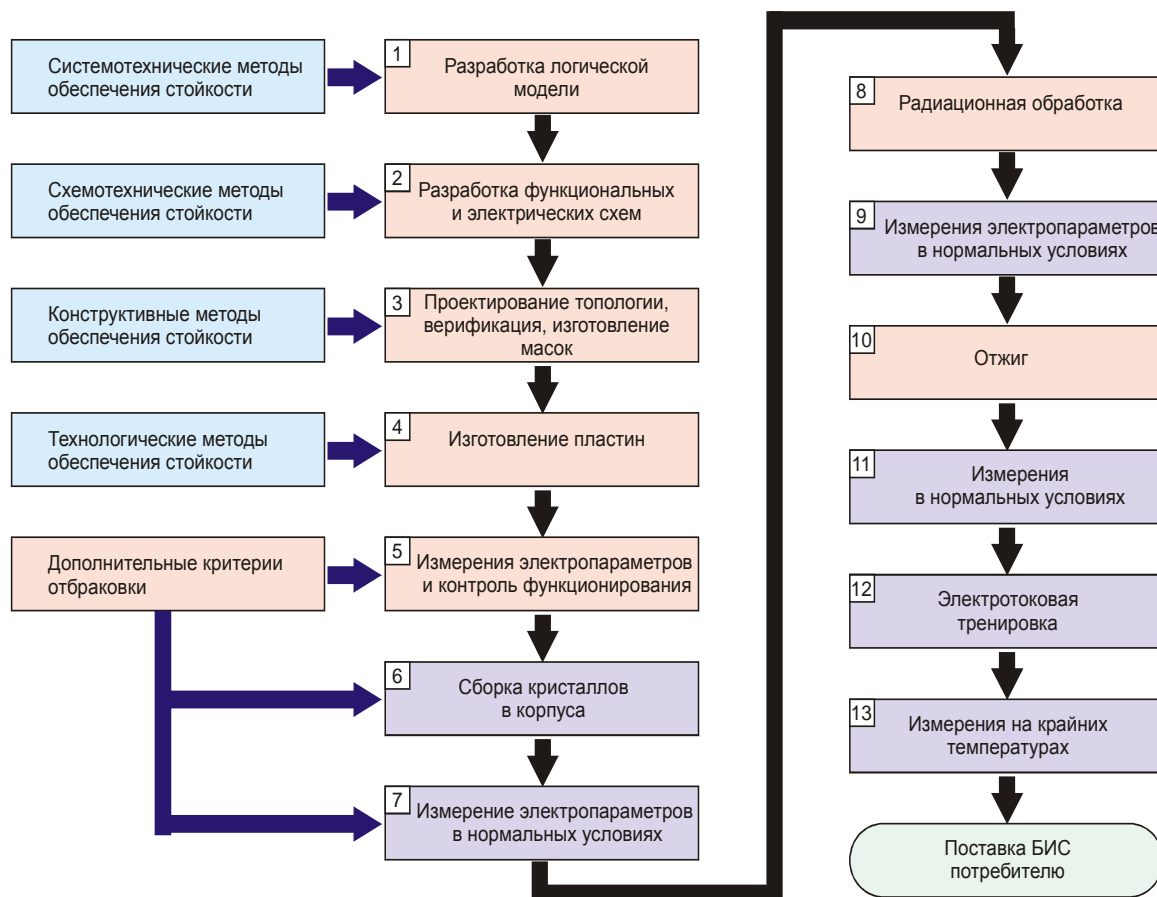


Рис.1. Типовой маршрут проектирования и изготовления радиационно-стойких БИС

Конструктивные методы используются на этапе проектирования топологии БИС и включают в себя наборы специальных правил проектирования БИС (критические зазоры между элементами, величины допустимых рассовмещений, специальные правила проверки конструктивно-топологических ограничений – КТО), введение специальных защитных «охранных колец» вокруг активных областей ключевых транзисторов и т.д.

Технологические методы используются в условиях серийного производства: оптимизация толщины и режимов формирования подзатворного диэлектрика, выбор режимов термоотжига диэлектрика, применение специальной диэлектрической изоляции, использование вертикального анизотропного травления, использование самосовмещенных низкоомных поликремниевых контактов, использование технологий КНИ, КНС, ферромагнитных пленок[5].

Схематехнические методы предполагают введение в состав известных схемотехнических решений базовых элементов (триггеров, усилителей, компараторов, сумматоров и т.д.), новых элементов (транзисторов, диодов, конденсаторов) и новых связей, включая внутренние (в структуре полупроводника) обратные связи по току и/или напряжению, имеющие целью скомпенсировать отрицательные воздействия ИИ на работу этих элементов.

Создание новых схемотехнических решений, как правило, не требует больших временных затрат, проведения дорогостоящих и длительных экспериментов, дорогостоящего технологического оборудования и материалов. Большинство задач решается с помощью численных

экспериментов и с помощью различных пакетов САПР. Конечно, этот путь предполагает наличие у фирмы-разработчика БИС соответствующего интеллектуального потенциала.

Ниже представлен ряд новых схемотехнических решений, позволяющих существенно увеличить надежность и радиационную стойкость БИС.

В качестве элементной базы радиационно-стойких электронных устройств и систем широко используются КМОП БИС, обладающие наилучшим сочетанием параметров «мощность-быстродействие» при достаточно высоком уровне помехоустойчивости и помехозащищенности, известным недостатком которых является их низкая радиационная стойкость, обусловленная появлением наведенного положительного заряда дырок в подзатворном диэлектрике ключевого МОП-транзистора, возникающего в процессе воздействия ионизирующего излучения [2], следствием чего является существенное изменение пороговых напряжений n - и p -канальных МОП-транзисторов (U_{no} , U_{po}), приводящее к сдвигу передаточных характеристик и снижению помехоустойчивости (вплоть до катастрофических отказов БИС).

Экспериментальная часть

Рассмотрим конкретный пример реализации одного из новых конструктивно-схемотехнических методов повышения радиационной стойкости КМОП БИС.

В известную стандартную схему логического инвертора (рис.2,а) вводятся два новых дополнительных «защитных» транзистора Т3 и Т2, причем n -канальный транзистор Т3 имеет повышенный уровень легирования области канала, а p -канальный транзистор Т2 формируется с пониженным уровнем легирования канала. Транзисторы Т4, Т5 выполняют переключательные функции, осуществляя при необходимости замену (отключение) соответствующих рабочих транзисторов Т1 и Т6, причем уровни легирования областей каналов транзисторов VT4 и VT5 рассчитываются таким образом, чтобы при отсутствии ионизирующих излучений транзистор Т4 был всегда открыт, Т5 – закрыт [6]. В процессе воздействия ИИ на микросхему, находящуюся в рабочем режиме, происходит нежелательное изменение пороговых напряжений основных рабочих транзисторов Т1 и Т6. При достижении пороговыми напряжениями этих транзисторов критических значений (с точки зрения помехоустойчивости) переключательный транзистор Т4 включает в рабочую цепь тока «защитный» p -канальный транзистор Т3, а в это же время переключательный транзистор Т5 выключает рабочий n -канальный транзистор Т6, и инвертор продолжает выполнять свои функции.

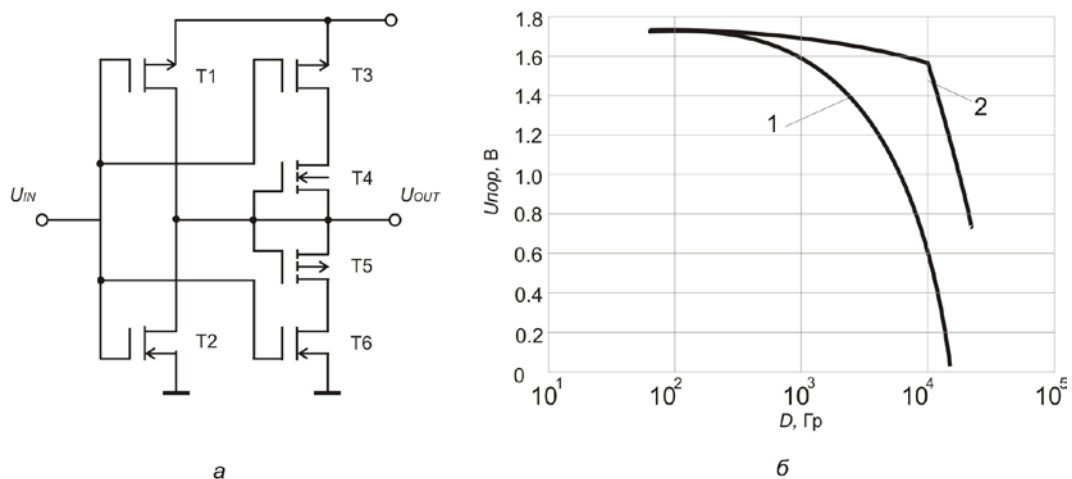


Рис.2. КМОП-инвертор с повышенной радиационной стойкостью:

а – схема радиационно-стойкого КМОП-инвертора; б – зависимость порога переключения от дозы :
1 – стандартный инвертор; 2 – инвертор с «защитными» транзисторами.

На рис. 2,б представлена зависимость численных значений величины порога переключения КМОП-инвертора $U_{пор}$ от величины дозы излучения D для случая питающего напряжения $U_{пит}=3,3В$. Как видно, введение «защитных» транзисторов Т3 и Т2 позволяет по сравнению с

классическим инвертором (кривая 1) в 3-5 раз (кривая 2) увеличить значение общей дозы ионизирующего излучения, при которой инвертор еще сохраняет работоспособность.

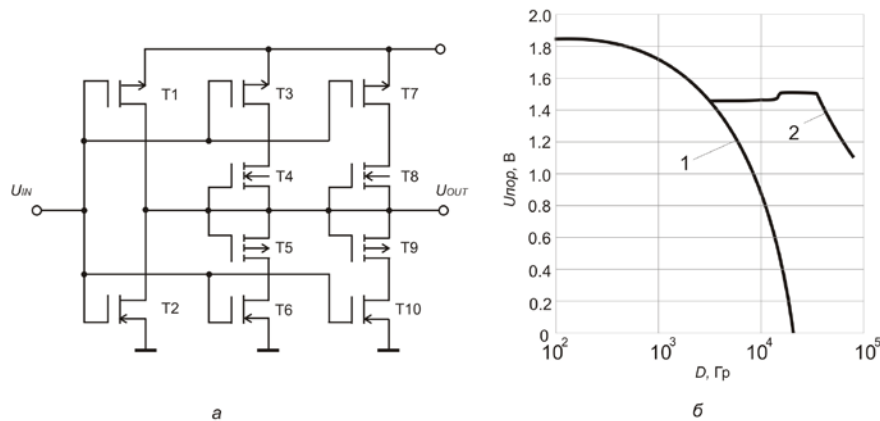


Рис.3. Схема радиационно-стойкого КМОП – инвертора с многократной защитой:
a – схема радиационно-стойкого КМОП-инвертора; *б* – зависимость порога переключения от дозы:
 1 – без защиты; 2 – с «защитными» транзисторами.

Для проектирования радиоэлектронных устройств с требованиями повышенной надежности предложенный метод можно усовершенствовать далее, как показано на рис. 3, *a* – вместо одной цепи «защитных» транзисторов вводить в схему КМОП-инвертора две и более. Здесь транзисторы T2, T6 являются «защитными» для рабочего *n*-канального транзистора T10, а транзисторы T3, T7 – «защитные» для *p*-канального транзистора T1. Функцию переключательных транзисторов для *n*-канальных T6 и T10 выполняют транзисторы T5, T9, а T4 и T8 являются переключательными для *p*-канальных T3 и T7 соответственно.

На рис. 3, *б* представлены зависимости порога U_{nop} переключения для КМОП-инвертора от величины общей дозы ионизирующего излучения (D) для «радиационно-стойкого» (кривая 2) варианта по сравнению с исходным (кривая 1) стандартным схемотехническим решением, откуда видно, что новое техническое решение позволяет увеличить величину допустимой дозы почти на порядок.

Поскольку при формальном применении предложенного подхода возможно снижение быстродействия (увеличение задержек переключения) из-за параллельного соединения затворов основных рабочих и «защитных» транзисторных структур, при проектировании сложнотехнологических микросхем целесообразно «защищать» не отдельные цепи транзисторов базовых инверторов, а более крупные функциональные узлы и блоки БИС.

Особый интерес для разработчиков высоконадежных радиоэлектронных систем, работающих в жестких условиях эксплуатации, включая воздействие различного рода ИИ, представляет использование современной сверхинтегрированной элементной базы, изготовленной по субмикронным проектным нормам (0,5; 0,35; 0,18 мкм). Однако в последние два года наблюдается необоснованное снижение этого интереса из-за появившихся случаев отказов ряда технических объектов, при конструировании которых использовались субмикронные БИС. Нами был предложен ряд новых технических решений, позволивших расширить область применения субмикронных БИС для сфер специального и двойного назначения, сущность одного из которых рассмотрим ниже.

Как известно, уменьшение геометрических размеров транзисторов позволяет улучшать технико-экономические параметры БИС в процессе их производства (уменьшать стоимость, увеличивать быстродействие, уменьшать величину потребляемой мощности и т.д.). Однако при уменьшении геометрических размеров транзисторов проявляется действие различного рода паразитных эффектов, приводящих к снижению процента выхода, надежности и радиационной стойкости ИС. В частности, при уменьшении длины канала МОП-транзистора возникает известный эффект «горячих» электронов [5], увеличение напряженности внутреннего электрического поля, что обуславливает увеличенную энергию носителей (электронов и дырок), прохо-

дящих через канал транзистора вплоть до образования лавинного процесса, при котором часть дополнительно генерируемых избыточных носителей попадает в «ловушки» в области подзатворного окисла, создавая там так называемые «быстрые состояния», отрицательно влияющие на надежность и РС БИС. В частности, эти состояния ответственны за уменьшение коэффициента усиления транзистора, появление индуцированных токов утечки, снижение значений выходных напряжений, что в итоге и является одной из основных причин существенного снижения радиационной стойкости БИС.

Известный схемотехнический способ решения этой проблемы [2] – снижение величины питающего напряжения БИС – не решает проблему в целом и не всегда применим в реальных случаях (например, разработчик высоконадежной аппаратуры не всегда может использовать напряжение питания 3,3 В вместо 5,0 В и т.д.).

Сущность нового схемотехнического метода повышения РС заключается в том, что в конструкцию базового логического элемента – КМОП-инвертора – вводятся дополнительные «защитные» МОП-транзисторы и специальный вывод внутреннего «защитного» потенциала, которые компенсируют нежелательные изменения электрических характеристик основных (рабочих) транзисторов, обусловленные в основном действием «горячих носителей» и неизбежно возникающие при переводе процесса изготовления «несубмикронных» БИС на современные технологические процессы с более «жесткими» технологическими нормами.

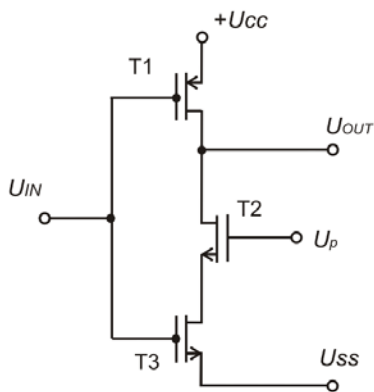


Рис.4. Электрическая схема инвертора с «защитным» транзистором

На рис. 4 представлена электрическая схема простейшего логического КМОП-инвертора, поясняющего сущность предложенного решения, где исток защитного транзистора T2 соединен со стоком первого транзистора T1, сток транзистора T2 соединен с истоком второго транзистора T3, а на затвор защитного транзистора T2 подается постоянное защитное напряжение U_p . Как видно, транзисторы T1 и T2 представляют собой обычную комплементарную пару, известную как КМОП-транзистор. Напряжение входного логического сигнала U_{IN} подается от входа инвертора на затворы соответствующих транзисторов T1 и T3, а напряжение выходного логического сигнала U_{OUT} передается от стока p -канального транзистора T1 и истока

n -канального транзистора T2 на выход инвертора. Поскольку n -канальные транзисторы более критичны к воздействию эффекта «горячих» носителей, чем p -канальные, дополнительный «защитный» транзистор T2 должен обеспечивать такие условия, при которых потенциал стока n -канального транзистора T3 ограничен настолько, чтобы не превысить заданное значение величины «защитного потенциала» U_p даже в случае несанкционированного кратковременного превышения допустимого уровня положительного напряжения внешнего источника питания $+U_{CC}$.

Численное значение величины напряжения (относительно уровня нулевой шины U_{SS}) на стоке T2 (U_3) определяется из простого выражения: $U_3 = U_p - U_h$, где U_h является порогом открывания защитного транзистора T2. Величина U_3 , при которой избыточное напряжение снижает надежность характеристики транзистора со временем, зависит от многих факторов – геометрии транзистора, технологических особенностей его реализации (уровней легирования областей стока, истока и т.д.), но в целом подчиняется экспоненциальному закону – небольшое увеличение напряжения (на 20 %) обычно вызывает относительно большое (на 100% или в два раза) снижение фактического срока эксплуатации (надежности) транзистора. Поэтому введение дополнительного транзистора T2 позволяет обеспечить защиту от негативных эффектов, влияющих на надежность микросхемы.

Следует отметить, что здесь абсолютная величина выходного напряжения U_{OUT} как и в известных решениях стандартных КМОП-инверторов, также достигает величины питающего напряжения U_{CC} . Следовательно, когда на вход инвертора поступает входное напряжение логи-

ческой единицы, p -канальный транзистор T1 переходит в непроводящее состояние, а n -канальный транзистор T3 открывается и обеспечивает на выходе напряжение логического нуля, при этом напряжение на затворе защитного транзистора T2 обеспечивает его отпирание и создание низкоомной цепи протекания тока между выходом и общей шиной U_{ss} , что и требуется. И наоборот, при поступлении на вход низкого уровня напряжения (логический ноль) уже p -канальный транзистор T1 открывается, а n -канальный транзистор T3 закрывается, напряжение на выходе инвертора повышается до уровня потенциала напряжения питания U_{cc} .

Следовательно, получая на выходе полный размах напряжения (от 0В до 5,0В при $U_{cc}=5,0В$ и от 0В до 3,0В при $U_{cc}=3,0В$), мы одновременно достигаем и дополнительного положительного эффекта – ограничиваем значение напряжения, падающего на поперечном сечении тела канала транзистора T3 (до значительно более низкого, чем $+U_{cc}$), ухудшая условия для возникновения паразитного эффекта накопления в «ловушках» подзатворного окисла неосновных носителей - «горячих» электронов и повышая тем самым надежность и радиационную стойкость микросхемы.

Предложенный схмотехнический метод легко использовать при построении более сложных интегральных микросхем.

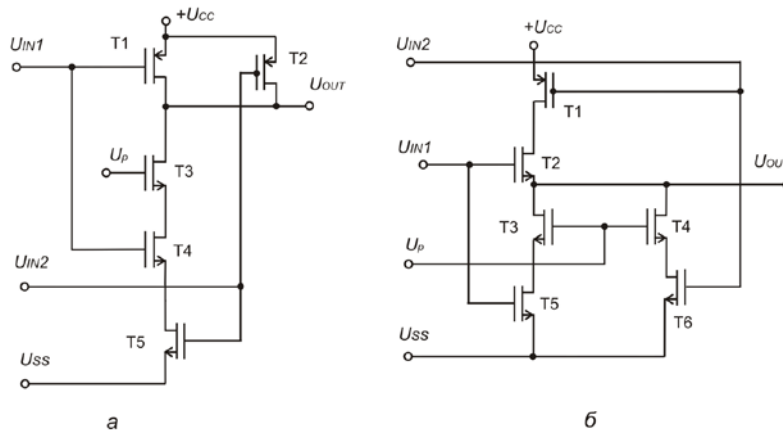


Рис. 5. Логические схемы с повышенной надежностью: а – «2И-НЕ»; б- «2 ИЛИ-НЕ»

На рис. 5 представлены примеры применения этого метода для реализации интегральных микросхем, реализующих логические операции типа «И-НЕ» (рис. 5,а) и «ИЛИ-НЕ» (рис. 5,б). Для сравнения можно обратиться к рис. 3.106 и рис. 3.107 [7], где представлены известные схмотехнические решения логических блоков БИС, реализующие соответственно функции «2И-НЕ» и «3ИЛИ-НЕ», и использование которых в субмикронных БИС приводит к снижению надежности и радиационной стойкости радиоэлектронных устройств.

На рис. 5,а, представлена новая интегральная схема, реализующая логическую операцию «2И-НЕ». Входной логический сигнал (U_{in1}) поступает на затвор p -канального транзистора T1 и n -канального транзистора T4, второй логический сигнал (U_{in2}) поступает на затворы p -канального транзистора T2 и n -канального транзистора T5. P -канальные транзисторы T1 и T2 подключены параллельно между выводом питания $+U_{cc}$ и выходом микросхемы, а дополнительный транзистор T3 включен последовательно в цепь транзисторов T4 и T5. Напряжения на истоках транзистора T4 и T5 ограничены до значения, меньшего величины $+U_{cc}$, в то время как на выходе схемы обеспечивается значение U_{out} , полностью соответствующее известным прототипам (от 0В до U_{cc}). Расширение функциональных возможностей базовой схемы рис. 3 до уровня «3 И-НЕ» легко осуществляется путем организации дополнительных входов за счет параллельного включения дополнительного p - канального транзистора и последовательного n -канального.

На рис. 5,б представлена электрическая схема базового логического элемента с повышенной радиационной стойкостью, которая обеспечивает на выходе реализацию логической операции «2 ИЛИ-НЕ», где один из логических входных сигналов (U_{in1}) поступает на общее соединение затворов p -канального транзистора T2 и n -канального транзистора T5. Вторым входной сигнал (U_{in2}) поступает на соединенные затворы транзисторов T1 и T6. Функцию «за-

щитных» транзисторов выполняют транзисторы Т3 и Т4, имеющие общий затвор, на который подается защитное напряжение U_p , при этом «защитный» транзистор Т3 ограничивает напряжение на логическом транзисторе Т5, в то время как защитный транзистор Т4 ограничивает напряжение на логическом транзисторе Т6, что обеспечивает высокий уровень гальванической развязки между логическими транзисторами Т5 и Т6, (для сокращения площади кристалла и защиты истока Т5) можно использовать только один «защитный» транзистор Т6, а для питания затворов всех «защитных» транзисторов целесообразно использовать только одну общую шину U_p .

Конечно, введение дополнительного транзистора и цепей формирования и «доставки» защитного потенциала приводит к увеличению общего количества элементов БИС и СБИС и, соответственно, к увеличению площади кристаллов (в зависимости от сложности БИС увеличение площади составляет от 7 до 15%), однако спроектированные и изготовленные с использованием этого метода БИС, как показали проведенные в условиях серийного производства НПО «Интеграл» испытания, обеспечивают более высокую надежность в условиях воздействия ионизирующих излучений и более высокий процент выхода годных изделий в производстве. Особенно эффективно применение предложенного метода при решении актуальной задачи повышения технико-экономических характеристик интегральных схем путем перехода от базового технологического процесса изготовления с минимальными технологическими размерами 1,2-0,8 мкм к размерам 0,5-0,35 мкм и менее.

Заключение

Как видно из описания работы этих новых схемотехнических решений базовых элементов, их дополнительным преимуществом по сравнению с известными схемотехническими решениями является тот факт, что хотя на выходе этих элементов обеспечивается изменение напряжения в полном диапазоне от 0В до U_{CCmax} (максимальный допустимый уровень питающего напряжения), на значительной части внутренних «рабочих» транзисторов (от 10 до 40% в зависимости от уровня сложности БИС) максимальное рабочее напряжение ограничено величиной U_p , что также способствует повышению надежности и процента выхода годных изделий.

CIRCUIT ENGINEERING METHODS OF ENHANCING CMOS LSIC RADIATION RESISTANCE

S.V. SHVEDOV

Abstract

The methods of LSIC radiation resistance enhancement are analyzed. There are investigated four groups of methods: circuit, circuit engineering, design and technological methods as well as their various combinations. Application of various methods of radiation resistance enhancement is shown on the examples of CMOS inverter.

Литература

1. Коршунов Ф.П., Белоус А.И., Богатырев Ю.В., и др. Междунар. научн. конф. по военно-технич. проблемам, проблемам обороны и безопасности: тезисы докладов. Минск, 13-16 мая 2003г. С.100-101.
2. Чумаков А.И. Действие космической радиации на интегральные схемы. М., 2004.
3. Ingels M., Steyaert M.S.J. // IEEE Journal of Solid-State Circuits. 1997. Vol. 32, №7.
4. Geiger R., Allen P., Strader N. // VLSI: Design Techniques for Analog and Digital Circuits. New York. 1990. P.125-140.
5. Агаханян Т.М., Аствацатурьян Е.Р., Скоробогатов П.К. Радиационный эффект в интегральных микросхемах. М. 1989. С.150-152, 251.
6. Блохина В.Б. / Известия ТРТУ. Таганрог, 2002. № 1. С.12.
7. David Johns, Ken Martin. Analog Integrated Circuit Design. USA. 1997. P.18, 102.
8. Эннс В.И., Кобзев Ю.М. Проектирование аналоговых КМОП-микросхем. Краткий справочник разработчика/Под ред. В.И. Эннса. 2005.