

или отличие составляло бы заданную временную функцию. Системы ФАПЧ широко применяются для изменения частотных параметров сигнала, а также для выделения опорного колебания.

Основная схема ФАПЧ представлена на рисунке 1.



Рис. 2— Основная схема ФАПЧ

Как видно на схеме, система состоит из 4 основных компонентов: фазового детектора, фильтра нижних частот (ФНЧ), регулируемого генератора и делителя частоты.

Система ФАПЧ может быть реализована разными способами: с использованием полностью цифровых, полностью аналоговых или смешанных схем.

В настоящее время выделяют следующие разновидности ФАПЧ:

- Аналоговые или линейные (APLL)
- Цифровые (DPPL)
- Полностью цифровые (ADPLL)
- Программные (SPLL)
- Нейрональные (NPPL)

Принцип работы цифровой ФАПЧ похож на работу аналоговой, но вместо генератора, управляемого напряжением, используются системные часы и счётчик-делитель. ЦФАПЧ достаточно просты как в реализации, так и в разработке. В отличие от аналоговых ФАПЧ, цифровые менее чувствительны к шумам напряжения, однако обычно она допускает фазовый шум по причине наличия шума квантования при использовании цифрового генератора.

Еще одной важной проблемой систем ФАПЧ является проблема совмещения достаточной ширины полосы захвата с возможностью подавления дрожания фазы. Чем лучше характеристики подавления дрожания фазы, тем уже полоса захвата. Эту задачу можно решить с помощью метода имитационного моделирования с использованием пакета MatLab. В работе рассмотрена система, в которой используется петлевой фильтр нового типа. В этой системе отчасти решена обозначенная проблема.

Система ФАПЧ является одним из основных современных аппаратных узлов. Она позволяет эффективно заменить катушки индуктивности и дроссели при реализации частотной селекции, точной настройки фильтрации.

Список использованных источников:

1. Информационный портал HintFox [Электронный ресурс]. – Режим доступа: <http://www.hintfox.com/>. – Дата доступа: 05.04.2017.
2. Исследование цифровой фазовой автоподстройки частоты/Успенко В. Б.[и др.] – Пермь, Россия: ПНИПУ, 2015 – 20с
3. Цифровые системы фазовой синхронизации/ М.И. Жодзишский [и др.]: Советское радио, 1980. – 208с.: с ил.

ВЕРИФИКАЦИЯ VHDL-МОДЕЛЕЙ КОНЕЧНЫХ АВТОМАТОВ

*Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь*

Щепанский В.Е.

Бибило П. Н. – д. т. н., профессор

Современная цифровая аппаратура на основе интегральных схем (ИС) представляет собой сложные устройства, проектирование и производство которых требует больших затрат ресурсов. Цена ошибки в аппаратуре может оказаться очень высокой: известный случай замены микропроцессоров IntelPentium с ошибкой деления обошелся компании приблизительно в 500 миллионов долларов. Так как исправление ошибок в уже готовых микросхемах невозможно, поиск и нахождение функциональных ошибок проводится на этапе проектирования HDL-описания устройства. Подобного рода деятельность, состоящая в проверке

соответствия поведения аппаратуры, задаваемого HDL-описанием, его спецификации, называется верификацией [1]. Под верификацией будем понимать проверку правильности исходного VHDL-описания, т. е. проверку соответствия составленного синтезируемого VHDL-описания проектируемой цифровой системы спецификациям на проектирование [2]. Для полной верификации цифрового устройства с состояниями требуется проверить наличие всех переходов в графе состояний проверяемого устройства. Это можно сделать двумя способами, подать на проверяемую модель большое количество псевдослучайных входных наборов, построить граф состояний и проверить наличие всех дуг, или подать “небольшой” тест, который при правильной работе модуля позволяет полностью пройти граф состояний, и проверить известные реакции модели. Ясно, что второй способ является более удобным и быстрым. Нахождение такого теста и есть одна из основных задач верификации VHDL-модели конечного автомата.

Под тестом понимается упорядоченная последовательность наборов значений входных сигналов, которые при моделировании подаются на входные порты VHDL-модели автомата. Тесты, которые позволяют проверить правильность функционирования исследуемой модели автомата, называются функциональными [1].

Для решения этой проблемы был составлен алгоритм нахождения теста, позволяющий пройти граф состояний по всем дугам. Суть алгоритма заключается в следующем:

- 1) генерируется тест, состоящий из псевдослучайных наборов входных сигналов;
- 2) на основе полученного теста проводится моделирование и в результате моделирования становятся известны реакции модели и пройденные состояния;
- 3) на основе пройденных состояний автомата формируется граф состояний;
- 4) находится путь обхода графа по всем дугам;
- 5) при помощи этого пути получаем тест для обхода графа и наборы ожидаемых выходных сигналов.

Полученного теста достаточно для проведения полной верификации автомата. Для примера рассмотрим граф переходов состояний конечного автомата (рис. 1).

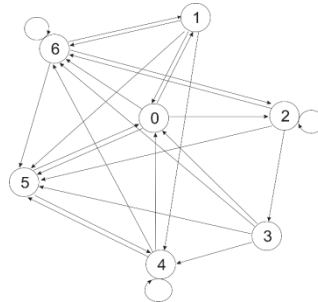


Рисунок 1 – Граф переходов состояний автомата

Для полного прохождения всех дуг графа были поданы тесты, состоящие из псевдослучайных наборов. Наименьший тест, который дал полное прохождение графа, состоял из 512 псевдослучайных наборов. После выполнения предложенного алгоритма был получен тест, включающий 54 набора. Переходы между состояниями этого автомата имеют вид:

0 → 6 → 6 → 1 → 4 → 4 → 5 → 4 → 6 → 2 → 2 → 6 → 5 → 0 → 6 → 1 → 6 → 5 → 4 → 6 → 1
 → 0 → 6 → 1 → 5 → 4 → 6 → 1 → 0 → 5 → 4 → 6 → 2 → 5 → 0 → 2 → 3 → 6 → 1 → 4 → 0 →
 2 → 3 → 4 → 5 → 0 → 2 → 3 → 5 → 0 → 2 → 3 → 0 → 1 → 0.

Число наборов полученного теста сократилось примерно в 10 раз.

Список использованных источников:

1. Чэнь М., Цинь К., Ку Х.-М., Мишра П. Валидация на системном уровне. Высокоуровневое моделирование и управление тестированием. М.: Техносфера, 2014. – 296 с.
2. Бибило П.Н., Романов В.И. Построение компактных тестов для функциональной верификации VHDL-описаний конечных автоматов // Управляющие системы и машины. - 2017. - № 1. – с. 35 – 45.