

Оценка энергопотребления КМОП-схем на основе логического моделирования

Бибило П.Н.; Кириенко Н.А.

Объединенный институт проблем информатики НАН Беларуси

Минск, Беларусь

e-mail: {bibilo, kir}@newman.bas-net.by

Аннотация — Предлагаются оригинальные методы оценки энергопотребления логических схем из элементов библиотеки проектирования заказных СБИС, изготовленных по КМОП-технологии. Методы основываются на подсчете переключательной активности схемы путем логического моделирования. Результаты и время логического моделирования сравниваются с результатами схемотехнического моделирования. Делается вывод о том, что предлагаемые методы значительно сокращают время оценки энергопотребления логических схем на этапе синтеза проекта.

Ключевые слова: комбинационные КМОП-схемы; переключательная активность; логическое моделирование; оценка энергопотребления

I. ВВЕДЕНИЕ

Проблема снижения энергопотребления интегральных микросхем решается практически на всех этапах проектирования: от алгоритмического до топологического. При выборе проектных решений по схемной реализации цифровых блоков заказных СБИС на различных этапах возникает необходимость оценки их энергопотребления.

В настоящей работе рассматривается задача оценки энергопотребления различных вариантов схемных решений, возникающих на этапе логического проектирования в процессе оптимизационных преобразований логических схем – функциональных блоков СБИС, создаваемых из элементов библиотеки проектирования заказных СБИС, изготавливаемых по КМОП-технологии.

Предлагается оценивать энергопотребление логических КМОП-схем путем подсчета числа переключающихся транзисторов логических элементов схемы, а для этой цели использовать быстродействующее логическое моделирование. Результаты экспериментов показывают, что при таком подходе достигается весьма значительное сокращение времени моделирования, ошибка прогноза энергопотребления схемы составляет примерно 10% по сравнению со схемотехническим моделированием, что вполне удовлетворяет требованиям оценки проекта по критерию энергопотребления на этапе логического синтеза схемы.

II. ПЕРЕКЛЮЧАТЕЛЬНАЯ АКТИВНОСТЬ КОМБИНАЦИОННЫХ СХЕМ ИЗ КМОП-ЭЛЕМЕНТОВ

Известно [1], что мощность, потребляемая логическим КМОП-элементом, прямо пропорциональна числу переключений его транзисторов. После анализа транзисторных схем комбинационных логических элементов библиотеки было установлено, что в них каждый вход КМОП-элемента соединен с парой транзисторов: n -МОП-транзистором и p -МОП-транзистором. При изменении сигнала на каждом из входов элемента переключается два транзистора.

Переключательная активность s_{ij} элемента при смене входного набора i на входной набор j вычисляется по формуле

$$s_{ij} = d_f \text{weight}(Inp_i \oplus Inp_j), \quad (1)$$

где d_f – параметр сложности элемента (может быть равен числам 2, 4, 6, 8, 10); Inp_i, Inp_j – n -компонентные булевы векторы, представляющие i -й и j -входные наборы; n – число входов элемента; $\text{weight}(a)$ – число единиц в векторе a .

Переключательная активность схемы из КМОП-элементов при смене входного набора i на входной набор j определяется как сумма переключательных активностей всех элементов. При определении переключательной активности на некоторой тестовой последовательности суммируются переключательные активности схемы на всех переходах от одного входного i к другому входному набору j .

III. МЕТОДЫ ПОДСЧЕТА ЧИСЛА ПЕРЕКЛЮЧЕНИЙ ТРАНЗИСТОРОВ ПРИ МОДЕЛИРОВАНИИ

A. Моделирование с нулевыми задержками

Метод позволяет определить число переключений транзисторов в КМОП-схеме на заданном входном (тестовом) наборе при условии, что на входах каждого элемента схемы значения сигналов будут изменяться не более одного раза. Моделирование выполняется путем определения значений выходных сигналов всех элементов схемы на каждом входном наборе с использованием логических функций элементов.

Метод реализован в проектной процедуре *Switch* [2] в рамках экспериментальной системы энергосберегающего логического синтеза (ЭЛС), разработанной в лаборатории логического проектирования Объединенного института проблем информатики Национальной академии наук Беларуси. Процедура использует алгоритм ранжирования элементов схемы, описанный в [3]. Логическая схема в этой программе представляется на языке SF [4], близком к уровню RTL языка VHDL. Программа в качестве исходных данных получает SF-описание комбинационных схем из библиотечных элементов и тестовую последовательность входных наборов. В результате своей работы программа находит полную, среднюю и максимальную переключательные активности схемы, что может быть использовано в процессе синтеза логической схемы, характеризующейся сниженным энергопотреблением.

B. Моделирование с единичными задержками

В данном подходе предполагается, что все логические элементы имеют одинаковую задержку, выбранную равной 1 ns . Подсчет числа переключений транзисторов осуществляется с помощью моделирования поведения схемы, представленной на языке VHDL. Каждый элемент схемы имеет средство (VHDL-процесс) для подсчета числа переключившихся транзисторов при условии, что изменился хотя бы один входной сигнал элемента. Для этого функциональная VHDL-модель элемента снабжается дополнительным выходом, значение которого задает число переключившихся транзисторов в данном сеансе моделирования.

VHDL-модель схемы в целом дополняется процессом, осуществляющим суммирование чисел переключений по всем элементам.

IV. ЭКСПЕРИМЕНТАЛЬНОЕ ИССЛЕДОВАНИЕ

Исходными данными для экспериментального исследования являлись описания логических схем, взятые из набора тестовых примеров [5], а также из практики проектирования. Все они задавали комбинационную логику и были представлены на языке VHDL. При моделировании использовались тестовые последовательности четырех типов (случайные и регулярные) различной длины.

Оценка среднего значения тока, потребляемого схемой, выполнялась тремя методами: на основе схемотехнического моделирования, на основе логического моделирования с нулевыми задержками логических элементов, на основе логического моделирования с единичными задержками логических элементов.

A. Оценка энергопотребления на основе схемотехнического моделирования

Для проведения схемотехнического моделирования в системе Accusim (программа фирмы Mentor Graphics) все логические схемы были представлены в Spice-формате. Эксперименты для всех схем при схемотехническом моделировании проводились с одинаковыми значениями параметров: длительности передних и задних фронтов входных сигналов 1 ns; период подачи входных сигналов 40 ns; температура +27 C. Целью схемотехнического моделирования являлось определение значения параметра *Average* среднего потребления тока (в микроамперах - mA) для *N* тестовых векторов.

B. Оценка энергопотребления на основе логического моделирования с нулевыми задержками

Оценка энергопотребления на основе логического моделирования с нулевыми задержками выполнялась с помощью программы *Switch*. Для каждой схемы было найдено значение S_{sw} – числа переключений транзисторов на одной из тестовых последовательностей, и подсчитано значение среднего потребляемого тока (в наноамперах – nA) на переключение одного транзистора (параметр α_{sw}) по формуле

$$\alpha_{sw} = \frac{Average \cdot N}{S_{sw}} \cdot 1000 \text{ (нА)}. \quad (2)$$

C. Оценка энергопотребления на основе логического моделирования с единичными задержками

Оценка энергопотребления на основе логического моделирования с единичными задержками выполнялась путем моделирования в системе ModelSim [6]. Для этого все логические схемы сначала были представлены в виде структурных описаний на языке VHDL, затем преобразованы к виду, требуемому для проведения подсчета полной переключающей активности. В результате были найдены значения S_{ms} числа переключений транзисторов на тех же тестовых последовательностях. Среднее потребление тока (нА) на переключение одного транзистора (параметр α_{ms}) для каждой схемы подсчитывалось по формуле

$$\alpha_{ms} = \frac{Average \cdot N}{S_{ms}} \cdot 1000 \text{ (нА)}. \quad (3)$$

Значения α_{sw} и α_{ms} были усреднены по всем примерам и получены их средние значения $k_{sw} = 2,611$, и $k_{ms} = 2,378$. С помощью параметров k_{sw} и k_{ms} были получены $A_{sw} = \frac{k_{sw} S_{sw}}{1000N}$ (mA), $A_{ms} = \frac{k_{ms} S_{ms}}{1000N}$ (mA) – предсказываемые значения потребления тока каждой из схем и подсчитаны соответствующие погрешности σ_{sw} и σ_{ms} по сравнению со схемотехническим моделированием.

D. Выводы

Эксперименты подтвердили известный факт, что энергопотребление одной и той же схемы в значительной степени определяется значениями входных сигналов (типом тестовой последовательности).

Используя параметры k_{sw} и k_{ms} , можно с достаточной практической точностью прогнозировать потребление тока схемой при заданной частоте функционирования схемы (период составляет 40 ns), вычисляемое в системе Accusim. Средняя точность прогноза составляет:

-7,8 % ÷ +12,6 % для программы *Switch* моделирования с нулевыми задержками элементов ;
-9,9 % ÷ +13,8 % при VHDL-моделировании с единичными задержками элементов.

V. ЗАКЛЮЧЕНИЕ

Использование логического моделирования позволяет провести подсчет числа переключений транзисторов в комбинационных схемах КМОП СБИС, с достаточной точностью и быстро предсказывать средние значения потребляемого схемой тока, что значительно сокращает время оценки вариантов логических схем на этапе синтеза проекта. Точную оценку энергопотребления для выбранного варианта логической схемы рекомендуется получать все же с помощью трудоемкого схемотехнического моделирования [1].

[1] Ж.М. Рабаи, А. Чандракасан, Б. Николитч. Цифровые интегральные схемы, 2-е издание.: Пер. с англ. – М.: ООО «ИД. Вильямс», 2007. – 912 с.

[2] Кириенко Н.А. Алгоритм логического моделирования комбинационной схемы из библиотечных элементов. Танаевские чтения: доклады Четвертой Междунар. науч. конф., Минск, 2010 г. – Минск: ОИПИ НАН Беларуси, 2010. – С. 68 – 71.

[3] Торопов Н.Р. Преобразование многоярусной комбинационной сети в двухъярусную. Логическое проектирование. – 2000. – Вып. 5 – С. 4.

[4] Бибило П.Н. Кремниевая компиляция заказных СБИС. – Минск: Ин-т техн. кибернетики АНБ, 1996. – 268 с.

[5] Berkeley PLA test set [Электронный ресурс]. – Mode of access: – Режим доступа: <http://www1.cs.columbia.edu/~cs4861/sis/espresso-examples/>.

[6] Бибило П.Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum. – М.: СОЛОН-Пресс, 2005. – 384 с.