

УДК 004.415.2

## РАЗРАБОТКА МАКЕТНОГО ОБРАЗЦА ВЫСОКОПРОИЗВОДИТЕЛЬНОГО ВИДЕОПРОЦЕССОРА

С.А. БАЙРАК, М.М. ТАТУР, М.М. ЛУКАШЕВИЧ, НГУЕН ХОНГ ВУ

*Белорусский государственный университет информатики и радиоэлектроники  
П. Бровка, 6, Минск, 220013, Беларусь*

Системы технического зрения являются программно-аппаратными комплексами, предназначенными для обработки видеоданных и принятия решений о характеристиках реальных объектов и сцен. В настоящей статье анонсируются результаты разработки и создания макетного образца высокопроизводительного видеопроцессора с оригинальной параллельной архитектурой для решения задач технического зрения в промышленных системах.

*Ключевые слова:* система технического зрения, программно-аппаратный комплекс, видеоаналитика, процессор.

### Введение

Система технического зрения – это программно-аппаратный комплекс, предназначенный для обработки видеоданных и принятия решений о характеристиках реальных объектов и сцен. В связи с развитием оптических и вычислительных компонентов таких систем в настоящее время область применения технического зрения существенно расширилась: от простых систем видеонаблюдения до автоматического интеллектуального неразрушающего контроля на разных стадиях производства (например, контроля упаковки и маркировки изделий, точности изготовления и окраски деталей, контроля позиционирования компонент и т.п.). В зависимости от решаемой прикладной задачи математическое обеспечение, алгоритмы, программное обеспечение и вычислительная аппаратура значительно отличаются, но вместе взаимообусловлены в рамках системы технического зрения. В настоящем исследовании акцент сделан аппаратную составляющую. Работа выполнена в рамках гранта фонда фундаментальных исследований (№Ф16ВГ-001 от 20.07.2016 г.).

### Обоснование необходимости разработки

В ряде случаев, когда необходимо обрабатывать большие объемы видеоданных в реальном времени, универсальная (последовательная) архитектура вычислительного комплекса не в состоянии обеспечить необходимую производительность. В таких ситуациях прибегают к использованию либо универсальных параллельных вычислительных кластеров, что не всегда приемлемо по конструктивным и экономическим соображениям, либо созданию специализированных вычислительных комплексов с оригинальными параллельными архитектурами. Создание подобной архитектуры процессора и апробация в реальном технологическом процессе (выбранном в ходе работы) вынесено в цель проекта [1–7].

Современные методы и алгоритмы обработки изображений отличаются большим разнообразием. Архитектура процессора, на котором предполагается их реализация, должна быть оптимальной с точки зрения предоставления различных типов вычислительных ресурсов. Поэтому современный процессор для обработки изображений должен удовлетворять двум основным требованиям: универсальность и вычислительная мощь. С точки зрения аппаратных средств, данные для обработки – видеопоток или стационарные изображения –

характеризуются следующими основными параметрами: объемом, скоростью поступления, тип методов и алгоритмов для их обработки.

Объем данных для обработки и скорость их поступления может сильно отличаться, в зависимости от конкретных условий применения систем обработки изображений. Данные параметры являются во многом определяющими в случае необходимости выполнения обработки в режиме реального времени. В этой ситуации скорость обработки данных должна быть равна или выше скорости их поступления. Очень часто оба этих параметра сводят к одному – так называемой пиксельной частоте, т.е. скорости поступления одного пикселя изображения.

Характер данных и цель их обработки определяют используемые в системе методы и алгоритмы, которых на сегодняшний день разработано большое количество. При их аппаратной реализации с использованием вычислительной системы можно воспользоваться двумя основными подходами: последовательным и параллельным.

Последовательный подход предполагает реализацию методов и алгоритмов путем последовательного выполнения отдельных операций на едином, часто универсальном, вычислительном ядре. Основные плюсы данного подхода – универсальность, простота и гибкость. Основным недостатком – скорость обработки данных. Чаще всего последовательный подход основывается на использовании современных микропроцессорных систем, в том числе и специально предназначенных для решения задач цифровой обработки сигналов (DSP-процессоры).

Параллельный подход предполагает реализацию методов и алгоритмов путем организации параллельно работающих модулей, выполняющих одновременную обработку различных частей поступающих данных. Для этого чаще всего используют различные микросхемы программируемой логики – FPGA. Основное достоинство данного метода – возможность построения системы с практически неограниченной вычислительной мощностью, а недостаток – низкая универсальность и сложность разработки такой системы.

При этом не все алгоритмы и методы одинаково хорошо реализуются с использованием обоих подходов. Чаще всего для конкретного алгоритма или метода хорошо подходит только один из подходов. Важным фактором универсальности процессора обработки данных является также наличие достаточного числа интерфейсов, выполняющих следующие основные функции:

- прием данных для обработки, при необходимости – в режиме реального времени;
- выдача результата обработки, при необходимости – в режиме реального времени;
- организация полнодуплексного канала управления системой обработки.

### **Структурная схема параллельного процессора**

Создаваемый процессор с параллельной архитектурой планируется к применению в системах технического зрения, предназначенных для широкого круга задач (рис. 1).

Несмотря на различные области применения, общим процессинговым блоком будет являться оригинальный процессор с параллельной архитектурой, проблемно-ориентированной на алгоритмы обработки изображений и управления. Основное назначение процессора – обеспечение высокой производительности, достаточной для реализации алгоритмов в реальном времени.

Очевидно, что интерфейсы процессора и системное (сервисное) программное обеспечение должны быть унифицированы, в то время как функциональная спецификация будет определяться прикладным программным обеспечением и конструктивными особенностями конкретных контроллеров.

Структурная схема параллельного процессора обработки изображений представлена на рис. 2.

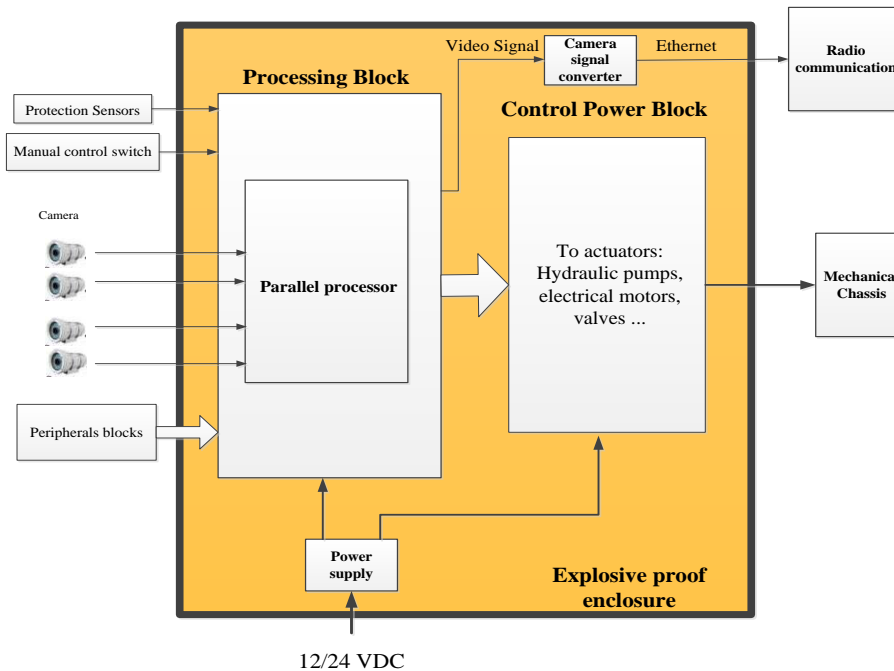


Рис. 1. Общая схема бортового контроллера мобильного робота

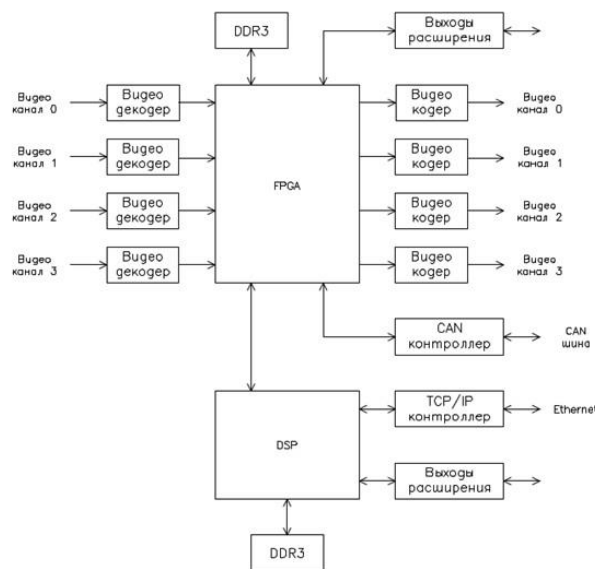


Рис. 2. Структурная схема параллельного процессора

### Основные технические характеристики и ограничения.

Процессор состоит из двух вычислительных ядер: DSP процессор (Texas Instruments TMS320C6674/76/78), FPGA (Xilinx Artix / Kintex 7).

Каждое вычислительное ядро имеет свое ОЗУ размером 128МБ DDR3. Внешние интерфейсы: CAN, Ethernet 100/1000, 4 независимых видеовхода, 4 независимых видеовыхода. Вычислительные возможности: обработка видео HD 720p (разрешение 1280×720) при частоте кадров 60 кадров/с; выполнение следующих операций в режиме реального времени для видеопотока HD 720p60 (1280×720, частота– 60 кадров/с):

- коррекция цвета (color correction);
- коррекция гистограммы (гамма-коррекция. GAMMA correction);
- фильтрация изображения (noise reduction);
- подчеркивание границ (edge enhancement).

При реализации более интеллектуальных функций параметры входного видео, при котором будет обеспечиваться требование режима реального времени, может отличаться. Процессор обеспечивает 1600 MIPS и 16 GFLOPS.

### Функциональная схема параллельного процессора

Функциональная схема процессора представлена на рис. 3.

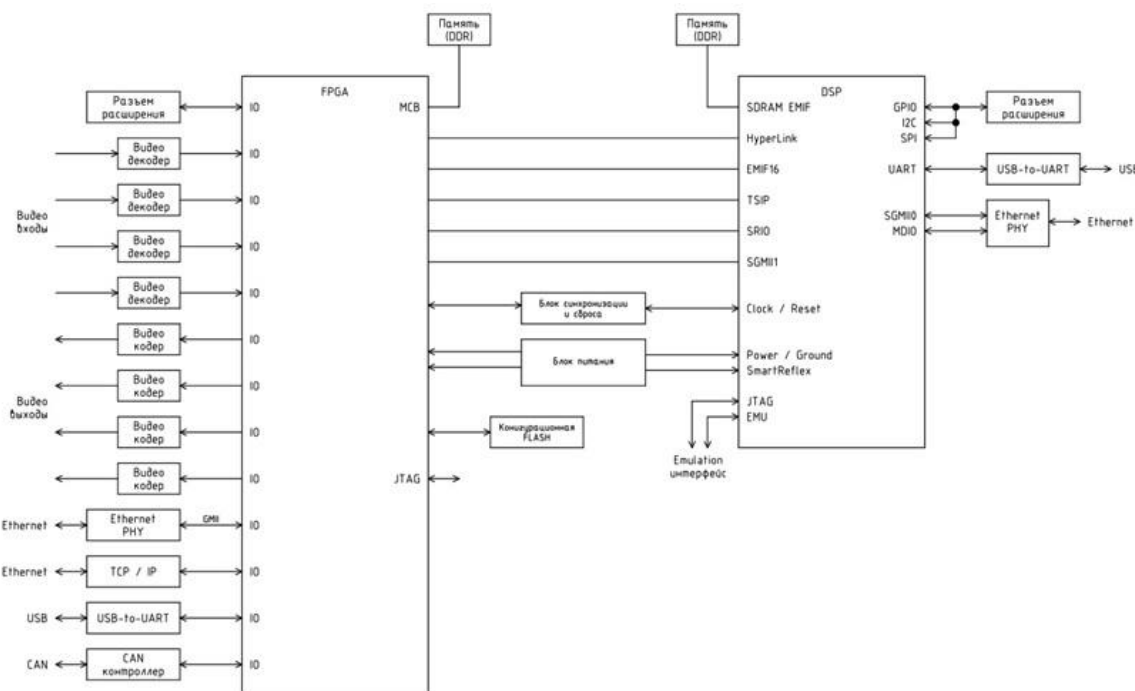


Рис. 3. Функциональная схема параллельного процессора

В качестве микросхемы FPGA используется микросхема Artix 7 компании Xilinx, а в качестве DSP процессора – процессор TMS320C6678 компании Texas Instruments. Основная задача при проектировании процессора, включающего два разнотипных вычислительных ядра, является обеспечение их взаимодействия и возможности обмена большими объемами данных между ними. Для этого используются следующие интерфейсы: HyperLink, EMIF16, TSIP, SRIO; SGMII. Интерфейс HyperLink разработан специально для межпроцессорного взаимодействия устройств, поддерживающих технологию KeyStone. Он обладает наибольшими скоростью и функциональными возможностями. При этом для его использования необходимо покупать дополнительные IP-ядра, так как документация от производителя не достаточна для его самостоятельной реализации. В связи с этим данный интерфейс пока не является основным для обмена данными.

### Заключение

Разработана архитектура параллельного процессора обработки изображений на базе двух вычислительных ядер: микросхемы FPGA, предназначенной для реализации параллельных алгоритмов обработки, и DSP процессора, предназначенного для реализации последовательных алгоритмов обработки. Оба процессорных ядра имеют независимые блоки динамической памяти и выходы расширения, предназначенные для подключения дополнительных периферийных устройств. Основное управление осуществляется через TCP/IP-сеть или CAN-шину. Для обеспечения взаимодействия и возможности обмена большими объемами данных между вычислительными ядрами определены интерфейсы.

## **DEVELOPMENT OF THE LAYER SAMPLE OF HIGH-PERFORMANCE VIDEOPROCESSOR**

S.A. BAIRAK, M.M. TATUR, M.M. LUKASHEVICH, NGUYEN HONG VU

### **Abstract**

Computer vision system is software and hardware system designed to videoanalysis and decision-making about the characteristics of real objects and scenes. The aim of the work is to develop and create a prototype of a high-performance processor with an original parallel architecture for solving technical vision problems in industrial systems.

*Keywords:* computer vision system, software and hardware system, video analysis, processor.

### **Список литературы**

1. Байрак С.А., Одинец Д.Н., Татур М.М. Параллельный процессор идентификации образов // Технологии безопасности. 2012. № 1 (22). С. 46–47.
2. Вереник Н.Л., Сейткулов Е.Н., Татур М.М. Разработка проблемно-ориентированных процессоров семантической обработки информации. Минск // Электроника Инфо. 2012. № 8. С. 95–98.
3. Моделирование алгоритмов управления автоматических трансмиссий по обеспечению плавного включения передач / А.В. Белевич [и др.] // Нейрокомпьютеры: разработка, применение. 2013. № 2. С. 40–44.
4. Имитационная модель векторного процессора на примере задачи поиска пути в графе / Н.Л. Вереник [и др.] // Искусственный интеллект. 2013. №4 (62). С. 89–100.
5. Алгоритм поиска кратчайшего пути в графе для семантического процессора / С.Н. Боранбаев [и др.] // Вест. КазНТУ им. К.И. Сатпаева. 2013. № 4 (98). С. 290–296.
6. Модель семантического процессора с параллельной архитектурой / Е.Н. Сейткулов [и др.] // Вест. КазНТУ им. К.И. Сатпаева. 2013. № 4 (98). С. 283–290.
7. Tatur M. Problem-Oriented Processors for the Solving of Classification Tasks // J. of Information, Control and Management Systems (Slovakia). 2013. Vol. 11, № 2. P. 155–164.