

# Методика обнаружения неисправностей интерфейсных линий встроенных ОЗУ

Степанов А.В.; Иванюк А.А.

Кафедра ВМиП, ФИТУ

Белорусский государственный университет информатики и радиоэлектроники

Минск, Республика Беларусь

e-mail: step\_by@mail.ru, ivaniuk@bsuir.by

**Аннотация** – В данной работе предложена методика обнаружения функциональных неисправностей интерфейсных линий встроенных ОЗУ, которая позволит выполнять тестирование цифрового устройства на наличие физических дефектов проводящих линий в процессе его эксплуатации по назначению.

**Ключевые слова:** неисправности интерфейсных линий, маршевые тесты, встроенное ОЗУ, моделирование, VHDL

## I. ВВЕДЕНИЕ

Современные достижения в области разработки средств вычислительной техники привели к появлению интегральных схем со сверхбольшой степенью интеграции цифровых компонент. Стремительное усложнение структуры цифровых устройств определяет одну из основных проблем – проблему обеспечения высокой надежности функционирования проектируемых цифровых устройств.

Одним из основных компонентов разрабатываемых устройств являются оперативные запоминающие устройства (ОЗУ). В то же время ОЗУ относятся к наименее надежным компонентам цифровых систем [1]. Вследствие этого большое значение имеет обеспечение корректного функционирования ОЗУ. Особенно это актуально для критических приложений, некорректное функционирование которых может нанести вред человеку. Примером являются системы автомобильной, авиационной и медицинской направленности, а также системы ядерной энергетики.

Причиной неисправного состояния ОЗУ является наличие физического или механического дефекта либо множества подобных дефектов, количество и многообразие которых практически неограниченно [2]. В зависимости от технологических особенностей при производстве ОЗУ и внешних факторов при его эксплуатации могут появляться новые типы и разновидности дефектов.

В силу того, что современные ОЗУ проектируются в качестве встроенных модулей, доступ к ним извне является сильно ограниченным либо вообще невозможным. Проблема тестирования таких компонент решаются путем применения архитектурных решений, которые получили общее название аппаратуры встроенного самотестирования BIST (Built-in Self Test) [3]. Основная концепция BIST-архитектуры заключается в проектировании цифровой компоненты таким образом, что аппаратура формирования тестовых воздействий и анализа выходных реакций целиком проектируется совместно с функциональным ядром устройства.

Данный подход позволяет произвести функциональное тестирование кристалла для обнаружения любых типов неисправностей, а также провести диагностику для выявления места возникновения неисправности. Однако при установке исправно функционирующих компонент на печатной

плате возможны случаи обрывов и замыкания интерфейсных линий межсоединений.

В основном для тестирования цифровых компонент, установленных на печатной плате, применяется технологии граничного сканирования. Основным элементом архитектуры граничного сканирования является специальный дополнительный триггер на каждом входе и выходе интегральной схемы, который получил название ячейки граничного сканирования. Все ячейки граничного сканирования объединены в один длинный сдвиговый регистр. Объединяя выход одной интегральной схемы с входом другой, можно создать одну длинную цепь сканирования, охватывающую все интегральные схемы на печатной плате. Таким образом, можно проверить правильность функционирования установленных компонент. В общем случае применение метода граничного сканирования заключается в реализации JTAG-архитектуры (Joint Test Action Group) [4].

Особенно сложной и трудоемкой является задача тестирования интерфейсных линий, которые подключены к контактам интегральной схемы ОЗУ. Применение описанного выше подхода для данного случая имеет ряд недостатков:

1. Использование технологии граничного сканирования требует значительных временных затрат. Кроме того, очень часто ОЗУ принадлежит группе схем, не вовлеченных в общую цепь сканирования, что существенно усложняет задачу тестирования.

2. Использование технологии граничного сканирования не позволяет производить тестирование в процессе его эксплуатации по назначению.

Поэтому в данной работе предлагается методика обнаружения функциональных неисправностей интерфейсных линий встроенных ОЗУ, которая позволит выполнять тестирование цифрового устройства на наличие физических дефектов проводящих линий в процессе его эксплуатации по назначению.

## II. МЕТОДИКА

Предлагаемая методика основывается на генерировании тестовых наборов ведущим устройством и анализе реакций, формируемых ведомыми устройствами на выходных полюсах. В качестве ведущего устройства может выступать микроконтроллер, микропроцессор или специальное устройство тестирования (рис. 1).

Проведение тестовых сеансов необходимо осуществлять периодически в моменты простоя цифрового устройства и принудительно, при условии нештатного поведения системы, в то время как встроенное самотестирование компонент свидетельствует о корректном функционировании данных узлов.

Встроенная система (печатная плата)

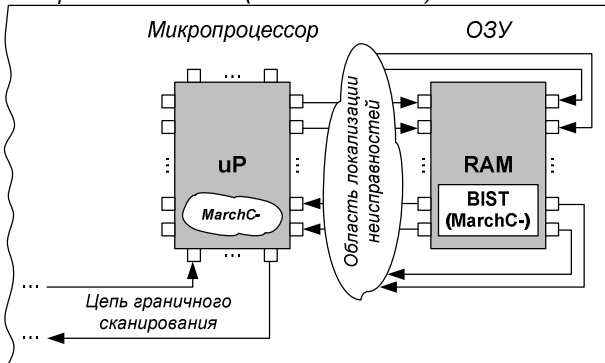


Рис.1. Компоненты встроенной системы

Метод обнаружения неисправностей интерфейсных линий встроенного ОЗУ базируется на анализе получаемых синдромов для каждой ячейки памяти при использовании классического неразрушающего маршевого теста «March C-». В настоящее время маршевые тесты широко используются в качестве диагностирующих алгоритмов для цифровых устройств. Так, в работе [5] представлен словарь синдромов, полученный для различных типов функциональных неисправностей массива ячеек ОЗУ при использовании маршевого теста «March-17N».

Для составления словаря синдромов неисправностей интерфейсных линий в рамках данной работы создана простейшая модель цифрового устройства, которая включает в себя описание ведущего устройства, встроенного ОЗУ и реальных проводящих линий, участвующих в соединении внутренних компонент устройства.

В качестве средств разработки выбран язык VHDL, который является международным стандартом в области автоматизации проектирования цифровых систем [6]. С помощью VHDL можно подробно описать проектируемые системы и выполнить функциональное моделирование. Кроме того, VHDL позволяет адекватно описать реальные проводящие линии, которые будут участвовать в соединении внутренних компонент законченного устройства, используя языковые объекты типа signal [7].

Внедрение неисправностей проводящих линий основано на подходе, который заключается в реализации подмены сигналов VHDL-описаний цифровых устройств [7]. В качестве внедряемых неисправностей были выбраны мостиковые неисправности и неисправности типа обрыв, которые относят к доминирующим типам функциональных неисправностей проводящих линий [8, 9]. При моделировании нештатной работы цифрового устройства вероятность возникновения той или иной неисправности проводящих линий принимается равновероятной. Внедряемые мостиковые неисправности затрагивают две сигнальные линии.

Процесс внедрения неисправностей, основанный на данном подходе, может быть автоматизирован при использовании языковых описаний таких блоков, как блок распределения неисправностей и карта неисправностей. Карта неисправностей представляет собой структуру данных, которая содержит сведения о типе неисправности и ее местоположении. Блок распределения используется для определения местоположения, типа и кратности внедряемых неисправностей ОЗУ. В данной работе был реализован

метод генерации всевозможных неисправностей проводящих линий для заданного количества сигнальных линий и моделируемых типов мостиковых неисправностей. Моделирование выполнялось на базе пакета программных средств ISE WebPACK 9.1i компании Xilinx.

Результаты проведенных экспериментальных исследований показали, что предложенная методика решает задачу обнаружения неисправностей интерфейсных линий встроенных ОЗУ и позволили составить словарь синдромов для внедренных неисправностей ОЗУ при использовании неразрушающего маршевого теста «March C-».

### III. ЗАКЛЮЧЕНИЕ

Предложена новая методика обнаружения функциональных неисправностей интерфейсных линий встроенных ОЗУ. Составлен словарь синдромов неисправностей интерфейсных линий при использовании маршевого теста «March C-». Полученные результаты могут быть применены при проектировании контролепригодных цифровых устройств и для решения задач в области диагностики неисправностей интерфейсных линий встроенных ОЗУ, нацеленных на определение типов неисправностей и их местоположение

При проведении дальнейших исследований по совершенствованию предложенной методики следует выделить задачу минимизации тестовых наборов, необходимых для обнаружения неисправностей данного типа, с целью сокращения временных затрат на проведение тестовых сеансов.

- [1] Design-for-Test for System-on-a-Chip Designs / J. Rajski [et al.] // Design & Diagnostics of Electronic Circuits & Systems. – 1998. – P. 203–209.
- [2] Lala, P.K. Digital Circuits Testing and Testability / P.K. Lala – New-York: Academic Press, 1997. – 199 p.
- [3] Stroud, E.A. Designer's Guide to Built-In Self-Test / E.A. Stroud. – Boston: Kluwer Academic Publishers, 2002. – 344 p.
- [4] JTAG Boundary-Scan, Test and In-System Programming Solutions (IEEE 1149.1) [Электронный ресурс]. – Электронные данные. – Режим доступа: <http://www.jtag.com>.
- [5] Li, J.F. Memory Fault Diagnosis by Syndrome Compression / J.F. Li [et al.] // Proc. Ninth IEEE Asian Test Symposium (ATS). – Hsinchu, 2008. P. 45–50.
- [6] Бибило, П.Н. Синтез логических схем с использованием языка VHDL / П.Н. Бибило. – М.: СОЛОН-Р, 2002. – 384 с.
- [7] Внедрение функциональных неисправностей в VHDL-описания цифровых устройств / В.Н. Яролик, А.А. Иванюк // Автоматика и Вычислительная Техника. – 2007. – № 3. – С. 3–12.
- [8] Ma, S. A Comparison of Bridging Fault Simulation Methods / S. Ma, I. Shaik, R. Fetherston // Proc. IEEE International Test Conf. – Atlantic City, USA, 1999. – P. 587–595.
- [9] Garbolino, T. Detection, Localization and Identification of Interconnection Faults Using MISR Compactor / T. Garbolino, M. Kopec, K. Gucwa // Proc. of the 9th IEEE Workshop on Design & Diagnostics of Electronic Circuits & Systems (DDECS 2006). – Prague, Czech Republic, 2006. – P. 230–231.