

Тестовое диагностирование цифровых устройств компьютерных сетей

Золоторевич Л.А.; Горячкин В.В.; Соболева Т.В.
Факультет прикладной математики и информатики, каф. КТС
Белорусский государственный университет
г. Минск, Беларусь
e-mail: zolotorevichla@bsu.by

Аннотация — Рассматриваются особенности построения тестов контроля цифровых устройств и систем, описанных на языке VHDL, на начальных этапах проектирования. Предлагается метод верификации проектов и направленного построения тестов контроля сверхбольших сложно-функциональных интегральных схем, представленных на уровне межрегистровых передач. Метод основан на описании объекта функциями разрешения и сведения задачи к решению КНФ - выполнимости. Решается также задача верификации проектов на уровне RTL путем моделирования на известном тесте.

Ключевые слова: цифровое устройство; уровень межрегистровых передач; КНФ - выполнимость

I. СОСТОЯНИЕ ПРОБЛЕМЫ

Вопросы разработки тестов контроля СБИС на системном уровне проектирования и уровне RTL, когда отсутствуют сведения относительно структурной реализации объекта, рассматриваются в работах [1-8]. Предлагаются методы построения тестов, основанные на внесении в описание объекта функциональных неисправностей и моделирование на псевдослучайных входных последовательностях. При этом рассматривается достаточно широкий спектр предлагаемых моделей неисправностей. Это и константные неисправности сигналов и переменных, замена одних функций некоторыми другими, к примеру, условных переходов безусловными и т. д. В работе [9] предлагается методика построения функциональных неисправностей, аргументировано соответствующих неисправностям структурной реализации соответствующего механизма. Известны работы, рассматривающие задачи направленного построения тестов на верхних уровнях проектирования [1-3, 5]. Достоинством предлагаемых решений является то, что описание объекта в этом случае существенно снижает количество примитивов и соответственно размерность задачи генерации тестов. В то же время требуется разработка новых подходов к построению моделей объектов и методов построения тестов, методов описания неисправностей на функциональном уровне.

В работе [2] приведен общий подход к иерархической генерации тестов СБИС на RTL-уровне. Каждая операция программного кода реализуется на аппаратном уровне некоторым набором аппаратных средств, тест контроля для которых строится известными методами и средствами на основе структурного представления устройства. В литературе известны некоторые модели функциональных неисправностей, которые предлагается использовать при иерархическом построении тестов. Тест вносится в описание объекта, устанавливаются ограничения на функционирование объекта, задача построения теста контроля всего объекта сводится к решению системы арифметических уравнений с внесенными ограничениями. В настоящей работе описывается механизм решения задачи направленного построения

тестов, основанный на построении системы арифметических уравнений и итерационному решению задачи КНФ-выполнимости соответствующей системы булевых функций разрешения.

II. ПОСТРОЕНИЕ ТЕСТОВ

Общая идея метода направленного построения тестов контроля цифровых систем, описанных на уровне RTL на языке VHDL заключается

- в переходе от системы арифметических и логических уравнений, описывающих поведение объекта, к построению системы КНФ булевых функций разрешения;
- конъюнктивном объединении функций разрешения;
- решении задачи выполнимости результирующей КНФ разрешения объекта.

Предположим, что все входные переменные являются целочисленными размерностью n бит ($\text{mod } 2^n$). Для генерации тестов необходимо:

- 6) На основе программного кода объекта составить систему арифметических уравнений, описывающих функционирование объекта;
- 7) Выполнить корректировку системы с учетом внесения неисправностей соответствующего оператора;
- 8) Поставить в соответствие каждой целочисленной переменной размерностью n бит ($\text{mod } 2^n$) логический вектор длины n ;
- 9) Итеративно выполнить решение системы. Вначале необходимо получить 1-й бит результата. Для этого арифметические выражения транслируются в КНФ булевых функций разрешения (правила перехода приведены в разделе 4);
- 10) Все полученные КНФ-функции разрешения объединяются по правилу И; решается задача КНФ-выполнимости полученной системы булевых функций. Если система выполнима, то нами получен очередной бит разрабатываемого теста контроля внесенной неисправности. В противном случае, тест не может быть построен, так как внесенные ограничения не могут быть удовлетворены. В таком случае для проверки рассматриваемой неисправности необходимо изменить систему управления с целью повышения управляемости и наблюдаемости объекта проекта.

Рассмотрим фрагмент некоторого программного кода, приведенный на рисунке 1. Здесь A , B , C , S – входные данные, L – переменная выхода. Положим, что переменные A , B , C являются целочисленными по модулю 2^n , а S – однобитовая переменная. На рисунке 2 приведена система арифметических уравнений, описывающих функционирование объекта, представленного программным кодом, приведенным на рисунке 1. В объекте имеется мультиплексор, два сумматора, умножитель и схема сравнения. Построим тест, проверяющий правильность выполнения оператора целочисленного сложения $G = B + C$.

```

if S = '0' then
    D <= A;
else D <= B;
    G <= B + C;
    E <= D + C;
    F <= E * G;
    L <= D < G;
endif;

```

Рис. 1. Фрагмент программного кода

```

D = /S*A + S*B;
G = B + C;
E = D + C;
F = E * G;
L = D < G;

```

Рис. 2. Система арифметических уравнений (mod 2ⁿ)

С данным оператором связаны аппаратные средства, обеспечивающие сложение целых чисел. Положим, что нам известен тест (последовательность входных наборов) для контроля сумматора по модулю 2ⁿ, и нами выбран один набор теста, который задает B = 15, C = 1, G' = 17 по модулю 2ⁿ где G' – неисправное значение переменной G. Для построения теста контроля рассматриваемого объекта система уравнений (рисунок 2) должна быть скорректирована, как показано на рисунке 3, чтобы обеспечить распространение неисправности к выходам объекта и определение входных переменных. Здесь уравнения 1-5 описывают исправный исходный объект, операторы 6-8 описывают процесс внесения неисправности, операторы 9-13 задают ограничения, обеспечивающие распространение эффекта неисправности к выходу объекта.

№ п/п	Арифметические уравнения
1	D = /S*A + S*B; (mod 2 ⁿ)
2	G = B + C; (mod 2 ⁿ)
3	E = D + C; (mod 2 ⁿ)
4	F = E * G; (mod 2 ⁿ)
5	L = D < G; (mod 2 ⁿ)
6	B = 15; (mod 2 ⁿ)
7	C = 1; (mod 2 ⁿ)
8	G' = 17; (mod 2 ⁿ)
9	G' ≠ G; (mod 2 ⁿ)
10	F' = E * G'; (mod 2 ⁿ)
11	F ≠ F' (mod 2 ⁿ)
12	L' = D < G'; (mod 2 ⁿ)
13	L ≠ L'; (mod 2 ⁿ)

Рис. 3. Система арифметических уравнений (mod 2ⁿ) с внесенной неисправностью

Идея решения подобных систем арифметических уравнений основана на поразрядном подходе к вычислению значений и состоит в том, что каждой целочисленной переменной $m \leq 2^n$ ставится в соответствие определенный логический вектор размерности n. Для описания алгоритма вычисления системы арифметических уравнений вводится в

рассмотрение логическая функция разрешения, которая задает соотношения между исправными логическими состояниями выводов физических элементов, реализующих определенную логическую функцию. В докладе приводятся функции разрешения для практически используемых функций и правила их получения.

Решение системы уравнений, приведенной на рис. 3, выполняется итеративно. Для вычисления очередного бита результата формируется система функций разрешения, соответствующих каждой арифметической функции, затем решается задача выполнимости конъюнкции всех функций разрешения.

Значение каждого бита результата вычисляется рекурсивно. К примеру, для уравнения $E = D + C$ вначале вычисляется значение младшего бита результата $E_0 = D_0 + C_0$. После вычисления E_0 его результат используется при формировании результата для следующих битов. Для определения порядка вычисления битов высшего порядка из битов более низкого порядка необходимо рассмотреть различные формы уравнений. Для операции суммирования, начиная со 2-й итерации, очередной бит результата вычисляется следующим образом: $E_i = D_i + C_i + P_i$, где P_i - значение переноса из i+1-го разряда.

В докладе приводятся функции разрешения для первого бита системы арифметических уравнений, приведенных на рис. 3. Все функции разрешения объединяются знаком конъюнкции, решается задача выполнимости полученной системы булевых функций.

[1] Золоторевич, Л.А. Разработка тестов для анализа контролепригодности СБИС на верхних уровнях проектирования / Л.А. Золоторевич, А.В. Ильинкова // Автоматика и телемеханика. – 2010. – №9. – С.162-173.

[2] Zolotarevich, L. A. Development of tests for VLSI circuit testability at the upper design levels / L. A. Zolotarevich, A. V. Il'inkova // Automation and Remote Control.- USA, NY, Plenum Press. -Vol. 71.- Issue 9.- 2010.- P. 1888-1898.

[3] Золоторевич, Л.А. Построение моделей цифровых систем для направленного построения тестов контроля / Л.А. Золоторевич, А.В. Ильинкова // The International Conference Computer-Aided Design of Diskrete Devices (CAD-DD'10) . Minsk. 2010. P. 279-286.

[4] Murray B. T., Hayes J. P. Hierarchical Test Generation Using Precomputed Tests for Modules // International Test Conference. 1988. P. 221-229.

[5] Gharebaghi, A. M., Navabi, Z. High-Level Test Generation from VHDL Behavioral Descriptions // Proceedings of VHDL International Users Forum Fall Workshop. 2000. P. 123-126.

[6] Inoue, M. Test synthesis for datapath using datapath-controller functions / M. Inoue, K. Suzuki, H. Okamoto, H. Fujiwara // Proceeding of the 12 th Asian Test Symposium (ATS'03). 2003. P. 294-299.

[7] Goloubeva, O. High-level test generation for hardware testing and software validation / O. Goloubeva, M. Sonza Reorda, M. Violante // Workshop of High-Level Design Validation and Test. 2003. P. 143-148.

[8] Jervan, G. High level and hierarchical test sequence generation / G. Jervan, Z. Peng, O. Goloubeva, M. S. Reorda // Workshop of High-Level Design Validation and Test, 2002. P. 196-174.

[9] Золоторевич Л.А. Моделирование неисправностей СБИС на поведенческом уровне на языке VHDL // Информатика. 2005. №3.