

РАЗРАБОТКА МАКЕТНОГО ОБРАЗЦА ВЫСОКОПРОИЗВОДИТЕЛЬНОГО ПРОЦЕССОРА

Байрак С. А., Татур М. М., Лукашевич М. М

Белорусский государственный университет информатики и
радиоэлектроники

Минск, Республика Беларусь

Система технического зрения – это программно-аппаратный комплекс, предназначенный для обработки видеоданных и принятия решений о характеристиках реальных объектов и сцен. В зависимости от области применения системы технического зрения, математическое обеспечение, алгоритмы, программное обеспечение и аппаратура значительно отличаются. В ряде случаев, когда необходимо обрабатывать большие объемы видеоданных в реальном времени универсальная (последовательная) архитектура вычислительного комплекса не в состоянии обеспечить необходимую производительность. В таких случаях прибегают к использованию либо универсальных параллельных вычислительных кластеров, что не всегда приемлемо по конструктивным и экономическим соображениям, либо созданию специализированных вычислительных комплексов с оригинальными параллельными архитектурами. Создание подобной архитектуры процессора и апробация в реальном технологическом процессе (выбранном в ходе работы) вынесено в цель проекта [1-3].

Структурная схема параллельного процессора обработки изображений представлена на рисунке 1.

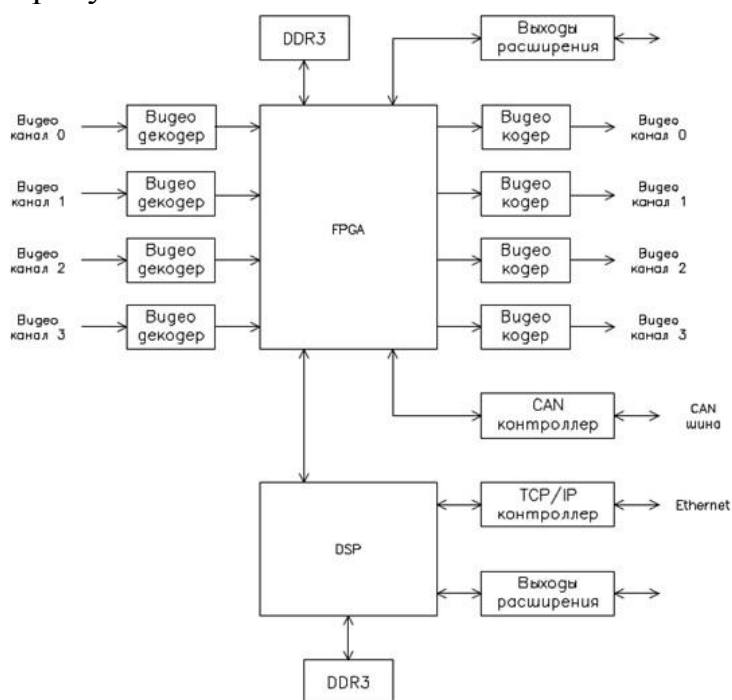


Рисунок 1 – Структурная схема параллельного процессора

Функциональная схема процессора представлена на рисунке 2. В качестве микросхемы FPGA используется микросхема Artix 7 компании Xilinx. А в качестве DSP процессора используется процессор TMS320C6678 компании Texas Instruments. Основная задача при проектировании процессора, включающего два разнотипных вычислительных ядра, является обеспечение их взаимодействия и возможности обмена большими объемами данных между ними. Для этого используются следующие интерфейсы: HyperLink, EMIF16, TSIP, SRIO, SGMII.

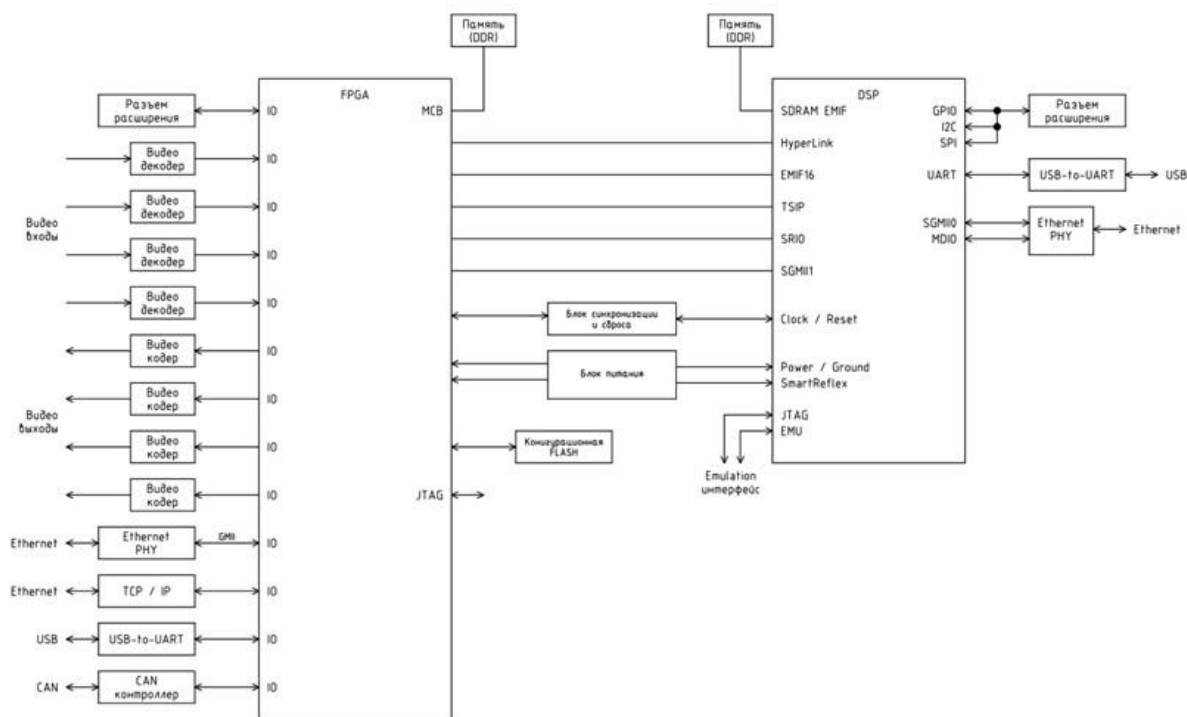


Рисунок 2 – Функциональная схема параллельного процессора

Таким образом, разработана архитектура параллельного процессора обработки изображений на базе двух вычислительных ядер: микросхемы FPGA, предназначенной для реализации параллельных алгоритмов обработки, и DSP процессора, предназначенного для реализации последовательных алгоритмов обработки.

1. Байрак, С.А., Одинец, Д.Н., Татур, М.М. Параллельный процессор идентификации образов. Минск // Технологии безопасности. –2012. – №1 (22). –С. 46–47.

2. Сейткулов, Е.Н., Боранбаев, С.Н., Отелбаев, М., Вереник, Н.Л., Гирель, А.И., Татур, М.М. Модель семантического процессора с параллельной архитектурой // Вестник КазНТУ им.К.И.Сатпаева, Алматы. –2013. –№4 (98). –С. 283-290.

3. Tatur, M. Problem-Oriented Processors for the Solving of Classification Tasks // Journal of Information, Control and Management Systems (Slovakia). – 2013. – Vol. 11. –No. 2. P. 155-164.