

УДК 621.391.1

УНИВЕРСАЛЬНЫЙ FSK/QAM МОДУЛЯТОР НА ПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ ИНТЕГРАЛЬНОЙ СХЕМЕ ALTERA CYCLONE V

А.Л. ХОМИНИЧ

*Белорусский государственный университет информатики и радиоэлектроники, Республика Беларусь**Поступила в редакцию 20 марта 2019*

Аннотация. Рассмотрена реализация на программируемых логических интегральных схемах (ПЛИС) семейства Intel/Altera Cyclone V цифрового модулятора, обеспечивающего формирование частотно-манипулированных и квадратурно модулированных радиосигналов с размерностью сигнального созвездия от 2 до 1024. Предложены варианты реализации модуляторов, обеспечивающие эффективное использование ресурсов ПЛИС.

Ключевые слова: манипуляция, модуляция, интерполяция, сигнальное созвездие, преобразование частоты.

Введение

Цифровые системы связи уже практически полностью вытеснили своих аналоговых предшественников. Наиболее используемым видом модуляции (если подходить строго, то манипуляции) является квадратурная амплитудная (QAM). Она применяется как в системах с одной несущей, так и в многочастотных, с ортогональным разделением каналов (OFDM), при этом размер сигнального созвездия составляет обычно от 4 до 1024, а в ряде случаев, в частности, в проводных и кабельных системах, встречаются созвездия с размером до 16384.

Частотная манипуляция (FSK) используется в настоящее время гораздо реже, прежде всего, из-за меньшей по сравнению с QAM помехоустойчивостью (при одинаковой спектральной эффективности). Количество ступеней девиации частоты редко превышает 16, хотя сведения о моделировании и теоретических исследованиях систем с большим размером созвездия также присутствуют. Преимуществом FSK является более простая реализация приемного тракта.

Теоретические аспекты формирования и применения FSK и QAM подробно описаны в учебной и научно-технической литературе [1, 2], поэтому не обсуждаются в настоящей статье. Основной целью приведенной работы являлась практическая реализация универсального FSK/QAM модулятора на ПЛИС Intel/Altera Cyclone V с использованием отладочных модулей Terasic DE10-Standard и GX starter Kit. Для подсистемы цифро-аналогового преобразования использована плата расширения Terasic THDB-ADA.

Общая структурная схема цифровой части радиопередающего тракта

При традиционном построении цифровой передающей тракт (рис. 1) должен включать в себя входной интерфейс, выполняющий прием и адаптацию входного потока данных, блок помехоустойчивого кодирования (БПК), модуляторы – в данном случае частотный (ЧМГ) и квадратурный (КАМ) – цифро-аналоговый преобразователь (ЦАП). Также в любом случае необходим генератор тактовых сигналов (ГТС) с опорным кварцевым генератором (ОКГ) и блок управления (БУ) для задания необходимых режимов работы всех модулей тракта. Синтезатор частоты (СЧ) и блок преобразования частоты (БПЧ) необходимы, если требуется работа с разными значениями промежуточной частоты либо получение радиосигнала на несущей частоте.

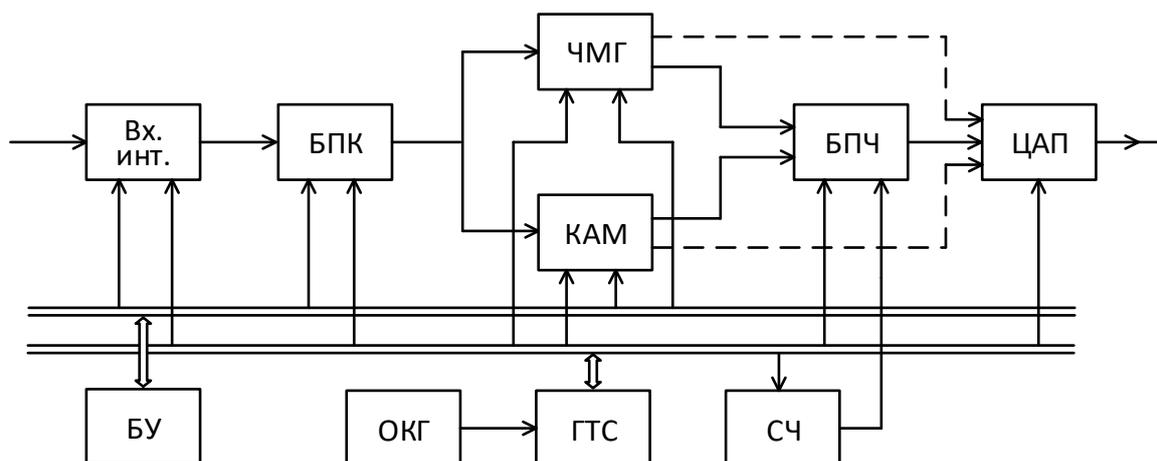


Рис. 1. Общая структурная схема универсального цифрового радиопередающего тракта

При построении многостандартных трактов одной из проблем являются разные принципы реализации модуляторов, требующие их параллельного размещения, как показано на рис. 1. Это увеличивает требования к ресурсам ПЛИС. В частности, КАМ-модуляторы реализуются на нулевой ПЧ по квадратурной схеме, а многопозиционные частотные манипуляторы строятся с использованием цифровых управляемых генераторов на базе прямого цифрового синтеза (ПЦС) частот. При этом в ряде случаев отпадает необходимость в блоках СЧ и ПЧ, так как схема ПЦС позволяет сформировать ЧМн-радиосигнал на любой частоте, не превышающей половину тактовой.

Исходя из вышеперечисленных факторов, для унификации ЧМн- и КАМ-трактов используется формирование ЧМн-сигнала на нулевой частоте. Если перенос радиосигнала на несущую частоту предполагается осуществлять аналоговым способом, то квадратурные составляющие как ЧМн-, так и КАМ-сигналов могут быть непосредственно поданы на ЦАП, как показано на рис. 1 штриховыми линиями. Использование БПЧ и СЧ в данном случае обусловлено особенностью блока ЦАП платы THDB-ADA, а именно, трансформаторным выходом, не позволяющим выдавать сигналы на нулевой ПЧ.

Подсистема формирования ЧМн-сигнала

Подсистема обеспечивает формирование ЧМн-сигнала с количеством ступеней от 2 до 1024 при шаге девиации частоты от 1 до 1024 кГц. С учетом аппаратных ограничений возможны не все сочетания, а только те, при которых максимальная девиация не превышает 8192 кГц. Символьная скорость при этом может быть установлена равной 64, 128, 256 или 512 ксимв/с. Битовая скорость при этом будет находиться в пределах от 64 до 5120 кбит/с.

Ядром подсистемы является цифровой частотно-модулированный генератор, выполненный на базе схемы прямого цифрового синтеза (ЧМГ ПЦС), выполненной по традиционной схеме с использованием фазового регистра и таблиц отсчетных значений синусов или косинусов. Отличием от схемы из [3] является использование и таблиц синусов, и таблиц косинусов, поскольку должна быть обеспечена возможность формирования ЧМн-сигнала на нулевой ПЧ. Также использованная схема гораздо проще в реализации, чем варианты с непосредственным вычислением значений тригонометрических функций, например, предлагаемые и рассматриваемые в [4], а требование наличия достаточно большого объема памяти для хранения предварительно вычисленных отсчетных значений синуса/косинуса для семейства ПЛИС Cyclone V достаточно легко выполнимо.

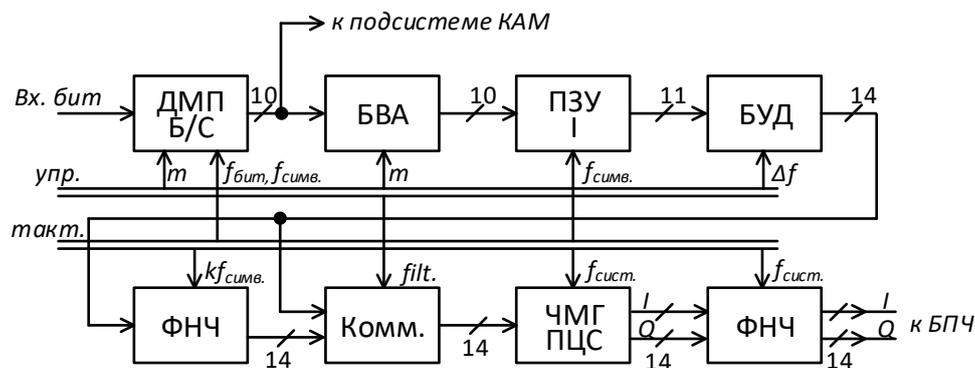


Рис. 2. Подсистема формирования ЧМн-сигнала

Значение частоты выходного синусоидального сигнала ПЦС-синтезатора определяется выражением $f_0 = \frac{Mf_s}{2^n}$, где f_s – тактовая частота работы схемы ПЦС (частота дискретизации), n – разрядность фазового регистра, M – код частоты, загружаемый в регистр, причем $0 < M < 2n - 1$.

Разрешающая способность системы по частоте равна $f_s / 2^n$. При выборе значения тактовой частоты учитывались особенности формирования сетки частот и ограничения используемой элементной базы. В первую очередь, f_s определяет диапазон частот генерируемых сигналов, которые могут лежать в пределах от $f_{\text{MIN}} = f_s / 2^n$ до $f_{\text{MAX}} < f_s / 2$. С учетом того, что амплитудно-частотная характеристика ЦАП имеет вид $K(f) = \sin(f) / f$, работа вблизи $f_s / 2$ требует применения корректирующего фильтра, а также значительно повышает требования к аналоговому восстанавливающему ФНЧ. Поскольку в плате THDB-ADA восстанавливающим фильтром является простая RC-цепь, желательным является выполнение условия $f_{\text{MAX}} \ll f_s / 2$.

Также от соотношения f_s и n зависит шаг сетки частот. С этой точки зрения при построении ЧМГ f_s удобно выбирать равной $\Delta f_{\text{MIN}} \cdot 2^k$, где Δf_{MIN} – минимальное значение девиации частоты. Практически же размер фазового регистра выбирается с запасом, значения 32...48 позволяют формировать сетку частот с точностью, достаточной для абсолютно всех связанных приложений. В данном случае достаточен регистр длиной 32, при этом при выборе тактовой частоты $f_s = 2^{17} \cdot \Delta f_{\text{MIN}} = 131072$ кГц, являющейся максимальной для ЦАП платы THDB-ADA,

и минимальной девиации в 1 кГц, шаг сетки частот будет равным 0,031 Гц. Для выбора значения из таблиц синусов/косинусов оставлены только первые 14 старших значащих разрядов (MSB), что достаточно для обеспечения уровня внеполосных составляющих схемы не более –60 дБс. Это уменьшает размер таблиц, для хранения которых достаточно двух блоков памяти объемом $(2^{14}/4) \times 14 = 4096 \times 14$ бит каждый, и не ухудшает разрешающую способность по частоте. Рассчитанный объем блоков памяти приведен с учетом вычисления отсчетных значений 2-го, 3-го и 4-го квадрантов по хранящимся в памяти значениям только 1-го квадранта, путем их инверсии или изменения направления считывания, что позволило сократить его в 4 раза. Выбор разрядности в 14 бит соответствует разрядности ЦАП и позволяет получить отношение сигнал/шум квантования не менее 70 дБ.

Для формирования сигнала управления частотой также использовано ПЗУ с предварительно вычисленными значениями. Для эквидистантной (с одинаковым шагом) ЧМн используются наборы значений от $[-1;1]$, что соответствует 2-ЧМн, до $[-1023;1023]$ для 1024-ЧМн. Поскольку значения для созвездий большей размерности покрывают значения меньших, для хранения отсчетов используется одно ПЗУ размером 1024×14 , занимающее 2 блока встроенной памяти М10К (М9К для Cyclone IV). На рис. 3 показано расположение отсчетов в памяти для простейшего случая, без использования кода Грэя. Использование ПЗУ с предварительно вычисленными значениями существенно упрощает схему управления

частотой, при этом количество ресурсов ПЛИС не зависит от сложности вычисления кода частоты.

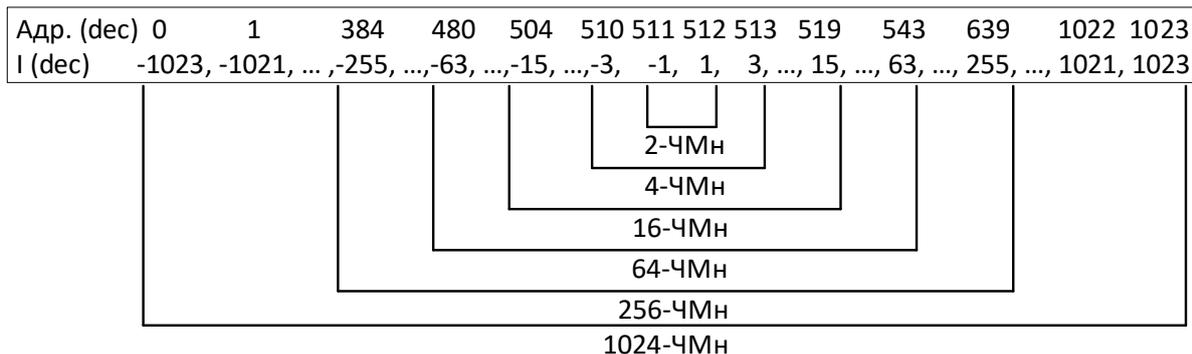


Рис. 3. Схема размещения значений сигнала управления частотой в ПЗУ

Таким образом, формирование кода управления частотой ЧМГ ПЦС осуществляется в 3 этапа: вначале в демультимплексоре (ДМП) происходит преобразование последовательного битового потока в параллельный символьный, с количеством разрядов (бит/символ) от 1 (для 2-ЧМн) до 10 (1024-ЧМн), далее в блоке вычисления адреса определяется адресное пространство для соответствующей размерности ЧМн, затем из ПЗУ считываются отсчетные значения управляющего кода, соответствующие минимальной сетке значений девиаций частот, и наконец, в блоке установки девиации частоты производится окончательное формирование управляющего кода путем битового сдвига на требуемое количество (от 0 до 9) разрядов.

Еще одной проблемой использования ЧМн-сигналов (как и любых других манипулированных сигналов) является теоретически бесконечная ширина их спектра. Даже при использовании режима манипуляции с непрерывной фазой, что и обеспечивает схема ПЦС, уровень боковых лепестков с высокой долей вероятности окажется выше допустимых значений, особенно для радиопередающих устройств с высокой выходной мощностью. Фильтр нижних частот (ФНЧ), устанавливаемый после ЧМГ, должен быть перестраиваемым (переключаемым), поскольку ширина спектра ЧМн-сигнала зависит как от символьной скорости, так и от девиации частоты. При большом количестве режимов работы ЧМГ конструкция такого фильтра может оказаться весьма сложной и ресурсоемкой. Поэтому использован дополнительный ФНЧ перед ЧМГ, ограничивающий полосу частот модулирующего сигнала. Он работает на фиксированной частоте $kf_{\text{сим.}}$, где $k=8$ или 16 – коэффициент интерполяции. Совместное действие двух ФНЧ позволит достичь заданного уровня внеполосных излучений ЧМГ, для их реализации потребуется не более 50 умножителей, выполненных в виде выделенных DSP-модулей ПЛИС, или синтезированных из логических блоков. Последний вариант следует использовать только в случае нехватки необходимого количества выделенных модулей умножения-суммирования в малоразмерных ПЛИС.

Подсистема формирования КАМ-сигнала

Данная подсистема обеспечивает формирование сигнальных созвездий размерностью от 2 (2-ФМ) до 1024 (1024-КАМ), при этом диапазон битовых и символьных скоростей такой же, как и в ЧМн-подсистеме.

Подсистема состоит из двух идентичных каналов (рис. 4), обеспечивающих формирование комплексной огибающей КАМ-сигнала, представленной квадратурными составляющими I и Q . Последовательность символов принимается от ДМП ЧМн-подсистемы (см. рис. 2), являющегося общим для обеих подсистем. Однако в КАМ-подсистеме нечетные разряды подаются в синфазный (I) канал, четные – в квадратурный (Q), или наоборот – правило определяется для конкретного применения.

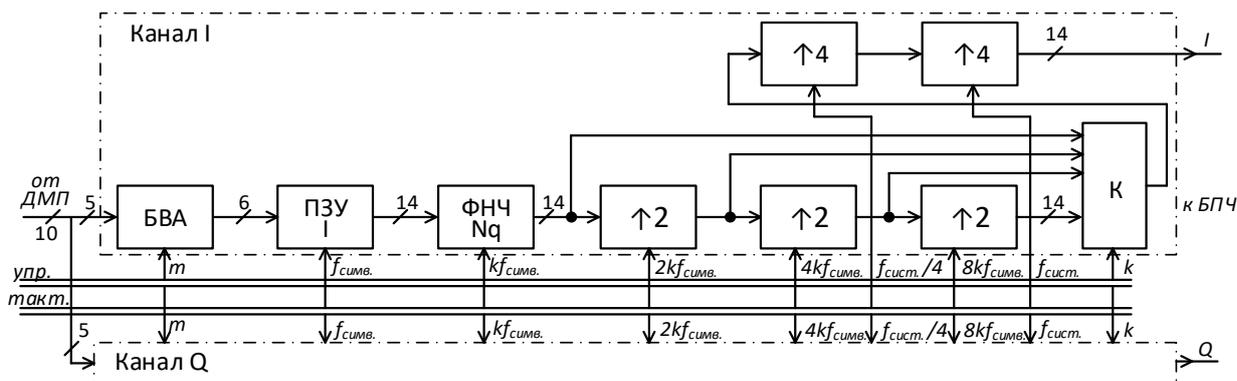


Рис. 4. Подсистема формирования ЧМн-сигнала

Для формирования I и Q сигналов использован тот же метод, что и в ЧМн-подсистеме – чтение из ПЗУ предварительно вычисленных отсчетных значений. Такое решение обусловлено необходимостью нормирования амплитуды I и Q сигналов, чтобы мощность радиосигнала на выходе модулятора была одинаковой для всех режимов. Для эквидистантных сигнальных созвездий значения сигналов будут в пределах от $[-1, 1]$ до $[-31, 31]$ (табл. 1).

Таблица 1. Коэффициенты нормировки I и Q сигналов

Вид модуляции	2-ФМн	4-КАМ	16-КАМ	64-КАМ	256-КАМ	1024-КАМ
Диапазон значений сигналов I и Q	-1, 1	-1, 1	-3, -1, 1, 3	-7, ..., -1, 1, ..., 7	-15, ..., -1, 1, ..., 15	-31, ..., -1, 1, ..., 31
Коэффициент нормировки K_n	1 (0 для Q)	$1/\sqrt{2}$	$1/\sqrt{10}$	$1/\sqrt{42}$	$1/\sqrt{170}$	$1/\sqrt{682}$
Множитель K_x	4095 (0)	2896	1295	632	314	157

Коэффициенты нормировки являются, в основном, иррациональными числами, поэтому переводятся в целочисленные с учетом выбранной разрядности n формируемых I и Q сигналов, в настоящем случае 14 бит. Множитель (коэффициент пересчета) вычисляется по выражению $K_x = \text{round}((2^{n-1} - 1) / K_n)$.

Поскольку диапазон значений сигналов I и Q и множители заранее известны, то они могут быть вычислены предварительно и записаны в ПЗУ (непосредственно, в коде Грэя или в соответствии с любым иным правилом формирования сигнального созвездия), в результате чего схема упрощается – из нее исключается кодер Грэя и умножители на коэффициент. Значения I и Q сигналов для различных видов модуляции записываются в одно ПЗУ, для чего его адресное пространство разделяется в соответствии с табл. 2.

Таблица 2. Разделение адресного пространства ПЗУ хранения отсчетов I и Q сигналов

Вид модуляции	2-ФМн	4-КАМ	16-КАМ	64-КАМ	256-КАМ	1024-КАМ
Диапазон адресов	0	1...2	4...7	8...15	16...31	32...63

Для реализации разделения адресного пространства в блоке вычисления адреса (БВА) к коду сигнала добавляется значение от 2^0 (для 4-КАМ) до 2^5 (для 1024-КАМ). Емкость ПЗУ составляет 64×14 бит, содержание для I и Q каналов идентично за исключением первой ячейки – в ПЗУ I канала оно равно 4095, в ПЗУ Q канала – 0 (см. табл. 1).

Ограничение полосы частот выполняет ФНЧ с кососимметричным склоном АЧХ – фильтр Найквиста [2]. В зависимости от требований к крутизне склона, неравномерности АЧХ в полосе пропускания, затухания в полосе задержания и соотношения частоты среза к частоте дискретизации КИХ-фильтр Найквиста будет иметь порядок от 20 и более, что является достаточно ресурсоемким с точки зрения использования DSP-блоков ПЛИС. Также как и в ЧМн-подсистеме, фильтр работает на частоте $kf_{\text{сумв.}}$, k принято равным 16. Таким

образом, одновременно выполняется 16-кратная интерполяция методом повторения соседних отсчетов.

Поскольку с выхода фильтра данные поступают с тактовой частотой, зависящей от выбранной символьной скорости и принимающей значения от 1024 кГц (при 64 ксимв/с) до 8192 кГц (при 512 ксимв/с), для ее выравнивания интерполятор выполнен по каскадной схеме – вначале трех каскадный коммутируемый, каждая ступень которого обеспечивает двукратную интерполяцию, затем двух каскадный фиксированный, с четырех кратной интерполяцией. В результате выходная тактовая частота составляет 131072 кГц независимо от символьной скорости. Все интерполяторы являются каскадными интегрирующе-гребенчатыми (СИС) фильтрами, не требующими при реализации операций умножения. Разделение интерполятора на каскады позволяет последовательно снижать требования к каждой секции, соответственно, оптимальнее использовать ресурсы ПЛИС.

Подсистемы синтеза и преобразования частот, тактирования и управления

Синтезатор частоты для БПЧ (см. рис. 2) также выполнен на базе схемы ПЧС, его параметры полностью идентичны параметрам синтезатора, использованного в ЧМн-подсистеме. Соответственно, значение ПЧ может быть от 0 до 65 МГц, однако практически, с учетом вышерассмотренных особенностей платы ЦАП, его не следует выбирать выше 20...30 МГц.

Преобразователь частоты – классический квадратурный. Его цифровая реализация позволяет добиться математически точного формирования радиосигнала, проблемы разбаланса фаз и амплитуд квадратурных каналов, присущие аналоговым схемам, за счет выбора большой разрядности вычислений (14 и более бит), могут быть сведены до пренебрежимо малых.

Для формирования необходимых тактовых сигналов используется встроенная в ПЛИС схема ФАПЧ, но поскольку значения частот сигналов символьной синхронизации лежат ниже ее минимально возможных (т. е. ниже 1 МГц), то используются дополнительные делители частоты.

Блок управления выполняет декодирование сигналов от кнопочной панели управления и формирование на их базе необходимых управляющих сигналов для подсистем модулятора.

Заключение

Разработанный универсальный модулятор позволяет формировать радиосигналы практически со всеми используемыми видами ЧМн и КАМ, реализуем на любой ПЛИС семейства Cyclone V, также может быть легко перенесен на другие ПЛИС при условии наличия у них достаточного количества встроенных модулей памяти и DSP-блоков. Основное практическое применение для него – отработка алгоритмов формирования радиосигналов для цифровых систем связи. При использовании модулятора в системах, не требующих столь широкой номенклатуры формируемых сигналов, конструкция может быть упрощена.

UNIVERSAL FSK/QAM MODULATOR ON ALTERA CYCLONE V FPGA

A.L. KHAMINICH

Abstract. Implementation on a programmable logic integrated circuit (FPGA) of the Intel/Altera Cyclone V family of a digital modulator, which provides the formation of frequency- and quadrature modulated radio signals with a signal constellation dimension from 2 to 1024 us considered. It's suggested options for the modulators implementation that ensure efficient use of FPGA resources.

Keywords: keying, modulation, interpolation, signal constellation, frequency conversion.

Список литературы

1. Скляр Б. Цифровая связь. Теоретические основы и практическое применение. М.: Издат. дом «Вильямс», 2003.
2. Прокис Дж. Цифровая связь. М.: «Радио и связь», 2000.
3. Аналого-цифровое преобразование / под ред. У. Кестера. М.: Техносфера, 2007.
4. Ильинков В.А., Янков Я.М., Ильинкова А.В. // Докл. БГУИР. 2016. № 5 (99). С. 24–29.