

Министерство образования Республики Беларусь  
Учреждение образования  
«Белорусский государственный университет  
информатики и радиоэлектроники»

УДК 621.315.61

*На правах рукописи*

**НАЗАРОВ**  
**Илья Владимирович**

**ИССЛЕДОВАНИЕ СКРЫТЫХ ДЕФЕКТОВ ДИЭЛЕКТРИЧЕСКИХ  
СЛОЕВ КОНТРОЛЕМ ВЕЛИЧИНЫ ЗАРЯДА ПРОБОЯ**

**АВТОРЕФЕРАТ**

диссертации на соискание степени  
магистра техники и технологий

по специальности 1-39 81 01 – Компьютерные технологии  
проектирования электронных систем

Минск 2019

Работа выполнена на кафедре проектирования информационно-компьютерных систем учреждения образования «Белорусский государственный университет информатики и радиоэлектроники»

Научный руководитель: **ЧИГИРЬ Григорий Григорьевич**,  
кандидат технических наук, доцент, заместитель  
директора ГЦ «Белмикроанализ» НТЦ  
«Белмикросистемы» ОАО «ИНТЕГРАЛ»

Рецензент: **ЛЕБЕДЬ Светлана Федоровна**,  
кандидат физико-математических наук, доцент,  
декан факультета электронно-информационных  
систем учреждения образования «Брестский  
государственный технический университет»

Защита диссертации состоится «27» июня 2019 г. года в 9<sup>00</sup> часов на заседании Государственной экзаменационной комиссии по защите магистерских диссертаций в учреждении образования «Белорусский государственный университет информатики и радиоэлектроники» по адресу: 220013, Минск, ул. П.Бровки, 6, копр. 1, ауд. 408, тел. 293-20-80, e-mail: kafpiks@bsuir.by

С диссертацией можно ознакомиться в библиотеке учреждения образования «Белорусский государственный университет информатики и радиоэлектроники».

## ВВЕДЕНИЕ

Современные субмикронные технологии интегральных микросхем предъявляют высокие требования к подзатворному и туннельному диэлектрикам, толщина которых составляет менее 10 нм. Тонкий подзатворный диэлектрик во многом определяет надёжность интегральных микросхем. В процессе эксплуатации микросхемы к диэлектрикам приложено электрическое поле и через диэлектрик протекает ток. Под действием протекающего тока происходит деградация структуры диэлектрика и через определенное время диэлектрик пробивается. От начала эксплуатации до отказа через диэлектрик протекает определенный заряд. Если на этапе изготовления произвести измерения величины заряда пробоя диэлектрического слоя, то ее величина будет свидетельствовать о надежности диэлектрика. Если рассматривать тонкий слой двуокиси кремния без дефектов, то параметры надёжности, как правило, значительно превышают требуемые нормы. Наличие дефектов существенно снижает надёжность диэлектрика. В большинстве случаев причиной снижения надёжности тонкого подзатворного и туннельного диэлектрика являются случайно распределенные точечные дефекты в структуре диэлектрика.

Для микросхемы памяти статического оперативного запоминающего устройства (СОЗУ) емкостью 1 Мбит с проектными нормами 0.35 мкм и размером кристалла 10 x 10 мм площадь подзатворного диэлектрика составляет около 10 мм<sup>2</sup>. Обеспечить надёжность тонкого диэлектрика на большой площади является сложной технологической задачей. В холдинге «ИНТЕГРАЛ», а также на предприятиях и организациях СНГ, осуществляющих разработку и производство изделий микроэлектроники, существует проблема отсутствия эффективных методов оценки надёжности тонких подзатворных диэлектриков. Применение методов оценки надёжности подзатворного диэлектрика интегральных микросхем позволит своевременно обнаруживать дефекты в диэлектрических слоях и обеспечит поддержание надёжности микросхем на требуемом уровне.

Анализ дефектов в диэлектрических слоях интегральных микросхем приведен в большом количестве современных работ. Они базируются на использовании длительных, разрушающих испытаний и не пригодны для экспрессного контроля. Наиболее значимые результаты были получены белорусскими учеными, которые проводили работы по оценке надёжности с использованием тестовых структур специальной конструкции, расположенных непосредственно на пластине рядом с кристаллами ИМС (Белоус А.И., Турцевич А.С., Чигирь Г.Г.).

## **ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ**

### **Актуальность темы исследования**

Современные технологии интегральных микросхем предъявляют высокие требования к подзатворному диэлектрику, толщина которого составляет менее 10 нм. Он во многом определяет надёжность микросхем. В процессе эксплуатации микросхемы к диэлектрику приложено электрическое поле и через диэлектрик протекает ток. Под действием протекающего тока происходит деградация структуры диэлектрика и через определенное время диэлектрик пробивается. Наличие скрытых дефектов существенно снижает надёжность диэлектрика. Отсутствие эффективных методов оценки надёжности тонких подзатворных диэлектриков снижает воспроизводимость технологических процессов, не позволяет отбраковывать потенциально ненадежные пластины в процессе технологического цикла и обеспечить высокий уровень надёжности корпусированных микросхем.

На основе вышесказанного, работы по исследованиям и разработке эффективного метода оценки скрытой дефектности подзатворного диэлектрика, позволяющего отбраковывать потенциально ненадежные пластины в процессе технологического цикла изготовления ИМС, является весьма актуальным.

### **Степень разработанности проблемы**

Анализ тонких подзатворных диэлектриков осуществлялся на основе построения теоретических моделей с использованием работ белорусских ученых А.И.Белоус, А.С.Турцевич, Г.Г.Чигирь, а также зарубежных авторов R.Degraeve, J.L. O.Ogier, R.Bellens, Ph.Roussel, G.Groeseneken, H.E.Maes

Существенным недостатком исследований, представленных в современной технической литературе, является отсутствие публикаций по разработке экспрессных методов и недостаточное количество результатов, полученных при помощи экспрессных испытаний применительно для микросхем с проектными нормами 0.8 – 0.35 мкм.

Предложенное исследование направлено на устранение этого недостатка на основе разработки экспрессного метода определения дефектности подзатворного диэлектрика с применением его в технологическом процессе изготовления серийных субмикронных микросхем.

### **Цель и задачи исследования**

Целью диссертации является разработка экспрессной методики определения скрытых дефектов диэлектрических слоев серийно выпускаемых

КМОП субмикронных интегральных микросхем контролем величины заряда пробоя.

Поставленная цель работы определяет следующие основные задачи:

1. Проанализировать существующие методы оценки надёжности тонких подзатворных диэлектриков в технологическом процессе изготовления серийных микросхем.

2. Установить закономерности процесса отказа подзатворного диэлектрика и теоретически обосновать метод для реализации экспрессного определения скрытых дефектов.

3. Разработать методику определения скрытых дефектов диэлектрических слоев контролем величины заряда пробоя исходя из требований серийного производства микросхем.

4. Провести анализ показателей надежности на серийно выпускаемых КМОП интегральных микросхемах.

#### **Область исследования.**

Содержание диссертации соответствует образовательному стандарту высшего образования второй ступени (магистратуры) ОСВО 1-39 81 01-2012 специальности 1-39 81 01 «Компьютерные технологии проектирования электронных систем».

#### **Теоретическая и методологическая основа исследования**

В основу диссертации легли работы белорусских и зарубежных ученых в области исследования показателей надежности подзатворного диэлектрика в технологическом процессе изготовления серийных субмикронных микросхем, а также анализ технических нормативных правовых актов по рассматриваемой тематике.

*Информационная база* исследования сформирована на основе литературы, открытой информации, технических нормативно-правовых актов, сведений из электронных ресурсов, а также материалов научных конференций и семинаров.

#### **Научная новизна**

*Научная новизна* полученных результатов работы заключается в разработке экспрессной методики определения скрытых дефектов диэлектрических слоев серийно выпускаемых субмикронных интегральных микросхем контролем величины заряда пробоя.

*Теоретическая значимость* работы заключается в анализе закономерностей процесса отказа подзатворного диэлектрика и теоретическом

обосновании метода для реализации экспрессной методики определения скрытых дефектов диэлектрических слоев.

*Практическая значимость* диссертации состоит в использовании разработанной методики для анализа показателей надежности серийно выпускаемых КМОП интегральных микросхемах и возможности оптимизации технологических процессов.

### **Основные положения, выносимые на защиту**

1. Теоретическое обоснование метода определения скрытых дефектов диэлектрических слоев на основе проведения испытаний выборки тестовых МДП-структур на определение величины заряда пробоя.

2. Экспрессная методика эффективной оценки скрытых дефектов диэлектрических слоев МДП-микросхем, позволяющая оценивать показатели надежности на отдельной пластине микросхем в широком диапазоне изменения технологических факторов.

3. Результаты анализа показателей надежности микросхем с проектными нормами 0.35 мкм и возможность проведения оптимизации технологических процессов.

### **Апробация и внедрение результатов исследования**

Результаты исследований, вошедшие в диссертацию, докладывались и обсуждались на Международной научно-практической конференции.

Отдельные положения диссертации могут быть использованы при преподавании дисциплин «Проектирование интегральных микросхем».

### **Публикации**

Основные положения диссертации и результаты исследования изложены в восьми опубликованных работах. В их числе семь статей в научных журналах и 1 тезис на научной конференции.

### **Структура и объем работы**

Диссертация состоит из введения, общей характеристики работы, трех глав с краткими выводами по каждой главе, заключения, библиографического списка и приложений.

**В первой главе** приведен обзор современных моделей и методов оценки показателей надёжности тонких подзатворных диэлектриков интегральных микросхем, которые используются в научно-исследовательских лабораториях и научно-практических институтах, описаны закономерности процесса отказа подзатворного диэлектрика.

**Во второй главе** приведены результаты теоретического обоснования метода и разработки экспрессной методики определения скрытых дефектов диэлектрических слоев контролем величины заряда пробоя, позволяющей оценивать показатели надежности на отдельной пластине микросхем в широком диапазоне изменения технологических факторов.

**В третьей главе** представлены экспериментальные результаты анализа микросхем с проектными нормами 0.35 мкм в условиях серийного производства и показана возможность оптимизации технологических процессов.

**В приложении** представлены публикации автора и акт внедрения, графическая часть.

Объем основного текста диссертации – 46 страницы. Работа содержит 13 рисунков, 6 таблиц. Библиографический список включает 53 наименования.

## **ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ**

**Во введении** рассмотрено современное состояние проблемы исследования показателей надёжности тонких подзатворных диэлектриков интегральных микросхем, указаны основные направления исследований

**В общей характеристике работы** показана актуальность проводимых исследований, степень разработанности проблемы, сформулированы цель и задачи диссертации, обозначена область исследований, научная (теоретическая и практическая) значимость исследований, а также апробация работы.

**В первой главе** проведен сравнительный анализ современных методов и моделей оценки показателей надежности тонких подзатворных диэлектриков интегральных микросхем: метод заряда пробоя; метод форсированных испытаний при повышенной температуре и напряжении; моделей определения времени наработки на отказ. Все они длительны, не обеспечивают экспрессности контроля и применимы как аттестационные, например один раз в полугодие. Описаны закономерности процесса отказа подзатворного диэлектрика. Формирование тонкого подзатворного диэлектрика с требуемыми свойствами является сложной технологической проблемой и решается с использованием материалов, технологических сред определенного качества, оптимизацией и разработкой новых технологических процессов. Ее решение во многом определяется разработкой специальных методов, обеспечивающих системную оценку качества тонкого подзатворного диэлектрика на технологическом этапе изготовления кристаллов микросхем. Без таких методов невозможно эффективно провести ни разработку технологических процессов, ни их оптимизацию и успешное внедрение в серийное производство. Если при проектных нормах 0.35 мкм толщина подзатворного диэлектрика составляет 7 нм, то при проектных

нормах 0.18 мкм она уменьшается до 4 – 5 нм. Кроме того, в современных ИМС активная площадь подзатворного диэлектрика составляет до 10 мм<sup>2</sup>. При таких небольших толщинах и больших площадях диэлектрик должен обладать рядом основных свойств: иметь ограниченное количество скрытых дефектов, снижающих надежность ИМС.

Среди известных методов наиболее перспективным является метод оценки надежности подзатворного диэлектрика МДП-микросхем на основе измерений величины заряда пробоя. Метод основан на измерении величины заряда пробоя диэлектрического слоя на выборке тестовых структур (МОП-конденсаторов). Структуры, имеющих малую величину заряда пробоя являются забракованными, т.к. они содержат дефекты в подзатворном диэлектрике. Для реализации метода контроля заряда пробоя и скрытых дефектов подзатворного диэлектрика в серийном производстве прежде всего необходимо провести теоретическое обоснование метода применительно к субмикронным микросхемам с проектными нормами до 0.18 мкм исходя из необходимости обеспечения требуемых показателей надежности. В условиях серийного производства возникает задача оценки надежности каждой партии пластин и обеспечения отбраковки потенциально ненадежных партий. В пределах одной партии параметры надежности кристаллов ИМС примерно одинаковы. Проведя оценку надежности ИМС на одной пластине, можно сделать заключение о всей партии и с определенной гарантией требуемых показателей надежности передать на сборку пластины с кристаллами ИМС в дорогостоящие корпуса.

**Во второй главе** описаны результаты теоретического обоснования метода и разработки экспрессной методики определения скрытых дефектов подзатворного диэлектрика.

В основу метода положено обоснование количества тестовых структур, на которых необходимо произвести измерения величины заряда пробоя. Так как площадь тестовой структуры значительно меньше площади подзатворного диэлектрика на кристалле микросхемы, то необходимо произвести измерения на таком количестве ТС, чтобы вероятность обнаружения брака (ненадежной структуры) была достаточно велика. На практике величину этой доверительной вероятности обычно выбирают равной  $P = 0.95$ . Проведя серию измерений из  $N$  структур, вероятность  $P$  что все они годны в соответствии с моделью Пуассона составит:

$$P = \exp(-N \cdot D_0 \cdot S_{ТС}) \quad (1)$$

где  $N$  – необходимый объём выборки;

$S_{ТС}$  – активная площадь затвора тестовой структуры, см<sup>2</sup>;



$D_0$  – допустимая плотность дефектов, дефект/см<sup>2</sup>.

Вероятность нахождения брака в этой серии измерений:

$$1 - P = 1 - \exp(-N \cdot D_0 \cdot S_{TC}) \quad (2)$$

В условиях серийного производства микросхем из-за необходимости проведения измерений на большом количестве тестовых структур целесообразно для оценки качества диэлектрических слоев текущих партий использовать метод на основе пропускания через диэлектрик МОП-структуры постоянного тока, который возрастает по величине ступенька за ступенькой (I-развертка).

Параметры I-развертки включают:

–  $I_{нач}$  – начальный ток развертки. Типичная величина плотности начального тока развертки составляет  $1 \div 10$  мкА/см<sup>2</sup>;

–  $N$  – число ступенек на декаду выбирается из таблицы 1. Для обеспечения максимальной точности целесообразно использовать  $N = 50$ ;

–  $t_{дек}$  – время нарастания тока на одну декаду устанавливается около  $500 \div 1000$  мс;

–  $E_{макс}$  – максимальная напряженность поля составляет 25 МВ/см для толщин подзатворного диэлектрика  $h_d < 20$  нм и 15 МВ/см для  $h_d \geq 20$  нм.

Таблица 1 – Зависимость процента вклада последней ступени в общую величину пробоя  $Q_{laststep}$  от числа ступенек на декаду  $N$  в диапазоне 2-50

$N$	$F$	$Q_{laststep}$
2	3.162	68.38%
5	1.585	36.90%
10	1.259	20.57%
25	1.096	8.76%
50	1.047	4.49%

Примечание –  $F$  – множитель между ступенями тока.

В данной работе испытания проводились на измерительном комплексе прецизионного анализа характеристик элементной базы микросхем (тестовых структур) модели В1500 ф. Agilent (США) приведенном на рисунке 1. Особенностью данного комплекса является обеспечение измерений параметров в широком диапазоне с высокой точностью (погрешность измерений составляет 0.1 %). Особенностью данного комплекса является обеспечение измерений параметров в широком диапазоне с высокой точностью (погрешность измерений

составляет 0.1 %) и возможность работы в специальных режимах, включая режим ступенчато-нарастающего тока.



**Рисунок 1 – Измерительный комплекс прецизионного анализа**

**В третьей главе** представлены экспериментальные результаты применения разработанной методики на субмикронных микросхемах.

Анализ величины заряда пробоя диэлектрических слоев проводилось на пластинах диаметром 200 мм субмикронной ИМС с проектными нормами 0.35 мкм (партия 0364) в количестве 11 штук (№0364-05, №0364-11, №0364-03, №0364-09, №0364-06, №0364-12, №0364-04, №0364-10 №0364-07, №0364-08, №0364-13). Измерения заряда пробоя проводились на трёх МОП конденсаторах различной площади с выходом ПКК на локальный окисел с активной площадью 0.01, 0.25 и 4 мм<sup>2</sup>. Толщина подзатворного диэлектрика на анализируемых пластинах составляла от 6.5 до 6.8 нм. Заряд пробоя МОП-конденсаторов каждого типа конденсаторов измерялся в 67 точках платины.

Из полученных данных, что для тестовых структур с активной площадью 0.01 и 0.25 мм<sup>2</sup> не наблюдается левая ветвь распределения Вейбулла, свидетельствующая о наличии скрытых дефектов, тогда как для тестовых структур с активной площадью 4 мм<sup>2</sup> наблюдается наличие скрытых дефектов.

В таблице 2 приведены среднее значение величины заряда пробоя  $Q_{BD}$  и его разброс  $\frac{2\sigma}{Q_{BD}}$  при доверительной вероятности 0.95, а также тангенс угла наклона правой и левой ветвей распределения Вейбулла, отвечающих за собственный пробой и пробой по дефектам.

Таблица 2 – Параметры распределения Вейбулла, среднее значение и разброс величины заряда пробоя пластины № 0364-13

Активная площадь ТС $S_{ТС}$ , мм <sup>2</sup>	Тангенс угла наклона правой ветви распределения Вейбулла	Тангенс угла наклона левой ветви распределения Вейбулла	Характеристический заряд $Q_{BDO}$ , Кл·см <sup>-2</sup>	Среднее значение заряда пробоя $\bar{Q}_{BD}$ , Кл·см <sup>-2</sup>	Разброс $\frac{2\sigma}{\bar{Q}_{BD}}$
0.01	6.56	-	5.89	5.48	0.182
0.25	12.88	-	2.61	2.51	0.322
4.00	16.97	2.39	0.271	0.259	0.410

Из данных в таблице 2 видно, что для тестовых структур с активной площадью 0.01 и 0.25 мм<sup>2</sup> характерно более однородное распределение величины заряда пробоя по площади пластины, тогда как для структур с активной площадью 4 мм<sup>2</sup> характерно неоднородное распределение из-за выявления бракованных структур.

Таким образом, для эффективного контроля технологического процесса необходимо правильно выбирать площадь тестовой структуры. При увеличении площади тестовой структуры при одном и том же объеме выборки достоверность контроля возрастает.

При использовании тестовой структуры с активной площадью 0.01 мм<sup>2</sup> для обеспечения доверительной вероятности  $P = 0.95$  требуется больший объем выборки, составляющий сотни измерений. При ограниченном объеме выборки необходимо выбирать ТС с возможно большей площадью. Поэтому, из проведенных трех серий измерений на различных площадях определить плотность скрытых дефектов можно только по результатам измерения тестовых структур с площадью 4 мм<sup>2</sup>. Согласно данным при объеме выборке  $N = 67$  тестовых структур и из них 4 содержали скрытые дефекты, то по этим параметрам находим значение  $S_{mc} \cdot D = 0.06$ . Так как величина  $S_{mc} = 4$  мм<sup>2</sup>, то реальная плотность скрытых дефектов подзатворного диэлектрика ИМС для базового технологического процесса микросхем с проектными нормами 0.35 мкм составляет  $D = 1.5 \cdot 10^{-2}$  мм<sup>-2</sup>.

Данную величину плотности скрытых дефектов подзатворного диэлектрика, можно использовать для моделирования величины процента выхода годных микросхем.

## ЗАКЛЮЧЕНИЕ

### Основные научные результаты диссертации

1. Проанализированы существующие методы и модели оценки показателей надежности тонких подзатворных диэлектриков интегральных микросхем. Все

они длительны, не обеспечивают экспрессности контроля и применимы как аттестационные, например один раз в полугодие.

2. В условиях серийного производства возникает задача оценки надежности каждой партии пластин. В пределах одной партии параметры надежности кристаллов ИМС примерно одинаковы. Проведя оценку надежности ИМС на одной пластине, можно сделать заключение о надежности всей партии и передать ее на сборку кристаллов ИМС в дорогостоящие корпуса.

3. Проведено теоретическое обоснование метода определения скрытых дефектов диэлектрических слоев субмикронных микросхем контролем величины заряда пробоя на основе пропускания через диэлектрик МОП-структуры постоянного тока, который возрастает по величине ступенька за ступенькой (I-развертка).

4. Разработана процедура и программа измерений, обоснованы диапазоны применимости методики и требования к конструкции тестовых структур.

5. Выбрана процедура обработки данных на основе представления результатов измерений распределением Вейбула. На нем выявляются две ветви. Левая ветвь характеризует область пробоя структур с дефектами и по ней определяется количество дефектных структур. Наклон данной ветви свидетельствует о природе дефектов. Правая ветвь характеризует область собственного пробоя диэлектрика. По ней определяется средняя величина заряда пробоя и его разброс.

6. Предложена оригинальная форма представления результатов измерений в виде распределения величины заряда пробоя по поверхности пластины в виде цветовой топограммы, наглядно отражающей расположение дефектных областей.

7. Проведен анализ величины заряда пробоя и скрытых дефектов диэлектрических слоев субмикронных микросхем контролем величины заряда пробоя подзатворного диэлектрика субмикронных микросхем с проектными нормами 0.35 мкм.

8. Реальная плотность скрытых дефектов подзатворного диэлектрика ИМС для базового технологического процесса микросхем с проектными нормами 0.35 мкм составляет  $D = 1.5 \cdot 10^{-2} \text{ мм}^{-2}$ , что приемлемо для изготовления микросхемы статического ОЗУ емкостью 1 Мбит.

### **Рекомендации по практическому использованию результатов**

Полученные результаты внедрены в учебный процесс на кафедре проектирования информационно-компьютерных систем учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» в учебный курс «Проектирование интегральных микросхем».

Целесообразно использовать методику определения скрытых дефектов диэлектрических слоев субмикронных микросхем контролем величины заряда пробоя для оптимизации технологических процессов и повышения качества выпускаемых микросхем.

## СПИСОК ПУБЛИКАЦИЙ СОИСКАТЕЛЯ

1. Назаров, И.В. Сравнительный анализ методов определения показателей надежности подзатворного диэлектрика / И.В. Назаров / Научный журнал «Science Time». – 2019. – №06/2019.

2. Назаров, И.В. Теоритическое обоснование метода определения скрытых дефектов подзатворного диэлектрика / И.В. Назаров / Научный журнал «Science Time». – 2019. – №06/2019.

3. Назаров, И.В. Разработка процедуры проведения контроля заряда пробоя и скрытых дефектов тонких диэлектриков / И.В. Назаров / Научный журнал «Science Time». – 2019. – №06/2019.

4. Назаров, И.В. Анализ разработки пользовательских графических компонентов в ОС / Т.Б. Ходжатов, К.Р. Коптяев, И.В. Назаров / Международный научный журнал «Научные Горизонты». – 2019. – №1(17). – С. 257–262.

5. Назаров, И.В. Анализ заряда пробоя подзатворного диэлектрика микросхем с проектной нормой 0.35 мкм / И.В. Назаров / Научный журнал «Science Time». – 2019. – №06/2019.

6. Назаров, И.В. Анализ целесообразности проектирования UI для мобильных приложений / Т.Б. Ходжатов, К.Р. Коптяев, И.В. Назаров / Международный научный журнал «Научные Горизонты». – 2018. – №11(15). – С. 154–158.

7. Назаров, И.В. Анализ методов испытаний на воздействие вибрации / А.М. Панасик, И.В. Большелапов, И.В. Назаров // Современные проблемы образования, науки и технологий: сборник научных трудов II международной научно-практической конференции; отв. ред. Туголуков А.В. – Москва, 2019. – в печати.

8. Назаров, И.В. Анализ интерфейса взаимодействия REST / К.Р. Коптяев, Т.Б. Ходжатов, И.В. Назаров / Международный научный журнал «Научные Горизонты». – 2019. – №3(19). – С. 148–153.

## РЭЗІЮМЭ

Назараў Ілля Уладзіміравіч

Даследаванне схаваных дэфектаў дыэлектрычных слаёў кантролем велічыні зараду прабоа

**Ключавыя словы:** тэхналогіі, электроніка, аналіз дэфектаў мікрасхем.

**Мэта работы:** распрацоўка эксперэснай metodyкі вызначэння схаваных дэфектаў дыэлектрычных слаёў, якія серыйна выпускаюцца КМВП субмікронных інтэгральных мікрасхем кантролем велічыні зараду прабоа.

**Атрыманыя вынікі і іх навізна:** прааналізаваны існуючыя метады і мадэлі ацэнкі паказчыкаў надзейнасці тонкіх падзатворных дыэлектрыкаў інтэгральных мікрасхем. Усе яны працяглы, не забяспечваюць эксперэснасці кантролю і прымяняюцца як атэстацыйныя, напрыклад, адзін раз у паўгоддзе. Праведзена тэарэтычнае абгрунтаванне метаду вызначэння схаваных дэфектаў дыэлектрычных слаёў субмікронных мікрасхем кантролем велічыні зараду прабоа на аснове прапускання праз дыэлектрык МВП-структуры пастаяннага току, які ўзрастае па велічыні (I-разгортка). Распрацавана працэдура і праграма вымярэнняў, абгрунтаваны дыяпазоны прымянімасці metodyкі і патрабаванні да канструкцыі тэставых структур. Праведзены аналіз велічыні зараду прабоа і схаваных дэфектаў дыэлектрычных слаёў субмікронных мікрасхем кантролем велічыні зараду прабоа. Распрацаваная methodology вызначэння схаваных дэфектаў слаёў дыэлектрычных субмікронных мікрасхем кантролем велічыні зараду прабоа пры правільным выбары плошчы тэставага МВП-кандэнсатара.

**Ступень выкарыстання:** вынікі могуць выкарыстоўвацца ў навучальным працэсе на кафедры праектавання інфармацыйна-камп'ютэрных сістэм ўстанова адукацыі «Беларускі дзяржаўны ўніверсітэт інфарматыкі і радыёэлектронікі» ў навучальны курс «Праектаванне інтэгральных мікрасхем».

**Вобласць ўжывання:** праектаванне мікрасхем.

## РЕЗЮМЕ

Назаров Илья Владимирович

### Исследование скрытых дефектов диэлектрических слоев контролем величины заряда пробоя

**Ключевые слова:** электроника, анализ дефектов микросхем.

**Цель работы:** разработка экспрессной методики определения скрытых дефектов диэлектрических слоев серийно выпускаемых КМОП субмикронных интегральных микросхем контролем величины заряда пробоя.

**Полученные результаты и их новизна:** проанализированы существующие методы и модели оценки показателей надежности тонких подзатворных диэлектриков интегральных микросхем. Все они длительны, не обеспечивают экспрессности контроля и применимы как аттестационные, например один раз в полугодие. Проведено теоретическое обоснование метода определения скрытых дефектов диэлектрических слоев субмикронных микросхем контролем величины заряда пробоя на основе пропускания через диэлектрик МОП-структуры постоянного тока, который возрастает по величине ступенька за ступенькой (I-развертка). Разработана процедура и программа измерений, обоснованы диапазоны применимости методики и требования к конструкции тестовых структур. Проведен анализ величины заряда пробоя и скрытых дефектов диэлектрических слоев субмикронных микросхем контролем величины заряда пробоя. Разработанная методика определения скрытых дефектов слоев диэлектрических субмикронных микросхем контролем величины заряда пробоя при правильном выборе площади тестового МОП-конденсатора.

**Степень использования:** результаты внедрены в учебный процесс на кафедре проектирования информационно-компьютерных систем учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» в учебный курс «Проектирование интегральных микросхем».

**Область применения:** проектирование микросхем.

## SUMMARY

Nazarov Ilya Vladimirovich

### Investigation of hidden defects in dielectric layers by controlling the magnitude of the charge breakdown

**Keywords:** electronics, chip defect analysis.

**The object of study:** development of an express technique for determining hidden defects in dielectric layers of commercially available CMOS submicron integrated circuits for controlling the magnitude of the charge breakdown.

**The results and novelty:** analyzed existing methods and models for assessing the reliability of thin gate dielectrics of integrated circuits. All of them are durable, do not provide express control, and are applicable as certification, for example, once every six months. A theoretical substantiation of the method for determining hidden defects of the dielectric layers of submicron microcircuits by controlling the charge breakdown value based on the transmission of a direct current MOS structure through the dielectric, which increases step by step (I-sweep), is carried out. A procedure and a measurement program have been developed, the ranges of applicability of the technique and the requirements for the design of test structures are substantiated. The analysis of the charge breakdown and latent defects of the dielectric layers of submicron microcircuits by the control of the charge breakdown value is carried out. The developed method for determining hidden defects in layers of dielectric submicron microcircuits by controlling the magnitude of the charge breakdown with the correct choice of the area of the test MOS capacitor.

**Degree of use:** the results were introduced into the educational process at the department of design of information and computer systems of the educational institution «Belarusian State University of Informatics and Radioelectronics» in the training courses "Designing Integrated Circuits".

**Sphere of application:** chip design.