

Л.А. Золоторевич¹

АЛГОРИТМИЧЕСКИЙ ПОДХОД К ПОСТРОЕНИЮ ТЕСТОВ КОНТРОЛЯ СБИС

*Анализируются особенности развития современной микроэлектроники и методы построения тестов контроля СБИС на разных уровнях проектирования. Рассматривается метод построения иерархических тестов контроля цифровых систем на начальных этапах проектирования.
Проектирование, СБИС, тесты контроля, цифровые системы.*

L.A. Zolotarevich

THE ALGORITHMIC APPROACH TO GENERATION OF CONTROL TESTS OF THE VLSI

*Features of development of modern microelectronics and methods of tests generation of VLSI control at various levels of designing are analyzed. The method of generation of hierarchical control tests of digital systems at the initial stages of designing is considered.
Design, VLSI, tests generation, digital system.*

Введение

Современные интегральные схемы содержат порядка миллиарда элементов на кристалле, и разработка тестов для объектов такого размера на уровне структурного представления оказалась практически неразрешимой задачей. В тоже время, острая потребность в тестах имеет место на всех этапах жизненного цикла, начиная с верхних уровней процесса проектирования, так как формальные методы верификации развиты недостаточно и верификация проектов на практике решается на основе моделирования. Тесты контроля необходимы также на этапе производства для проверки готовых изделий и при эксплуатации для оценки работоспособности объектов.

Отметим важные особенности объектов современной микроэлектроники, которые заключаются в следующем:

¹ Минск, ул. Гукало, 9, корпус 5 БГУИР, а. 512 zolotarevichla@bsuir.by.

- Закон Мура, определяющий экспоненциальный рост степени интеграции микросхем без существенного увеличения стоимости, претерпел принципиальные изменения, так как стоимость современного завода по производству пластин составляет порядка 5 млрд. долларов, что доступно только наиболее развитым странам.

- Отсутствие отечественных возможностей производства, с одной стороны, и неполная загруженность существующих в мире производств, с другой, ориентирует разработчиков современных интегральных систем работать в режиме фаблесс-компаний, размещая свои заказы на кремниевых заводах. Такое разделение труда привело к созданию в 2007

¹ Минск, ул. Гукало, 9, корпус 5 БГУИР, а. 512 zolotarevichla@bsuir.by

г. более десяти фаблесс-компаний с доходами более 1 млрд. долларов. Появилась возможность без больших инвестиций проектировать электронные системы на современном уровне, используя языки высокого уровня описания и проектирования (VHDL, Verilog, System-C и др.), современные САПР, разрабатывать собственные методы и средства проектирования. Однако на данном пути возникли трудности, которые заключаются в возможности несанкционированного доступа в проект, переданный в производство, восстановления логики и перепроектирования с разной целью, в том числе, с целью заимствования IP-проектов, управляемой деградации готового изделия и др.

- Технология производства позволяет создавать СБИС размером порядка млрд. транзисторов на кристалле и существенно опережает технологию проектирования, узким местом которой является технология верификации проектов и разработки тестов контроля. Возможно, это явление произошло вследствие существования до недавнего времени отношения к верификации как самостоятельному направлению в рамках общего процесса проектирования [Foster, 2003], [Wilcox, 2004].

На основе собранной статистики показано [Грушвицкий, 2007], что наибольшее количество ошибок разного происхождения (порядка 60%) при существующих методиках проектирования вносится на самом верхнем уровне проектирования (рис.1), а обнаруживается на этапе тестирования реализованного проекта. Соответственно это влияет на сроки запуска изделия в серию. Отсюда следует, что построение тестов контроля необходимо начинать с уровня системного проектирования объекта.

Дается анализ существующей проблемы верификации проектов сложно-функциональных СБИС, а также непосредственно связанной с ней проблемы построения тестов на разных уровнях представления объекта. Предлагается метод направленного построения тестов контроля СБИС, описанных на языке VHDL на системном уровне и уровне межрегистровых передач.

1. Состояние проблем верификации проектов, построения тестов контроля СБИС и некоторые направления решения

Процесс верификации при разработке функционально-сложных СБИС занимает от 60 до 80 процентов от общего периода разработки. При этом основная часть задач верификации выполняется на основе моделирования на разных этапах проектирования, которое требует построения тестов, гарантирующих полноту контроля. Проблема

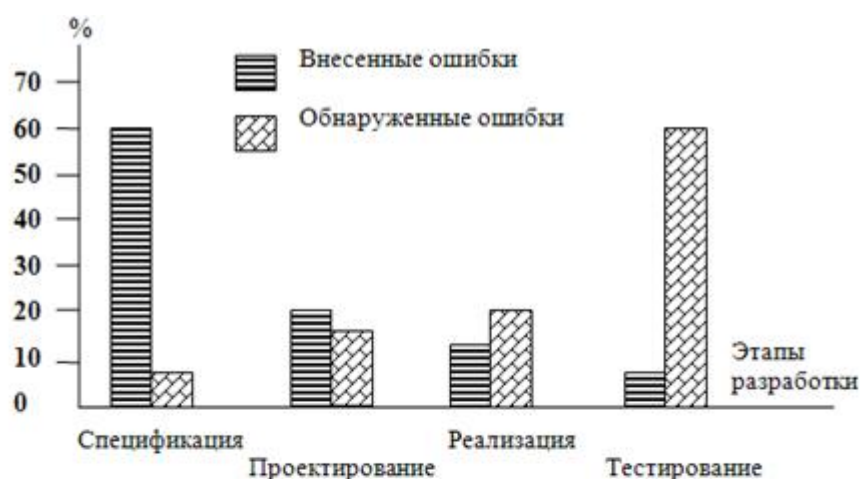


Рис. 1 – Распределение внесенных и обнаруживаемых ошибок проектирования.

построения тестов на всем интервале развития интегральной схемотехники является одной из наукоемких проблем, которые до настоящего времени не получили эффективного ни теоретического, ни практического решения. Задача построения тестов принадлежит к классу NP-трудных проблем. Известно много решений частных задач верификации, контроля, но многие результаты в областях синтеза, верификации проектов, построения тестов продолжают оставаться корпоративными достижениями, ориентированными на применение специалистами высокой квалификации, и не достигли требуемого уровня развития.

Существующие в настоящее время системы контроля основаны на следующих подходах:

- Высокая размерность и сложность современных цифровых систем (порядка миллиарда транзисторов или сотни миллионов простых логических элементов), необходимость контроля неисправностей задержки, высокая стоимость построения теста, большой объем тестовой информации делает все менее эффективными системы тестового диагностирования, требующие внешнего диагностического оборудования и его применения в режиме off-line. Можно сказать, что в случае «систем на кристалле» off-line контроль с привлечением внешнего диагностического оборудования стал мало эффективным. Поэтому применяются различные средства встроенного самотестирования, которые интегрируются в состав активной инфраструктуры непосредственно на

кристалле. Одним из методов реализации идеи BIST является компактное тестирование, например, сигнатурный анализ, когда анализ результатов контроля осуществляется на основе сравнения полученной сигнатуры с эталонной. Применение методов контролепригодного проектирования позволяют упростить задачу построения тестов путем преобразования схем с памятью в комбинационные.

- Функциональный контроль основан на исследовании устройства на его рабочей скорости. Данный вид контроля применялся, начиная с 1958 года, когда была создана первая интегральная схема [Kilby, 1958]. В дальнейшем применение такого контроля ограничивалось недостаточным числом контрольных точек, большим числом входных воздействий, что привело к необходимости построения тестов и систем тестового контроля и диагностирования на основе использования структуры объекта. В последнее время методы и средства функционального контроля вышли на новый этап развития на основе широкого применения метода ABV (assertion based verification). Функциональный контроль проводится в течение рабочего функционирования устройства в режиме on-line, но для обеспечения его полноты целесообразно применение также и разработанных тестов.

- Тестовое диагностирование объекта на основе разработанных тестов контроля осуществляется в различных классах неисправностей - константного типа, обрыва, замыкания (на логическом уровне), неисправностей типа «постоянно закрытый транзистор – ПЗТ» и др. (на переключательном уровне) в режиме приостановки эксплуатации объекта. На определенном этапе развития цифровой схемотехники считалось, что модель константной неисправности покрывает более 80 процентов всех дефектов, которые необходимо исследовать. Кроме того, предполагалось, что тест, покрывающий все одиночные неисправности константного типа, покрывает большинство множественных неисправностей. Однако с уменьшением размеров элемента, переходом в субмикронный диапазон, применением МОП – технологии, увеличением функциональной сложности интегральных схем существенно изменилось отношение к проблеме построения тестов. Утверждается новая тенденция в области построения тестов, которую можно сформулировать следующим образом: экономически более эффективно разрабатывать и применять тесты для неисправностей расширенного класса, так как тесты для неисправностей константного типа, разработанные для СБИС на разных уровнях идентификации, не обеспечивают удовлетворительной полноты покрытия.

- Тестовое диагностирование неисправностей задержки, в том числе методами статического статистического или детерминированного

временного анализа является важным методом обеспечения функциональной устойчивости проектов.

2. Построение тестов на системном и RTL-уровнях представления СБИС

Следует отметить новые требования к задаче построения тестов, которые выставляет быстро развивающаяся электронная отрасль. Если в конце прошлого века рассматривалась задача эффективного построения теста контроля на уровне заданного структурного представления объекта, то в настоящее время кроме данной задачи ведется поиск решения задачи построения тестов для систем, представленных в разных системах идентификации.

Подойти к решению задачи построения тестов для контроля СБИС оказалось возможным на основе идентификации объекта на начальных этапах проектирования с применением языков описания аппаратуры, когда имеется некоторое поведенческое описание или описание объекта на уровне межрегистровых передач, которое содержит существенно меньшее число базовых примитивов, чем на структурном уровне. Стремление анализировать контролепригодность проекта на самых начальных этапах проектирования цифровой системы, желательно еще до проведения декомпозиции проекта с целью определения программно реализуемой части проекта, положило начало исследований по иерархическому построению тестов - HTG (hierarchical test generation).

В теории тестового диагностирования известны методы направленного и случайного построения тестов. Если рассматривать возможность их реализации в указанной выше постановке, то следует отметить весьма существенную особенность. Если методы построения теста случайным образом можно пытаться реализовать на основе имеющихся фирменных компиляторов языка VHDL, то для направленного построения тестов необходимо знание внутреннего представления кода для построения структур графов, которое, к сожалению, не раскрывается разработчиками компиляторов и не может быть использовано при необходимости. Для построения графов необходим синтаксический анализатор программного кода, который используется при построении одного графа потока управления, и столько графов потоков данных, сколько переменных описывает полное состояние моделируемой системы.

Ответственным моментом является выбор моделей неисправностей операторов кода описания объекта. В настоящее время нет доказательной базы для выбора некоторой определенной модели используемой неисправности, поэтому целесообразно работать в более широком диапазоне моделей, известных в литературе. В данной работе кроме моделей, известных из теории тестирования программ, таких как модель выпавшего

оператора, замена условного перехода безусловным, одной операции кода некоторой другой; неисправности константного типа некоторой переменной, сигнала, некоторого разряда переменной, - будут использоваться также и модели функциональных неисправностей, которые аргументированно соответствуют неисправностям структурной реализации соответствующего механизма [Золоторевич, 2005].

При построении теста контроля объекта, представленного на начальном этапе проектирования на языке VHDL, методом направленного поиска используем (и применим в несколько иной формулировке) известную при построении тестов контроля структурных объектов научную гипотезу Рота: для того чтобы найти входные данные, которые позволят определить по выходным данным наличие или отсутствие некоторой неисправности в системе, представленной в рамках любой системы идентификации, необходимо активизировать неисправность, т. е. заставить ее проявиться на выходе некоторого элемента системы, затем заставить ее проявиться хотя бы на одном из выходов системы, после чего необходимо вычислить все входные данные, которые позволят сохранить условия, полученные при решении данной задачи.

Общий подход к иерархической генерации тестов СБИС на языке VHDL основан на том, что каждая операция текстового кода, описывающего объект на системном уровне и уровне RTL, реализуется на структурном уровне некоторым набором аппаратных средств. Тест контроля этих средств может быть построен известными методами и средствами на основе структурного представления устройства. Тест вносится в описание объекта, устанавливаются ограничения на функционирование объекта. Задача построения теста контроля всего объекта сводится к решению задачи выполнимости некоторой системы булевых функций.

Ниже представлен общий механизм решения задачи направленной генерации тестов контроля цифровых систем, описанных на языке VHDL на начальных этапах разработки, основанный на построении системы арифметических уравнений, переходе к системе булевых функций и итерационном решении задачи КНФ-выполнимости некоторой системы булевых функций.

3. Построение теста методом направленного поиска

Общая идея метода направленного построения тестов контроля цифровых систем [Zolotorevich, 2010], описанных на системном или уровне RTL на языке VHDL, заключается:

- в переходе от системы арифметических и логических уравнений, описывающих поведение объекта с некоторой внесенной неисправностью, к построению системы КНФ булевых функций разрешения;
- конъюнктивном объединении функций разрешения;
- решении задачи выполнимости результирующей КНФ разрешения объекта.

Предположим, что все входные переменные являются целочисленными размерностью n бит ($\text{mod } 2^n$). Для генерации тестов необходимо:

- на основе VHDL-кода объекта составить систему арифметических уравнений, описывающих функционирование объекта;
- выполнить корректировку системы с учетом внесения очередной неисправности соответствующего оператора;
- поставить в соответствие каждой целочисленной переменной размерностью n бит ($\text{mod } 2^n$) логический вектор длины n ;
- итеративно выполнить решение системы. Для получения i -го бита результата арифметические выражения транслируются в КНФ булевых функций разрешения.

Все полученные КНФ-функции разрешения объединяются по правилу И, решается задача КНФ-выполнимости полученной системы булевых функций [Золоторевич, 2012]. Если система выполнима, то получен i -й бит разрабатываемого теста контроля объекта с внесенной неисправностью. В противном случае тест не может быть построен, так как внесенные ограничения не могут быть удовлетворены. В таком случае для проверки рассматриваемой неисправности необходимо изменить систему управления объекта с целью повышения его управляемости и наблюдаемости.

Идея решения подобных систем арифметических уравнений основана на поразрядном подходе к вычислению значений и состоит в том, что каждой целочисленной переменной $m \leq 2^n$ ставится в соответствие определенный логический вектор размерности n . Для описания алгоритма вычисления системы арифметических уравнений используем логическую функцию разрешения, которая задает соотношения между исправными логическими состояниями выводов физических элементов, реализующих определенную логическую функцию.

Для рекурсивного вычисления неравенства необходимо учитывать, что оно может быть определено только в старшем i -м бите (i от 0 до $n - 1$). Все функции разрешения объединяются знаком конъюнкции, решается задача выполнимости полученной системы булевых функций [Zolotorevich, 2013].

4. Заключение

Проблема построения тестов непосредственно связана с проблемой верификации проектов сложно-функциональных цифровых систем. На сегодняшний день проблема верификации проектов на разных этапах проектирования решается в основном на основе моделирования объекта, так как применяемые методы формальной верификации ориентированы на решение некоторых частных задач. Полнота верификации проектов обеспечивается полнотой применяемых при моделировании тестов. Предлагаемый в докладе метод направлен как на решение задачи направленного построения тестов контроля, так и на верификацию проекта путем моделирования на заданном тесте. Метод исследован на примерах описаний объектов на языке VHDL с использованием логических операторов, операторов целочисленного сложения, умножения, назначения значений переменным и сигналам и оператора If.

СПИСОК ЛИТЕРАТУРЫ

- [Foster, 2003] Foster H., Krohnic A., Lacey D. Assertion-Based Design // Kluwer Academic Publishers. – 2003.
- [Wilcox, 2004] Wilcox P. Professional Verification. A Guide to Advanced Functional Verification // Kluwer Academic Publishers. – 2004.
- [Грушвицкий, 2007] Грушвицкий Р., Михайлов М. Проектирование в условиях временных ограничений: отладка проектов // Компоненты и технологии. – 2007. – №6.
- [Kilby, 1958] J. Kilby, Integrated circuits invented by Jack Kilby, Texas Instruments, Dallas, TX, http://www.ti.com/corp/docs/company/history/timeline/semicon/1950/docs/58ic_kilby.htm, September 12. – 1958.
- [Золоторевич, 2005] Золоторевич, Л.А. Моделирование неисправностей СБИС на поведенческом уровне на языке VHDL // Информатика. – 2005. – №3. – С. 135-144.
- [Zolotorevich, 2010] Zolotorevich, L.A. Development of tests for VLSI circuit testability at the upper design levels / L.A. Zolotorevich, A. V. P'inkova // Automation and Remote Control. – USA, NY, Plenum Press. – Vol. 71 Issue 9. – September 2010. – P. 1888-1898.
- [Золоторевич, 2012] Золоторевич, Л.А. Построение тестов и верификация потоковых моделей цифровых устройств на языке VHDL / Л.А. Золоторевич // Информатика. – 2012. – №2. – С. 87-97.
- [Zolotorevich, 2013] Zolotorevich, L.A. Project verification and construction of superchip tests at the RTL level /L.A. Zolotorevich // Automation and Remote Control. – USA, NY, Plenum Press. – 2013, Vol. 74, Issue 1. – PP. 113-122.