

ПОДХОДЫ К АНАЛИЗУ ПЕЧАТНЫХ ПЛАТ СРЕДСТВАМИ *ALTIUM DESIGNER*

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Хуторная Е. В., Горбач А. П.

Алексеев В. Ф. – канд. техн. наук, доцент

В работе рассматривается явление падения напряжения в проводниках печатных плат. Описаны средства и возможности *Altium Designer* для анализа падения напряжения и плотности тока в печатных проводниках.

С каждым годом увеличивается сложность печатных плат. Современные ПЛИС и микроконтроллеры используют все больше питающих напряжений, в связи с чем возникает необходимость правильного распределения питания на печатной плате. Усугубляет эту проблему использование многовыводных и *BGA*-элементов, трассировка которых невозможна без использования большого количества переходных отверстий. В результате возникает перфорация слоев печатной платы и медных полигонов, что может затруднить трассировку, а также распределение цепей питания и заземления по печатной плате.

При проектировании современных цифровых устройств, в которых используются высокоскоростные сигналы, множество корпусов элементов, плотная компоновка печатной платы и множество различных источников питания, следует уделять внимание эффективной трассировке для распределения силового питания. Это относится к проектированию слоев меди на печатной плате, которые используются для обеспечения доставки силового питания к конечному потребителю и обеспечение общего пути возврата к источнику питания. Немаловажным фактором является возможность проведения такого вида анализа в процессе проектирования печатной платы [1, 2].

Применение модуля *Power Delivery Network (PDN) Analyzer* помогает убедиться, что медь, образующая путь от источника энергии к нагрузке присутствует в достаточном количестве, или, другими словами, то что полигоны, дорожки и переходные отверстия печатной платы имеют достаточные размеры и характеристики для обеспечения требуемого потребления энергии устройствами на печатной плате.

Суть проблемы падения напряжения заключается в том, что сопротивление проводников, медных полигонов и переходных отверстий является одной из причин падения напряжения и, таким образом, потребляет часть энергии полезной нагрузки. Сложность расчета паразитного потребления экспоненциально растёт при увеличении количества нагрузок и проводящих элементов силовых и земляных цепей [2].

Для моделирования падения напряжения и плотности тока в *Altium Designer* необходимо задать следующие основные элементы [2]:

- *Power Source* – источник питания (вход силового питания, батарея и т.п.);
- *PCB Power shape* – сопротивление, сформированное элементами силовой, питающей цепи (дорожки, полигоны и т.п.);
- *PCB Ground shape* – сопротивление, сформированное элементами земляной, возвратной цепи (дорожки, полигоны и т.п.);
- *Load* – полезная нагрузка (микросхемы, дискретные полупроводниковые устройства, сопротивления и т.п.).

Эффективность анализа падения напряжения и плотности тока увеличивается за счет использования полной модели печатной платы и всех проводящих элементов с учетом их взаимодействий. Также существует возможность измерения моделируемых параметров в любых точках цепей питания. Результаты моделирования отображаются в топологическом редакторе *Altium Designer* в двухмерном или трехмерном режиме, что позволяет разработчику экономить время и средства для ознакомления с другими программами, а также быстро вносить необходимые изменения в проект печатной платы.

Таким образом, *Altium Designer* позволяет наглядно определить все потенциально проблемные места в топологии печатной платы.

Список использованных источников:

1. Анализ падения напряжения в цепях питания PADS HyperLynx DC Drop [Электронный ресурс]. – Режим доступа: <https://www.cad-is.ru>. – Дата доступа: 30.03.2019.
2. Altium Wiki [Электронный ресурс]. – Режим доступа: <http://wiki.altium.com>. – Дата доступа: 30.03.2019.