

ПРИМЕНЕНИЕ УСКОРЕННЫХ ИСПЫТАНИЙ ДЛЯ АНАЛИЗА ДЕГРАДАЦИИ ПАРАМЕТРОВ N-МОП-ТРАНЗИСТОРОВ ПОД ВОЗДЕЙСТВИЕМ «ГОРЯЧИХ» НОСИТЕЛЕЙ

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Загорский А. В.

Чигирь Г. Г. – канд. техн. наук, доцент

Эффекты воздействия на МОП-транзисторы «горячих» носителей и радиации имеют близкую природу. Они сводятся к зарядке окисла, образованию поверхностных состояний и изменению крутизны вольтамперных характеристик. Эти факторы действуют совместно, как это имеет место в аппаратуре, функционирующей в условиях космического пространства. В этой статье рассмотрены условия проведения метода ускоренных испытаний на деградацию параметров и проанализированы закономерности процессов деградации параметров р-МОП-транзисторов

Ухудшение параметров n-МОП-транзисторов, вызванное «горячими» носителями, является важной проблемой надежности в современных схемах. Для определения изменения рабочих характеристик обычно контролируются такие параметры как пороговое напряжение, крутизна передаточной характеристики и рабочие токи. Диапазон изменения каждого параметра определяется конструкцией транзистора и данными о процессе производства ИМС[1].

Целью разработки методики является определение времени работы транзистора t_{TARuse} в прямом включении при номинальных условиях нагрузки в течение которого под воздействием «горячих» носителей произойдет деградация какого-либо параметра транзистора на определенную величину посредством проведения серии ускоренных испытаний.

Ускоренный тест на деградацию параметров МОП-транзисторов в результате воздействия «горячих» носителей основан на применении в процессе тестирования такого режима работы транзистора, при котором происходит генерация максимального количества «горячих» носителей (максимальный ток затвора, режим смыкания канала) без ущерба к целостности тестовой структуры.

Целью ускоренного теста на деградацию параметров МОП-транзисторов является определение величины t_{TAR} , с, (время до цели) – времени стрессового воздействия, при котором конкретный параметр (за исключением порогового напряжения и тока утечки стока) изменился, например, на заданное значение A , %, от своей исходной величины, либо время стрессового воздействия, при котором пороговое напряжение изменяется на заданное значение V_{th} от своей исходной величины. Для тока утечки стока ID_{leak} , А, в настоящее время критериев не определено и по данному параметру испытания не проводятся[2].

Методика должна обеспечить контроль зарядовой нестабильности (деградации) параметров МОП-транзисторов в результате воздействия «горячих» носителей при постоянном смещении.

Наиболее широко используются три метода ускоренных испытаний n-МОП-транзисторов:

- метод отношения тока подложки/стока;
- метод ускоренных испытаний напряжением сток-исток;
- метод тока подложки.

Каждый метод имеет свои определенные достоинства и недостатки. В основе всех методов лежит принцип ускорения процессов деградации, основанный на увеличении количества «горячих» носителей в области канала. Конечной целью является определение времени для достижения допустимой деградации параметра при условиях эксплуатации[3].

Эксперименты по стрессовому воздействию проводятся на некотором количестве транзисторов, каждый из которых находится при различных условиях смещения стрессового воздействия. Требуется минимальное количество из трех стрессовых состояний с пятью транзисторами на каждое стрессовое состояние. Для каждого транзистора параметрами ускоренных испытаний (стрессового воздействия) являются:

- t_{TAR} – время наработки на отказ при ускоренных испытаниях, с;
- ID_{use} - величина тока стока в условиях эксплуатации, А;
- VD_{use} - напряжение сток-исток в условиях эксплуатации, В;
- IB_{use} - величина тока подложки в условиях эксплуатации, А;
- t_{TARuse} - время наработки на отказ в условиях эксплуатации, с.

Список использованных источников:

1. ОСТ 11 14.1012-99 «Микросхемы интегральные. Технические требования к технологическому процессу. Система и методы операционного контроля», С.23.
2. Белоус А.И., Емельянов А.В., Чигирь Г.Г. Тестовые структуры в системах управления качеством интегральных микросхем // Минск: Интегралполиграф, 2008г., 208 С.
3. Белоус А.И., Турцевич А.С., Чигирь Г.Г. «Методы повышения надежности микросхем на основе тестовых структур», Германия, LAP LAMBERT Aca-demic Publishing GmbH & Co. KG Heinrich-Böcking-Str. 6-8, 2012г., 240 С.