

АНАЛИЗ ФАЗОВОГО ДЕТЕКТОРА С ТРЕМЯ УСТОЙЧИВЫМИ СОСТОЯНИЯМИ

Жарко С. С., Ковалёнок Д. В.

Кафедра теоретических основ электротехники

Научный руководитель: Шилин Леонид Юрьевич, декан ФИТУ, доктор технических наук, профессор

e-mail: sergeyzharko@gmail.com, dmitriykovolionok@gmail.com

Аннотация – в данной работе рассматривается анализ фазового детектора с тремя устойчивыми состояниями. **Ключевые слова:** система фазовой автоподстройки частоты, фазовый детектор с тремя устойчивыми состояниями

Цифровым фазовым детектором (ЦФД) называют устройство для измерения фазового рассогласования между импульсными последовательностями генератора опорной частоты и сигнала обратной связи. Определяющее значение ЦФД имеет в системах фазовой автоподстройки частоты (ФАПЧ) и в большинстве случаев определяет все остальные характеристики ФАПЧ. Концепция ЦФД с n -состояниями может быть осуществлена с любым количеством состояний. Для примера рассмотрим ЦФД с тремя состояниями.

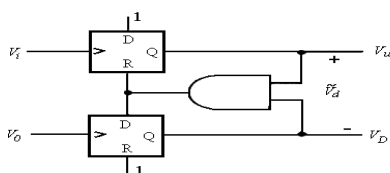


Рис. 1. Простейшая схема фазового детектора

Схема простейшего ЦФД с тремя состояниями, собранного из двух D-триггеров и логического элемента «И», приведена на рисунке 1. Сигнал с генератора опорной частоты и сигнал обратной связи преобразуются в два выходных сигнала.

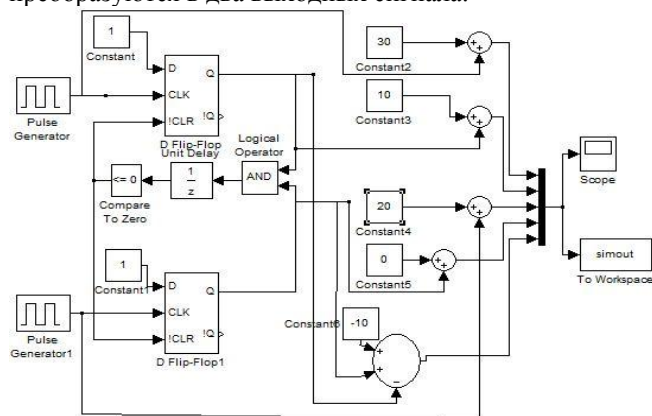


Рис. 2. Схема ЦФД в программном пакете Simulink

В процессе нашего исследования мы создали модель вышеуказанную ЦФД в системе Simulink, показанную на рисунке 2. Для анализа работы ЦФД подаём последовательность импульсных сигналов на вход V_i , являющуюся аналогом сигнала с генератора опорной частоты, на вход V_o подаём последовательность импульсных сигналов со сдвинутой начальной фазой, с частотой 30 кГц и задержкой 20 мкс., что является аналогом сигнала обратной связи.

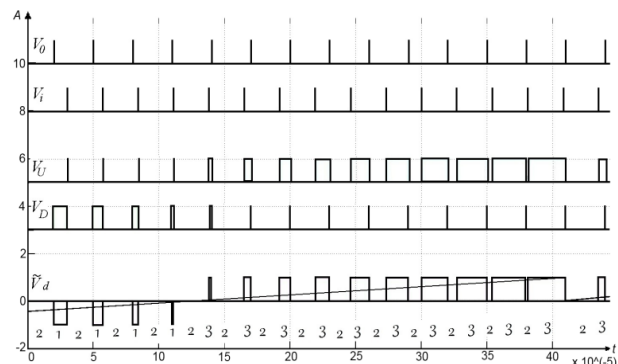


Рис. 4. Временная диаграмма фазового детектора

По виду диаграммы на рисунке 4 можно выделить три состояния работы детектора, в зависимости от выходных сигналов:

- 1) на выходе V_d подъём сигнала, на V_u спад
- 2) на выходах V_u и V_d спады сигналов
- 3) на выходе V_d спад сигнала, на V_u подъём

Предположим, что схема изначально находится в состоянии 2. Поочерёдно подавая сигналы на входы системы, её состояния изменяются между 1 и 2. Если сигнал V_o постоянно отстаёт по фазе от сигнала R , то в конечном итоге будут два V_i сигнала, следующих друг за другом, без промежуточного V_o сигнала. Это переведёт систему в состояние 3, а затем она будет переключаться между состояниями 2 и 3.

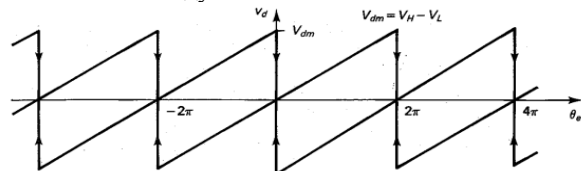


Рис. 5. Характеристика фазового детектора

Соответствующая характеристика ЦФД, изображённая на рисунке 5, растёт линейно в диапазоне 4π радиан. После этого она остаётся положительной, повторяя цикл каждые 2π радиан. Если фаза рассогласования θ_e уменьшается, характеристика линейно уменьшается в диапазоне 4π радиан. После этого остаётся отрицательной, повторяя цикл каждые 2π радиан.

Авторами предложен метод анализа работы фазовых детекторов с тремя устойчивыми состояниями, получены временные диаграммы, позволяющие проанализировать и объяснить работу фазового детектора. Данный фазовый детектор реализован компанией Motorola в микросхеме MC4044 (на ТТЛ логике) и MC12040 (на ЭСЛ логике).

[1] Dan H. Wolaver. PLL Circuit Design-Prentice Hall, 2007
 [2] Gursharan Reehal. A Digital Frequency Synthesizer Using Phase Locked Loop Technique, 1998