

12. Штовба С.Д. Проектирование нечетких систем средствами MATLAB. Москва: Горячая линия: Телеком, 2007. 228 с.

13. Amemiya, T. Advanced Econometrics, Cambridge, MA: Harvard University Press, 1985. – 507 p.

14. Lisowski J. Game control methods in navigator decision support system / The Archives of Transport. 2005. No 3-4, Vol. XVII. P. 133 –147.

### СРАВНИТЕЛЬНЫЙ АНАЛИЗ ЦЕЛОСТНОСТИ ПИТАНИЯ ПРОЕКТА ПЕЧАТНОЙ ПЛАТЫ ДЛЯ РАЗЛИЧНЫХ КОНФИГУРАЦИЙ ПРОВОДЯЩИХ ОБЛАСТЕЙ

**Алексеев В.Ф.**

*Кандидат технических наук, доцент кафедры  
«Проектирования информационно-компьютерных систем»  
Белорусский государственный университет  
информатики и радиоэлектроники*

**Горбач А.П.**

*аспирант кафедры «Проектирования  
информационно-компьютерных систем»  
Белорусский государственный университет  
информатики и радиоэлектроники*

**Хуторная Е.В.**

*магистрант кафедры «Проектирования  
информационно-компьютерных систем»  
Белорусский государственный университет  
информатики и радиоэлектроники  
г. Минск, Республика Беларусь*

### COMPARATIVE ANALYSIS OF POWER INTEGRITY OF A PCB PROJECT FOR VARIOUS CONFIGURATIONS OF CONDUCTIVE AREAS

**Alexseev V.**

*PhD, Associate Professor of Information and  
Computer-Aided Systems Design department  
Belarusian State University of Informatics and Radioelectronics*

**Horbach A.**

*postgraduate student of the Information and  
Computer-Aided Systems Design department  
Belarusian State University of Informatics and Radioelectronics*

**Khutarnaya K.**

*master student of the Information and  
Computer-Aided Systems Design department  
Belarusian State University of Informatics and Radioelectronics  
Minsk, Republic of Belarus*

#### Аннотация

Рассмотрена актуальность обеспечения целостности питания на печатной плате. Выполнен PDN анализ для различных конфигураций проводящих областей печатной платы.

#### Abstract

The relevance of ensuring the integrity of power supply on a printed circuit board is considered. A PDN analysis for various configurations of the conductive areas of the PCB was performed.

**Ключевые слова:** Целостность питания, печатные платы, Altium Designer, моделирование.

**Keywords:** Power Integrity, PCB, Altium Designer, simulation.

#### Введение

Характеристики цепей доставки напряжения питания не рассматривались в качестве основных критериев на ранних этапах разработки печатных плат. В современных электронных устройствах, использующих более низкое напряжение питания, более высокий ток, меньший запас по напряжению шума характеристики PDN должны быть оценены

на ранней стадии разработки печатной платы и оптимизированы для соответствия спецификации устройства [1].

Целью PDN анализа является подача чистого и стабильного напряжения на устройство. Однако PDN не является идеальным из-за паразитного добавления элементов, составляющих сеть электропитания. Для выявления ошибок трассировки цепи доставки питания проводится анализ целостности питания в специализированных САПР. В данном

случае моделирование проводилось в расширении PDN Analyzer Altium Designer.

#### Подготовка к исследованию

Анализ целостности питания проводился для проекта печатной платы «Электрокардиоскоп на

Android», разработанной в Altium Designer на основе схемы электрической принципиальной, приведенной в [2]. Внешний вид разработанной печатной платы приведен на рисунке 1.

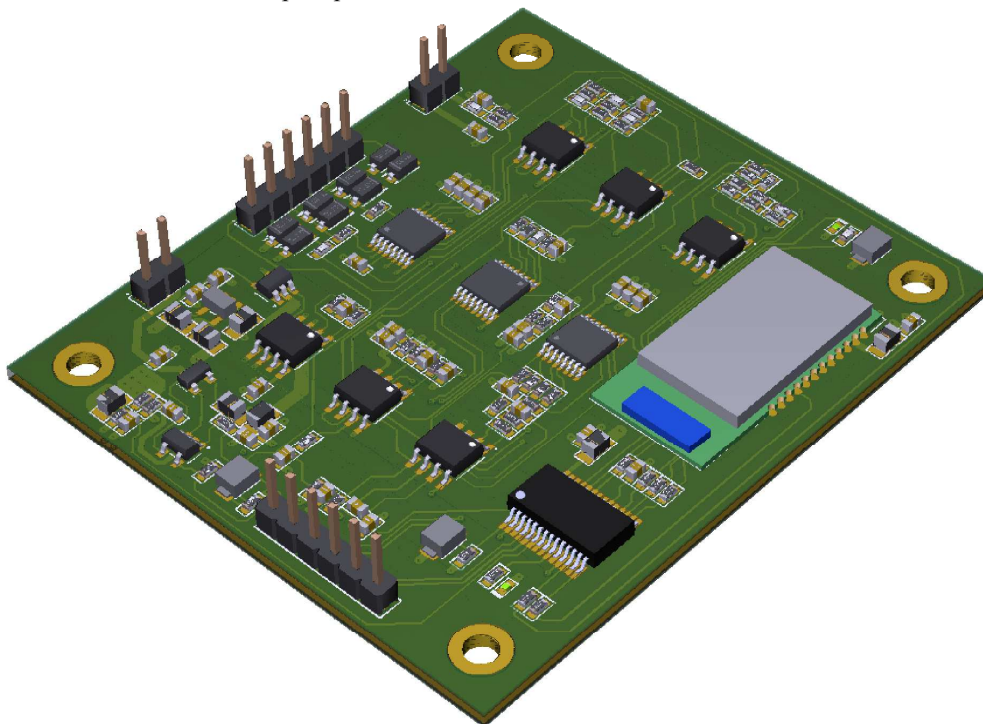


Рисунок 1 – Вид печатной платы «Электрокардиоскоп на Android»

Печатная плата была выполнена в нескольких вариациях:

1 Двухслойная печатная плата без применения полигонов. Стек слоев приведен на рисунке 2 [3].

| # | Name           | Material      | Type        | Weight | Thickness | Dk   |
|---|----------------|---------------|-------------|--------|-----------|------|
|   | Top Overlay    |               | Overlay     |        |           |      |
|   | Top Solder     | Solder Resist | Solder Mask |        | 1mil      | 3,5  |
| 1 | Top Layer      |               | Signal      | 1oz    | 1,37mil   |      |
|   | Dielectric 1   | FR-4          | Dielectric  |        | 58,26mil  | 3,96 |
| 2 | Bottom Layer   |               | Signal      | 1oz    | 1,37mil   |      |
|   | Bottom Solder  | Solder Resist | Solder Mask |        | 1mil      | 3,5  |
|   | Bottom Overlay |               | Overlay     |        |           |      |

Рисунок 2 – Стек слоев двухслойной печатной платы

Цепи питания (+3,3 В) и земли были растраскированы на нижнем слое, соединение их с элементами на слое *TOP* обеспечивается с помощью переходных отверстий.

2 Двухслойная печатная плата с полигонами цепей питания. Стек слоев соответствует предыдущему варианту, однако на

всех цепях присутствует соединение медными полигонами для увеличения площади силовых соединений.

3 Четырехслойная печатная плата. Стек слоев приведен на рисунке 3 [4].

| # | Name           | Material      | Type        | Weight | Thickness | Dk   |
|---|----------------|---------------|-------------|--------|-----------|------|
|   | Top Overlay    |               | Overlay     |        |           |      |
|   | Top Solder     | Solder Resist | Solder Mask |        | 0,025mm   | 3,5  |
| 1 | Top Layer      |               | Signal      | 1oz    | 0,035mm   |      |
|   | Dielectric 2   | PP-006        | Prepreg     |        | 0,11mm    | 4,29 |
| 2 | Layer 1        | CF-004        | Signal      | 1oz    | 0,035mm   |      |
|   | Dielectric 1   | FR-4          | Dielectric  |        | 1,13mm    | 3,96 |
| 3 | Layer 2        | CF-004        | Signal      | 1oz    | 0,035mm   |      |
|   | Dielectric 3   | PP-006        | Prepreg     |        | 0,11mm    | 4,29 |
| 4 | Bottom Layer   |               | Signal      | 1oz    | 0,035mm   |      |
|   | Bottom Solder  | Solder Resist | Solder Mask |        | 0,025mm   | 3,5  |
|   | Bottom Overlay |               | Overlay     |        |           |      |

Рисунок 3 – Стек слоев четырехслойной печатной платы

В этой конфигурации на верхнем слое присутствуют цифровые и аналоговые сигналы, первый внутренний и нижний слои были отведены под полигон земли, второй внутренний слой – под полигон напряжения питания +3,3 В.

Для проведения анализа целостности питания в *Altium Designer* требуется наличие установленного расширения *PDN Analyzer*. Перед началом

моделирования необходимо указать цепи питания и земли, а также их номиналы.

В таблице 1 приведены элементы исследуемой печатной платы, которые образуют нагрузку по току, а также источники питания и вторичные последовательные элементы, образующие «расширенные» цепи.

Таблица 1

Элементы для анализа целостности питания [2, 5...16]

| Элемент         | Назначение | Значение параметров |
|-----------------|------------|---------------------|
| PLS-6           | Источник   | 3,3 В               |
| TLC2252AID      | Нагрузка   | 5 мА                |
| DG4053AEQ-T1-E3 | Нагрузка   | 10 мА               |
| CD74HC4052PW    | Нагрузка   | 50 мА               |
| TLC6482AIM      | Нагрузка   | 40 мА               |
| LTC1981ES5      | Нагрузка   | 20 мА               |
| PIC24FJ32GA002  | Нагрузка   | 18 мА               |
| TPS60403DBVT    | Нагрузка   | 60 мА               |
| MCP1640B(T)     | Нагрузка   | 15 мА               |
| RN42            | Нагрузка   | 30 мА               |
| ERJ-3BWFR030V   | Расширение | 30 мОм              |
| TB201209 B300   | Расширение | 30 мОм              |

### Результаты исследований

*Моделирование падения напряжения в двухслойной печатной плате без полигонов при подаче напряжения питания через цепь VIN*

Первое моделирование было проведено для случая двухслойной печатной платы, в которой для

соединения силовых цепей использовались печатные проводники шириной 50 мил. Вид печатного рисунка на верхнем и нижнем слоях приведены на рисунках 4 и 5.

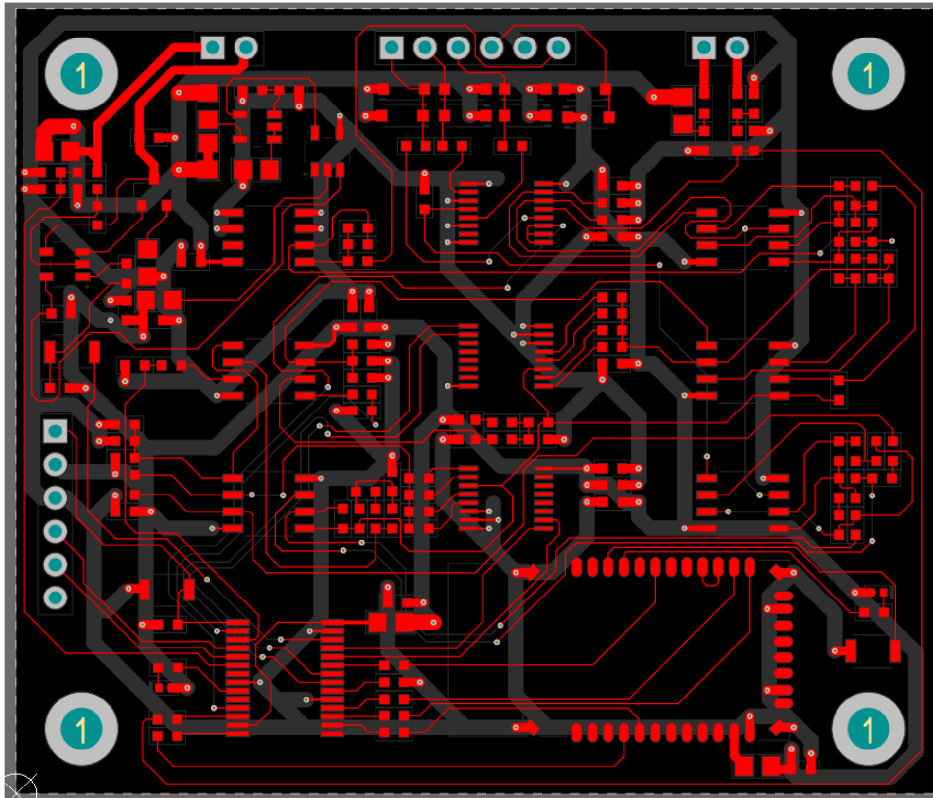


Рисунок 4 – Печатный рисунок на верхнем слое двухслойной печатной платы

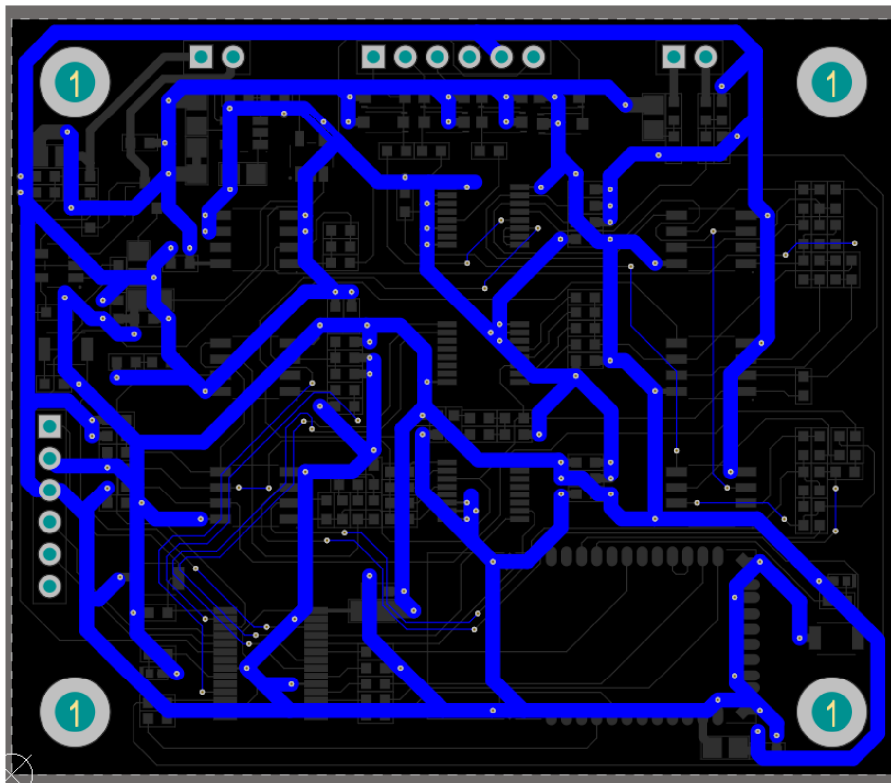


Рисунок 5 – Печатный рисунок на нижнем слое двухслойной печатной платы

Для проведения анализа целостности питания печатной платы необходимо создать «страницу симуляции», в которой должны быть отражены номиналы исследуемых цепей питания и земли, указан источник питания, приведены значения «нарузок» – элементов, работающих от моделируемого напряжения (сопротивление или

потребляемый ток), а также вторичные разделительные элементы, которые включены в цепь питания последовательно, такие как кнопки, переключатели, катушки индуктивности, ферритовые фильтры и другие. На рисунке 6 представлены составляющие цепи 3,3 В.

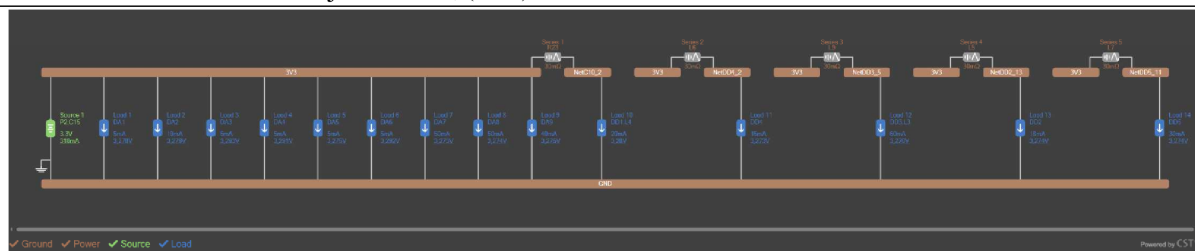


Рисунок 6 – Параметры моделирования цепи 3,3 В

Результат моделирования распределения напряжения в цепи 3,3 В показан на рисунке 7.

Из результатов моделирования видно, что на некоторых участках цепи происходит падение напряжения на 0,01 В. В *PDN Analyzer* присутствует возможность отобразить каждый из составных участков цепи на разных слоях. Таким образом было выявлено, что в исследуемой

печатной плате присутствуют недостатки в трассировке цепи питания, а именно в участках цепи 3,3 В и в напряжениях питания после фильтров элементов *DD2*, *DD3*, *DD4*, *DD5*. Например, на рисунке 8 показан участок цепи питания *DD2*, в котором присутствует падение напряжения.

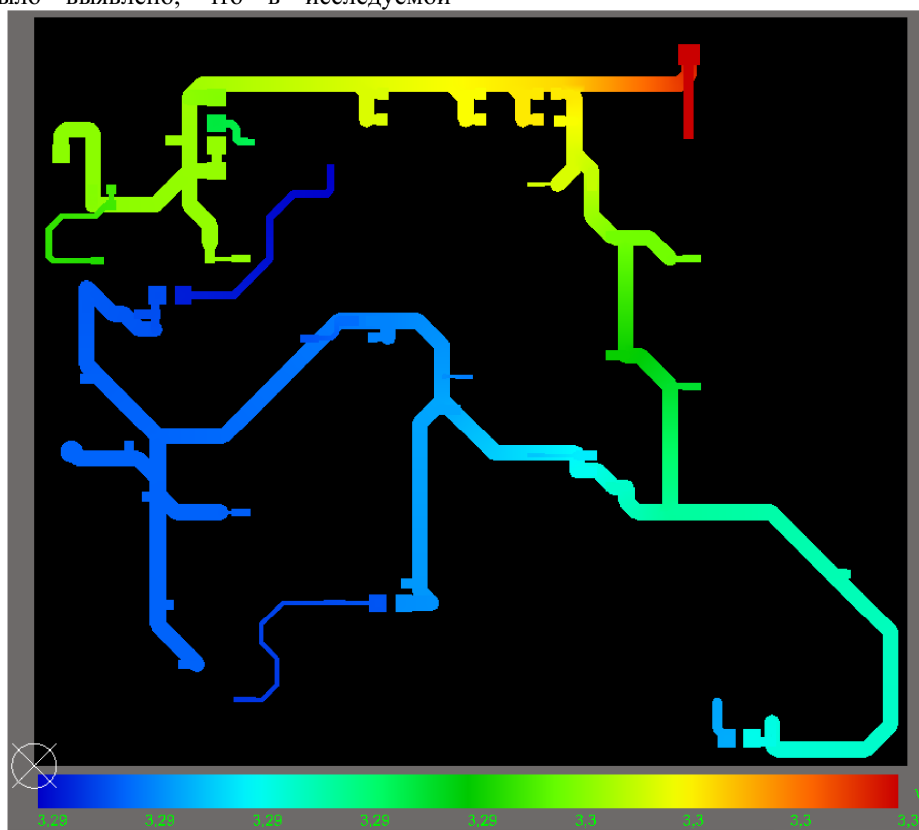


Рисунок 7 – Результат моделирования падения напряжения в цепи 3,3 В

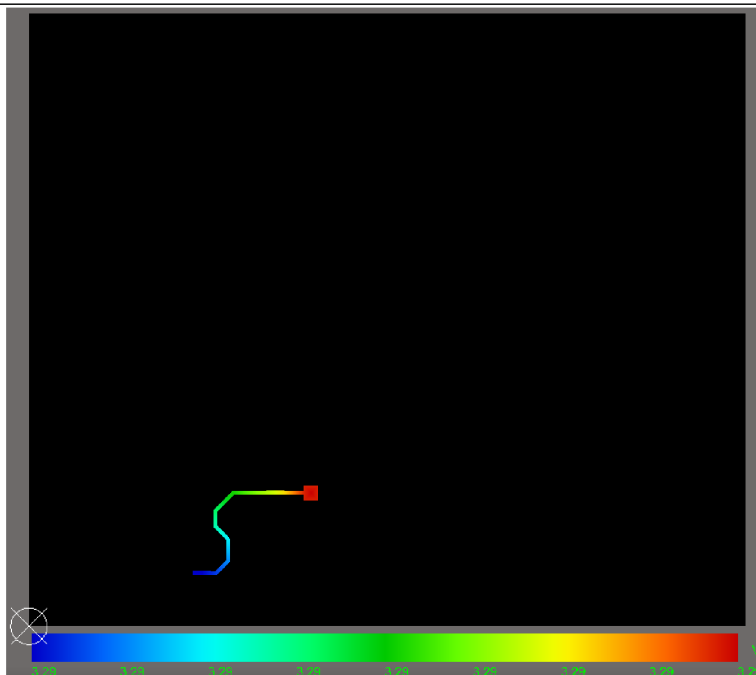


Рисунок 8 – Результат моделирования падения напряжения в цепи элемента DD2

*Моделирование падения напряжения в двух-слойной печатной плате с полигонами при подаче напряжения питания через цепь VIN*

Поскольку при анализе целостности питания печатной платы без полигонов была выявлена необходимость изменения печатного рисунка, то

нижний слой двухслойной печатной платы был преобразован в полигоны цепей питания и земли. Верхний и нижний слои измененной печатной платы показаны на рисунках 9 и 10.

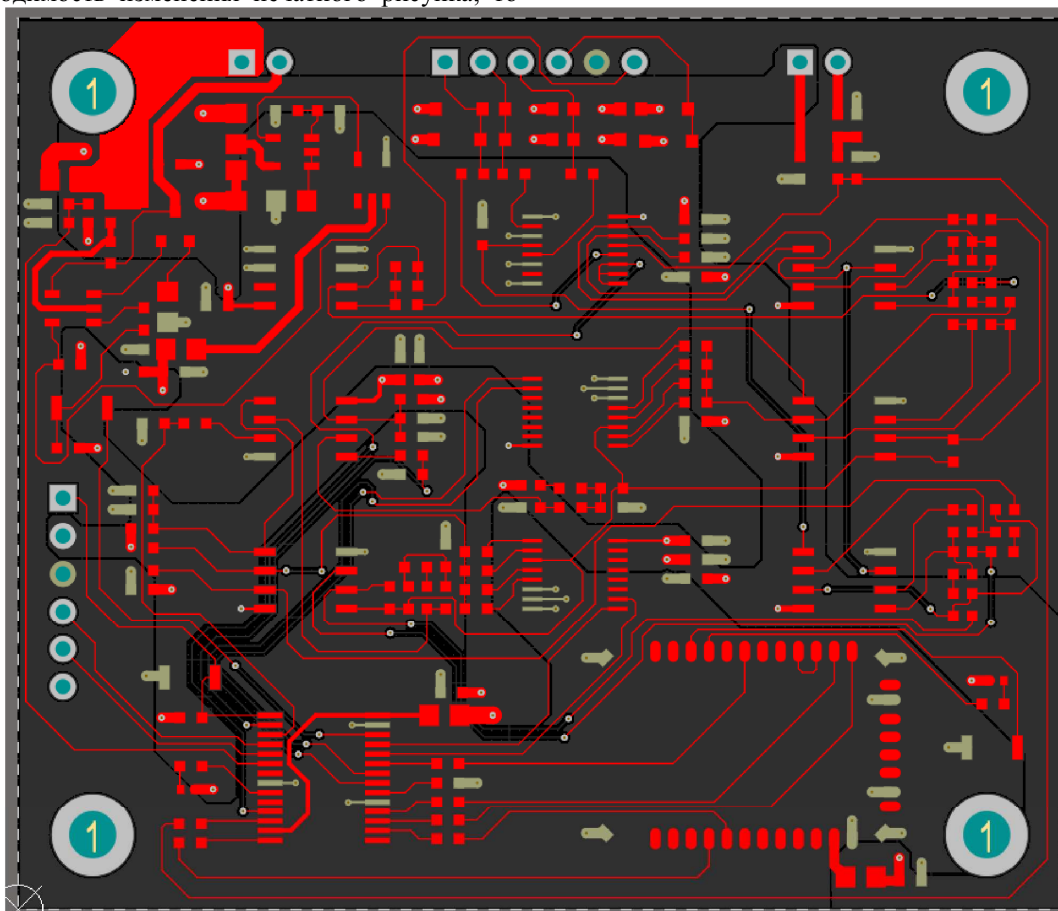


Рисунок 9 – Печатный рисунок на верхнем слое двухслойной печатной платы с полигонами

*Altium Designer* позволяет проводить моделирование силовых линий и использовать файлы симуляции с заданными источником и нагрузками для различной трассировки одной и той

же печатной платы, поэтому составляющие цепи 3,3 В в данном случае соответствуют рисунку 6. Результаты моделирования силовой и возвратной цепей приведены на рисунке 11.

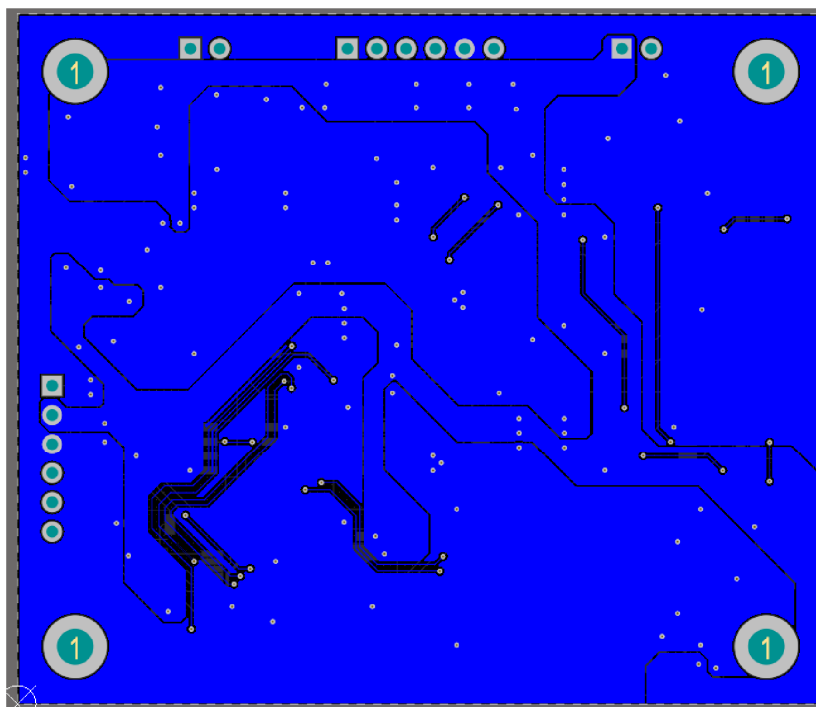


Рисунок 10 – Печатный рисунок на нижнем слое двухслойной печатной платы с полигонами

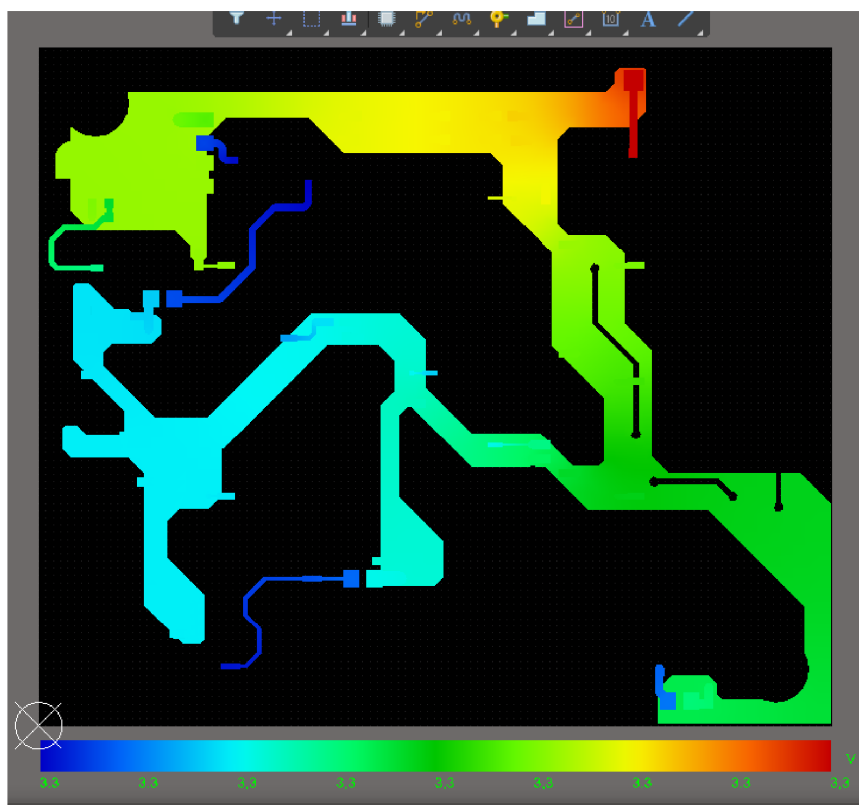


Рисунок 11 – Результат моделирования падения напряжения в полигоне цепи 3,3 В

Результаты моделирования цепи питания 3,3 В показали, что наличие силовых полигонов исключает падение напряжения в отдаленных от источника напряжения участках печатного проводника.

Моделирование падения напряжения в четырехслойной печатной плате с полигонами при подаче напряжения питания через цепь VIN

Печатные проводники четырехслойной печатной платы показаны на рисунках 12-15.

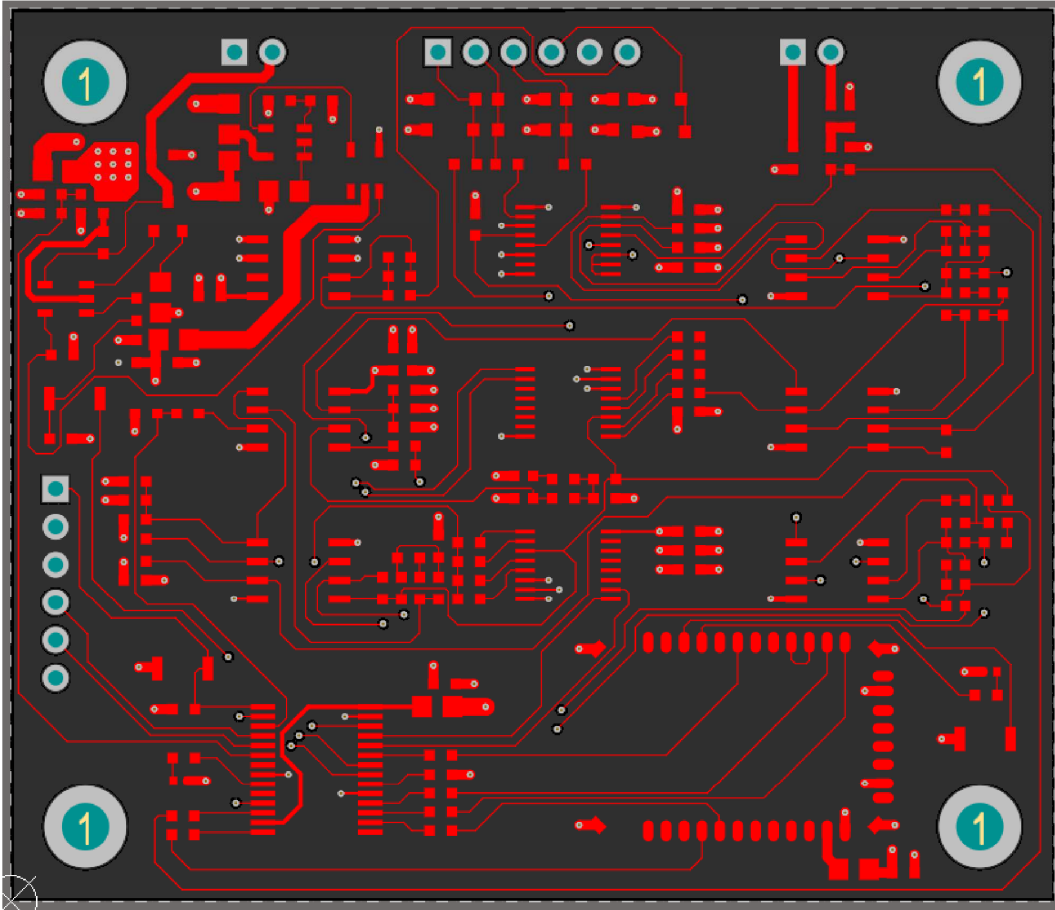


Рисунок 12 – Печатный рисунок на верхнем слое четырехслойной печатной платы

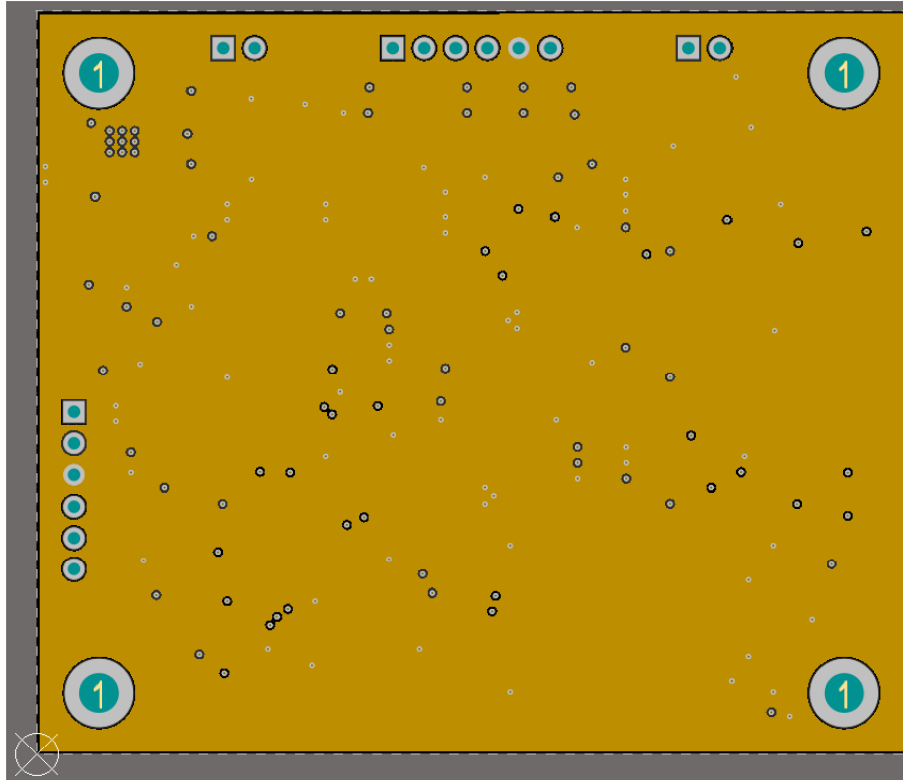


Рисунок 13 – Печатный рисунок на первом внутреннем слое четырехслойной печатной платы



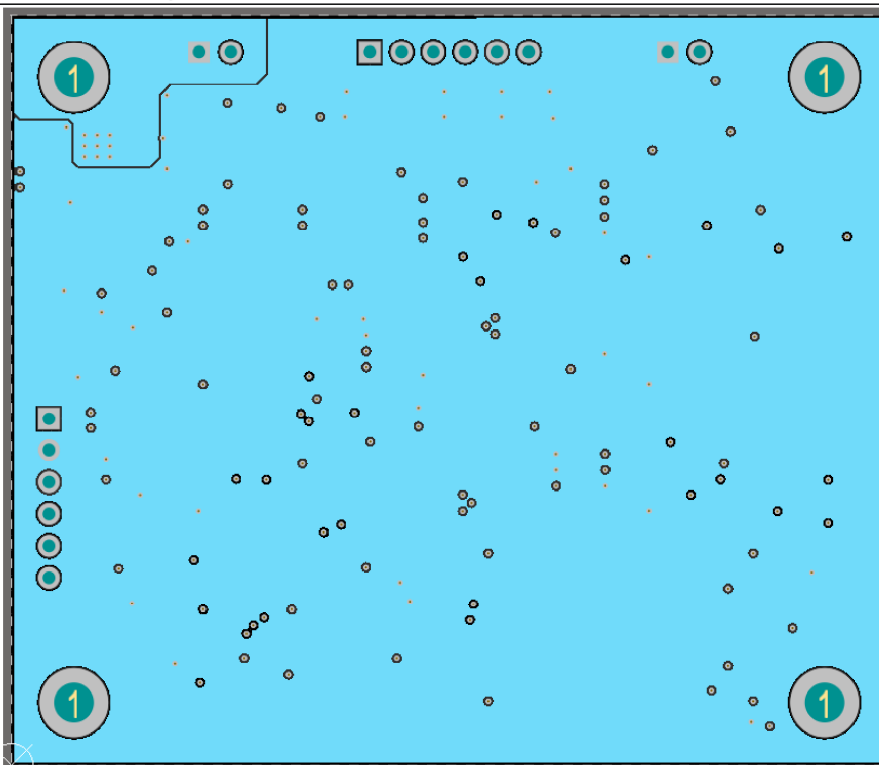


Рисунок 14 – Печатный рисунок на втором внутреннем слое четырехслойной печатной платы

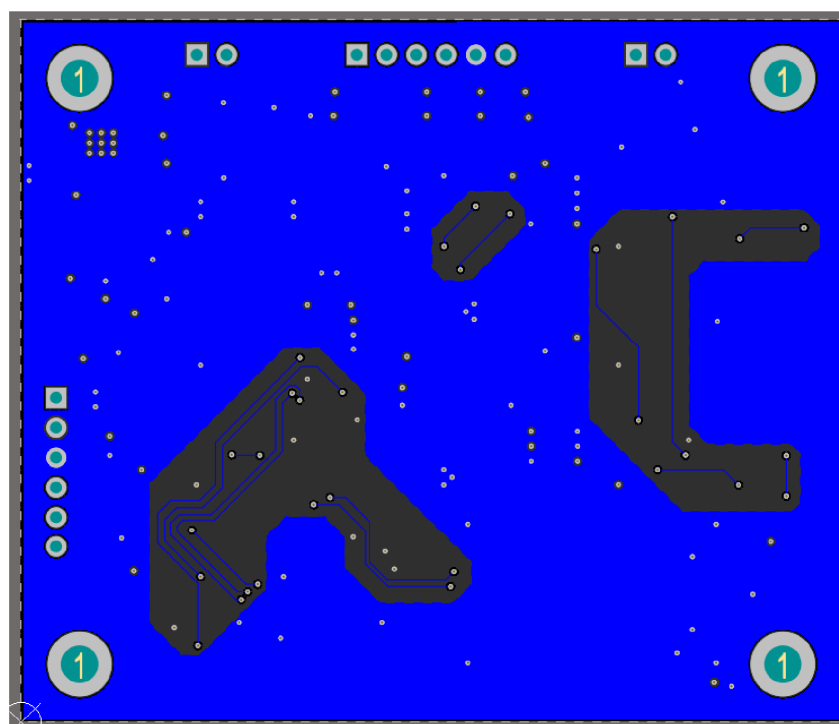


Рисунок 15 – Печатный рисунок на нижнем слое четырехслойной печатной платы

Результаты моделирования цепей питания 3,3 В приведены на рисунках 16-17.

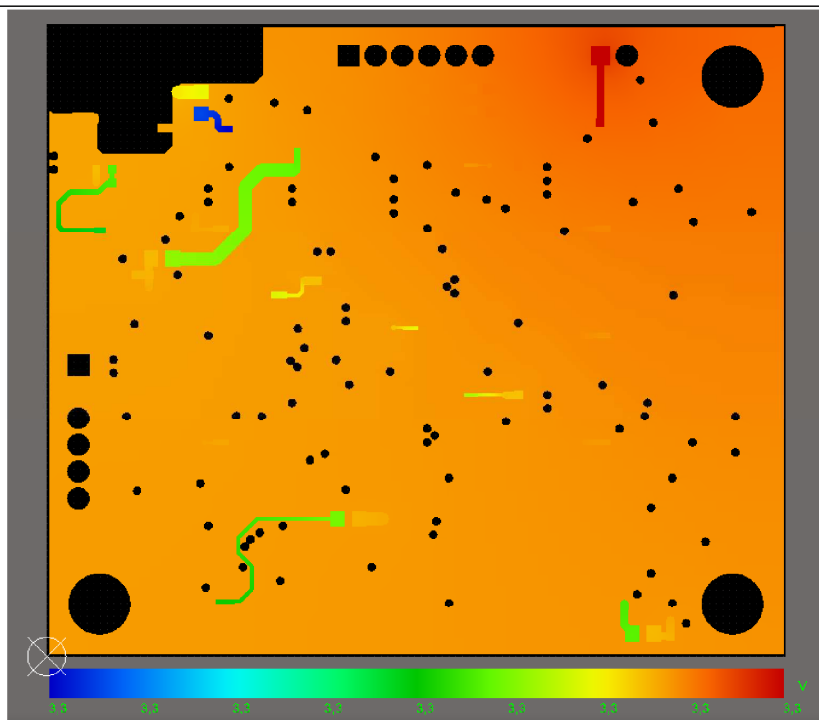


Рисунок 16 – Результат моделирования падения напряжения в цепи 3,3 В

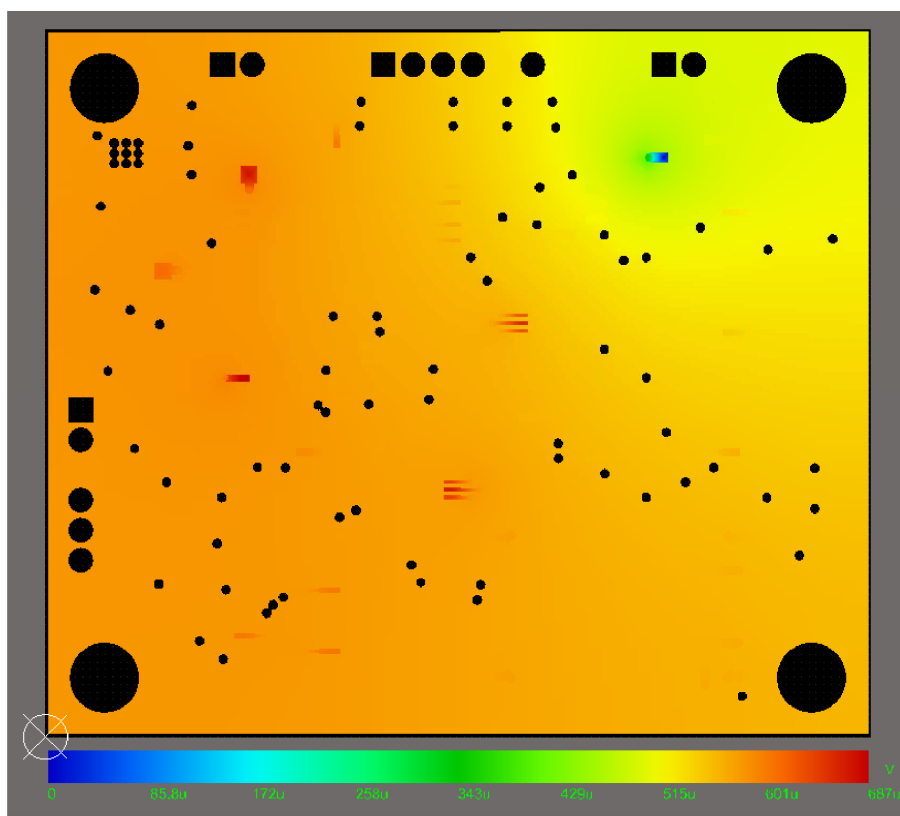


Рисунок 17 – Результат моделирования падения напряжения в цепи GND

Итоговые значения моделирования целостности цепей питания в случаях двухслойной печатной платы без полигонов, с использованием

полигонов, а также четырехслойной ПП для обоих случаев подачи напряжения питания сведены в таблицу 2.

Результаты моделирования падения напряжения и плотности тока

| Печатная плата        | Напряжение, В |         |
|-----------------------|---------------|---------|
|                       | 3V3           | GND     |
| 2 слоя, без полигонов | 3,29-3,3      | 0-18,3м |
| 2 слоя, с полигонами  | 3,3           | 0-8,05м |
| 4 слоя                | 3,3           | 0-687мк |

### Заключение

На основании полученных данных можно сделать вывод, что при использовании четырехслойной печатной платы с отдельными слоями со сплошными полигонами возвратной цепи и силовых линий исключается падение напряжения на активном сопротивлении.

### Список литературы

1. Горбач, А.П. Моделирование падения напряжения на активном сопротивлении в Altium Designer / А.П. Горбач, Е.В. Хуторная // Электронные системы и технологии: сборник тезисов 55 юбилейной научной конференции аспирантов, магистрантов и студентов, Минск, 22–26 апреля 2019 г., БГУИР, Минск, Беларусь: тезисы докладов. – Мн. – 2019. – С. 90-91.
2. Креммель, М. Android Elector кардиоскоп / М. Креммель // Elektor. – 2013. – №7-8. – С.8–16.
3. Standard PCB [Электронный ресурс]. – Режим доступа: <https://www.pcbway.com/orderonline.aspx>.
4. PCBWay Multi-layer laminated structure [Электронный ресурс]. – Режим доступа: <https://www.pcbway.com/>.
5. M20-9990645 [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/harwin-inc/M20-9990645/952-2269-ND/3728233>.
6. TLC2252AIDR [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/texas-instruments/TLC2252AIDR/296-26729-1-ND/2255129>.
7. DG4053AEQ-T1-E3 [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/vishay-siliconix/DG4053AEQ-T1-E3/DG4053AEQ-T1-E3CT-ND/1850064>.
8. CD74HC4052PWR [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/texas-instruments/CD74HC4052PWR/296-17619-1-ND/710465>
9. LMC6482 [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.ti.com/product/LMC6482>.
10. LTC1981ES5#TRPBF [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/linear-technology-analog-devices/LTC1981ES5-TRPBF/LTC1981ES5-TRPBFCT-ND/10129980>.
11. PIC24FJ32GA002-I/SS [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/microchip-technology/PIC24FJ32GA002-I-SS/PIC24FJ32GA002-I-SS-ND/1616636>.
12. TPS60403DBVT [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/texas-instruments/TPS60403DBVT/296-13418-1-ND/484487>.
13. MCP1640BT-I/CHY [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/microchip-technology/MCP1640BT-I-CHY/MCP1640BT-I-CHYCT-ND/2258618>
14. RN42-I/RM [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/microchip-technology/RN42-I-RM/740-1038-ND/2357707>
15. ERJ-3BWFR030V [Электронный ресурс]: Datasheet. – Режим доступа: <https://www.digikey.com/product-detail/en/panasonic-electronic-components/ERJ-3BWFR030V/P17466CT-ND/5647950>
16. ТВ 201209 [Электронный ресурс]: Datasheet. – Режим доступа: <http://www.tecstar.com.tw/en-global/product/product/type/TB-201209>