

ЭКСПЕРИМЕНТАЛЬНОЕ СРАВНЕНИЕ ЭФФЕКТИВНОСТИ РАЗЛОЖЕНИЙ ШЕННОНА И ДАВИО ПРИ СИНТЕЗЕ ЛОГИЧЕСКИХ СХЕМ

Бибило П. Н., Романов В. И.

Объединённый институт проблем информатики Национальной академии наук Беларуси
Минск, Республика Беларусь

E-mail: bibilo@newman.bas-net.by, rom@newman.bas-net.by

На потоке промышленных примеров сравниваются результаты синтеза логических схем в библиотеке проектирования заказных СБИС и FPGA для многоуровневых представлений систем булевых функций. Многоуровневые представления строятся с использованием разложений Шеннона и разложений Давио. Установлено, что использование предварительной логической оптимизации на основе разложений Шеннона позволяет получать более быстродействующие логические схемы меньшей сложности по сравнению с логическими схемами, синтезированными по разложениям Давио.

ВВЕДЕНИЕ

Синтез комбинационных схем в заданном базисе (библиотеке) логических элементов традиционно разбивается на два больших этапа: технологически независимую оптимизацию реализуемых систем булевых функций и технологическое отображение – покрытие оптимизированных представлений описаниями библиотечных логических элементов. Решающее влияние на основные параметры (сложность, быстродействие, энергопотребление) логических схем оказывает первый этап. На данном этапе в качестве одного из основных методов оптимизации в настоящее время является метод на основе разложений Шеннона, когда оптимизируются так называемые бинарные диаграммы решений (англ. Binary Decision Diagram, BDD) [1]. В разложении Давио используются те же подфункции, что и в разложении Шеннона. В данной работе проводится сравнение результатов синтеза логических схем с использованием минимизированных BDD и соответствующих многоуровневых представлений на основе разложения Давио.

1. РАЗЛОЖЕНИЯ ШЕННОНА И ДАВИО

Разложением Шеннона полностью определенной булевой функции $f = f(x)$, $x = (x_1, x_2, \dots, x_n)$ по переменной x_i называется представление

$$f(x) = \bar{x}_i f_0 V x_i f_1.$$

Функции $f_0 = f_0(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n)$, $f_1 = f_1(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n)$ называются кофакторами (cofactors) разложения по переменной x_i либо подфункциями. Они получают из функции $f(x)$ подстановкой вместо переменной x_i константы 0 и 1 соответственно. Каждая из подфункций f_0 и f_1 может быть разложена по одной из переменных из множества $x_1, \dots, x_{i-1}, x_{i+1}, \dots, x_n$. Процесс разложения подфункций заканчивается, когда все n переменных будут использованы для разложения, либо когда все подфункции вырождаются до констант 0, 1. На каждом шаге разложения выпол-

няется сравнение на равенство полученных подфункций. Для системы булевых функций разложения Шеннона проводятся по одной и той же последовательности переменных x_i разложения. Разложение Давио использует кофакторы f_0, f_1 и может быть записано в виде *положительного разложения* Давио $f(x) = f_0 \oplus x_i(f_0 \oplus f_1)$, или *отрицательного разложения* Давио $f(x) = f_0 \oplus \bar{x}_i(f_0 \oplus f_1)$. Разложения Давио, аналогично разложениям Шеннона, могут применяться для технологически независимой оптимизации.

II. РЕЗУЛЬТАТЫ ЭКСПЕРИМЕНТА

Исходными для эксперимента были матричные представления систем $f(x) = (f_1(x), \dots, f_m(x))$ булевых функций [2], по которым с помощью программы BDD_Builder [1] строились BDD-представления, которые переводились в положительные и отрицательные разложения Давио. Все оптимизированные описания представлялись на языке VHDL, являющемся одним из основных входных языков описания проектируемых цифровых систем на элементной базе СБИС. Синтез осуществлялся в системе LeonardoSpectrum с использованием библиотеки [3] проектирования заказных КМОП СБИС и FPGA Virtex 5. Результаты эксперимента приведены в таблицах 1 и 2, соответственно. Площадь S заказных СБИС подсчитывалась в условных единицах, площадь занятых ресурсов FPGA Virtex 5 подсчитывалась в числе LUT (Look-Up Table), задержка t – в наносекундах (нс). Эксперименты показали, что для небольших размерностей систем ДНФ синтезаторы получают одинаковые логические схемы по различным видам разложений. Разложения Давио при прямой схемной реализации в библиотеке проектирования заказных КМОП СБИС имеют более сложные транзисторные схемы, однако промышленные синтезаторы, используя собственные программно реализованные алгоритмы логической оптимизации, не осуществляют локальных преобразований разложений Давио в

функционально эквивалентные и более эффективные разложения Шеннона.

ЗАКЛЮЧЕНИЕ

Использование разложений Шеннона позволяет получать логические схемы с меньшей задержкой и меньшей площади по сравнению с логическими схемами, синтезированными по разложениям Давио. Аналогичные результаты получаются также при реализации тех же примеров систем булевых функций в составе FPGA ф. Xilinx, используя систему проектирования ISE [4].

СПИСОК ЛИТЕРАТУРЫ

1. Бибило, П. Н. Использование полиномов Жегалкина при минимизации многоуровневых представлений систем булевых функций на основе разложения Шеннона / П. Н. Бибило, Ю. Ю. Ланкевич // Программная инженерия. – 2017. – № 8. – С. 369–384.
2. <http://www1.cs.columbia.edu/~cs6861/sis/espresso-examples/ex>. – Дата доступа: 20.03.2018.
3. Бибило, П. Н. Оценка энергопотребления логических КМОП-схем по их переключательной активности / П. Н. Бибило, Н. А. Кириенко // Микроэлектроника. – 2012. – № 1. – С. 65–77.
4. Тарасов, И. Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования / И. Е. Тарасов // Издательство: Горячая линия-Телеком, 2020. – 538 стр.

Таблица 1 – Результаты эксперимента 1 в библиотеке проектирования заказных СБИС

Имя примера	n	m	Разложение Шеннона		Положительное разложение Davio		Отрицательное разложение Davio	
			S	t	S	t	S	t
ADD6	12	7	14419	5.97	25395	15.37	25026	13.15
ADDM4	9	8	86959	6.25	159236	13.88	161697	15.73
B12	15	9	16137	2.78	38418	6.91	33686	6.43
BR1	12	8	28112	5.71	80514	13.23	80151	15.58
C880_matr	60	26	30087	6.68	68974	34.95	87344	45.41
Gary	15	11	96389	6.70	259766	23.18	255810	21.34
I7_matr	199	67	21321	1.56	21321	1.51	25339	1.09
IN0	15	11	96389	6.70	259766	23.18	255810	21.34
IN2	19	10	81513	6.47	262154	25.30	250235	25.13
MAX512	9	6	87215	6.60	243009	15.34	239828	14.49
RD73	7	3	16305	3.74	34858	13.21	34942	12.55
RYY6	16	1	3337	2.43	8761	6.87	8348	7.76
TTT2	24	21	49294	4.71	121237	18.15	113603	19.63
X4_matr	94	71	184374	7.40	423678	13.47	441557	18.06

Таблица 2 – результаты эксперимента 2 в библиотеке проектирования FPGA Virtex 5

Имя примера	n	m	Разложение Шеннона		Положительное разложение Davio		Отрицательное разложение Davio	
			LUT	t	LUT	t	LUT	t
ADD6	12	7	23	5	17	5	20	5
ADDM4	9	8	98	6	115	6	138	6
B12	15	9	32	5	35	5	37	5
BR1	12	8	72	5	72	6	71	5
C880_matr	60	26	55	7	68	6	63	7
Gary	15	11	214	6	188	6	214	7
I7_matr	199	67	31	4	31	4	31	4
IN0	15	11	214	6	188	6	214	7
IN2	19	10	225	6	204	6	178	6
MAX512	9	6	132	5	171	6	143	5
RD73	7	3	21	5	31	6	26	5
RYY6	16	1	7	5	5	5	7	5
TTT2	24	21	113	5	95	6	101	6
X4_matr	94	71	333	6	370	6	326	6