

# ПРОВЕРКА ЭКВИВАЛЕНТНОСТИ СХЕМ НА ТРАНЗИСТОРНОМ УРОВНЕ

Черемисинова Л. Д., Черемисинов Д. И.

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: {cld, cher}@newman.bas-net.by

## ВВЕДЕНИЕ

Процесс подготовки производства современной СБИС, содержащей более сотни млн. транзисторов, стоит очень дорого: только изготовление набора фотошаблонов требует затрат в несколько миллионов долларов. Поэтому перед изготовлением фотошаблонов обязательно выполняется верификация топологии СБИС (LVS – layout versus schematic verification). Важными инструментами автоматизированного проектирования СБИС, позволяющими снизить трудоемкость верификация топологии электрической схемы, являются средства построения иерархического структурного описания на уровне логических элементов по плоскому структурному описанию на транзисторном уровне. Операция, в результате которой из плоской транзисторной схемы строится иерархическая транзисторная, называется декомпиляцией. Декомпиляция транзисторной схемы является мощным инструментом верификации топологии (позволяя существенно снизить время ее выполнения) [1], а также основой логического перепроектирования (reengineering) интегральных схем [2].

В настоящей работе рассматривается задача верификации транзисторных схем. Предлагается метод и программа проверки эквивалентности пары схем на транзисторном уровне. Входным языком представления транзисторных схем является формат SPICE (Simulation Program with Integrated Circuit Emphasis) для обмена электрическими схемами [3]. Предложенные средства позволяют, в частности, установить правильность выполнения этапа декомпиляции транзисторной схемы путем сравнения исходной плоской и полученной в результате декомпиляции иерархической транзисторных схем.

### I. ПОСТАНОВКА ЗАДАЧИ ПРОВЕРКИ ЭКВИВАЛЕНТНОСТИ ТРАНЗИСТОРНЫХ СХЕМ

Исходными данными декомпиляции является плоская схема из КМОП транзисторов и иерархическая транзисторная схема, в которой блоки второго уровня иерархии соответствуют подсхемам распознанных в результате декомпиляции логических элементов [4]. В схемах, кроме того, допускаются и другие примитивные элементы (биполярные транзисторы, RC-элементы и др.).

Исходная плоская и иерархическая транзисторные схемы представляются в формате про-

ектирования SPICE. В этом формате электрические схемы состоят из элементов, которые соединены друг с другом цепями. Главной частью описания схемы в формате SPICE является список транзисторов, в котором для каждого вывода транзистора (сток, затвор, исток, подложка) указано имя цепи, соединяющей его с остальными частями схемы. Математической моделью представления схемы из транзисторов является помеченный неориентированный двудольный граф. Одну долю графа составляют вершины, соответствующие выводам элементов и портам схемы (входам и выводам всей электрической схемы), а другую – вершины, соответствующие цепям – соединениям между выводами.

Предлагается метод и программа проверки эквивалентности пары схем на транзисторном уровне, которые устанавливают, совпадают ли функционально и топологически транзисторные схемы, и если нет, то указываются различия.

Проверка эквивалентности пары схем на транзисторном уровне может быть выполнена также и инструментами автоматизированного проектирования, решающими задачу сравнения схемы извлеченной из топологии с принципиальной схемой устройства (Logic Versus Schematic check – LVS), например, Mentor Graphics Calibre nmLVS [5], Guardian LVS [6] и другими, при соответствующем преобразовании форматов представления схем. Эти инструменты входят в состав дорогостоящих промышленных САПР проектирования СБИС и для рассматриваемого частного случая транзисторных схем работают значительно медленнее.

### II. ПРЕДЛАГАЕМЫЙ ПОДХОД

Подход, положенный в основу этой программы, состоит в том, что задача сравнения транзисторных схем рассматривается как частный случай проблемы изоморфизма графов. В формате SPICE электрические схемы состоят из элементов, которые соединены друг с другом цепями. Формальной моделью описания транзисторной схемы является помеченный неориентированный двудольный граф: одну долю составляют выводы элементов и порты схемы, а другую цепи – соединения между выводами.

Реализованный программой подход к установлению эквивалентности пары транзисторных схем, состоит в сведении этой задачи к проблеме

проверки изоморфизма графов, в которые преобразуются сравниваемые схемы.

Перед сравнением исследуемые транзисторные схемы приводятся, прежде всего, к плоскому виду путем их компиляции (процесса, обратного декомпиляции). Для упрощения задачи проверки изоморфизма графы, представляющие каждую из сравниваемых плоских схем, дополняются ребрами, связывающими все четыре вывода для каждого из транзисторов.

Топология двудольных графов, которые моделируют схемы из транзисторов, имеет некоторые специфические свойства.

1. Исследуемые графы разрежены. В доле цепей двудольного графа, моделирующего схему из транзисторов, подавляющее количество вершин имеют небольшие степени. Имеется только нескольких вершин с большими степенями (например, цепи питания). Таким образом, помеченный граф, моделирующий транзисторную схему, представляет собой разреженный граф.

2. Двудольный граф, моделирующий транзисторную схему, является помеченным: его вершинам могут быть присвоены метки. В схеме транзисторного уровня обычно всего два типа элементов: *n*-МОП и *p*-МОП транзисторы, каждый из которых имеет по четыре вывода, соответствующие стоку, затвору, истоку и подложке. МОП схема моделируется помеченным двудольным графом. Выводы транзисторов (по четыре для МОП-транзистора каждого типа) и порты схемы (входы, выходы схемы) соответствуют вершинам первой доли двудольного графа, а цепи (соединения между выводами) соответствуют вершинам второй доли. Соответственно каждая из вершин первой доли может иметь одну из восьми возможных пометок, если она соответствует выводу транзистора или пометку, большую 8, если соответствует портам схемы.

Необходимым (но не достаточным) условием изоморфизма двух графов является равенство числовых характеристик графов, называемых инвариантами. В качестве таких инвариантов вершин принимаются их степени (полустепени) и число вершин, отстоящих от данной на определенном расстоянии.

Проверка изоморфизма пары графов сводится к построению и сличению их канонических представлений, получаемых путем канонизации графов [7], которая производится путем упорядочения вершин графа в соответствии с инвариантами его вершин, не зависящими от исходной нумерации вершин.

Так как канонизируется помеченный граф, то задача канонизации сводится к изменению пометки (перемаркировке) его вершин. Вначале множество вершин графа разбивается на блоки таким образом, что каждый блок разбиения

содержит вершины с одинаковыми пометками и степенями.

Блоки разбиения упорядочиваются по возрастанию меток входящих в него вершин, а при равенстве меток вершин по возрастанию их степеней. Каждой вершине графа приписывается вектор, *i*-я компонента которого равна числу вершин *i*-го блока, смежных с данной вершиной. Если некоторый блок разбиения содержит вершины с различными векторами, то он разделяется на более мелкие блоки так, чтобы каждый из них содержал вершины с одинаковыми векторами. Вновь полученные блоки заменяют расщепляемый блок и упорядочиваются по возрастанию векторов, соответствующим образом пересчитываются векторы, приписанные вершинам графа.

Процесс деления и канонизации продолжается до тех пор, пока в каждом блоке будут вершины только с одинаковыми векторами.

Проблема канонизации графа в вычислительном отношении так же трудна, как и проблема изоморфизма графов. Однако учет приведенных выше особенностей графов, представляющих транзисторные схемы, позволил разработать программу, которая производит проверку идентичности пары транзисторных схем за линейное время от размеров их описаний.

#### ЗАКЛЮЧЕНИЕ

Разработанная программа верификации была протестирована на практических схемах, содержащих до 500 тысяч транзисторов. Для таких пар схем время выполнения не превышало одной-двух минуты на компьютере с четырехядерным процессором Intel i5-4460 3.20GHz и оперативной памятью 16,0 ГБ.

#### СПИСОК ЛИТЕРАТУРЫ

1. Nian, Zhang. The subcircuit extraction problem / Zhang Nian, D.C. Wunsch, F. Harary // IEEE Potentials. – 2003. – Vol. 22. – № 3. – P. 22–25.
2. Hunt, V.D. Reengineering: Leveraging the Power of Integrated Product Development / V.D. Hunt. – Wiley. – 1993. – 283 p.
3. Baker R.J. CMOS Circuit Design, Layout, and Simulation (Third Edition). – Wiley-IEEE Press, 2010. – 1214 p.
4. Черемисинов Д.И. Извлечение сети логических элементов из КМОП схемы транзисторного уровня / Д.И. Черемисинов, Л.Д. Черемисинова // Микроэлектроника. – 2019. – 48, № 3 (48) . – С. 224–234.
5. Calibre nmLVS over – Mentor. In view <https://www.mentor.com/products/fv/multimedia/overview/calibre-nmlvs-overview-07b8e2e5-4df9-4384-a8cf-11cdebc14b00>
6. Guardian LVS verification tool – Silvaco. In <https://silvaco.com/examples/expert/section4/example6/index.html>.
7. Закревский, А.Д. Логические основы проектирования дискретных устройств / Закревский А.Д., Поттосин Ю.В., Черемисинова Л.Д. – М.: Физматлит. – 2007. – 589 с.