

ВЕРИФИКАЦИЯ ЛОГИЧЕСКИХ КМОП СХЕМ, УСТОЙЧИВЫХ К МЯГКИМ ОТКАЗАМ

Черемисинова Л. Д., Черемисинов Д. И.

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: {cld, cher}@newman.bas-net.by

Рассматривается задача, возникающая при верификации топологии КМОП заказных СБИС. Верификация топологии включает в себя экстракцию (восстановление) электрической схемы из описания топологии и ее сравнение с описанием, исходным для логического синтеза. Предлагается метод верификации эстаги- рованных КМОП схем, устойчивых к мягким отказам.

ВВЕДЕНИЕ

Сокращение размеров КМОП-транзисторов СБИС, которое связано с технологическим переходом к нормам размеров порядка десятков нанометров резко снизили надежность СБИС. Причина спада надежности существенно связана с мягкими ошибками (soft errors) [1], вызванными, с одной стороны, альфа-частицами, образующимися из-за радиоактивных следов изотопов, имеющих в материалах корпусов и выводов микросхемы, а с другой стороны, атмосферными нейтронами, созданными взаимодействием космических лучей с атмосферой.

В процессе проектирования СБИС сеть КМОП-транзисторов, устойчивая к мягким отказам, строится в результате последовательного применения операций логического синтеза и отображения логической сети в технологический базис. Важным аспектом процесса проектирования СБИС является проверка того, что сеть КМОП-транзисторов правильно реализует исходную систему логических функций.

В работе рассматривается задача верификации, в которой устанавливается сводимость (эквивалентность) исходной для синтеза системы логических функций и сети КМОП-транзисторов, устойчивой к мягким ошибкам, заданной в формате SPICE (Simulation Program with Integrated Circuit Emphasis) для обмена электрическими схемами.

I. МЯГКИЕ ОШИБКИ

Когда элемент полупроводниковой структуры СБИС, обычно сток отключенного КМОП-транзистора, находится вблизи дорожки ионизации электрически заряженной частицы, он собирает значительную часть носителей (дырок или электронов), что приводит к импульсу тока. Эффект этого импульса зависит от типа ячейки, к которой принадлежит пораженный элемент. В ячейке памяти или триггере достаточно сильный импульс изменит состояние ячейки, что приведет к одиночному сбою (Single-event Upset, SEU). Элемент памяти при этом остается работоспособным. Одиночный сбой является наиболее распространенным и наименее опасным последствием

ионизирующего воздействия и наиболее типичным случаем мягких ошибок. Когда ионизирующее излучение попадает в область логического вентиля, импульс переходного тока преобразуется в импульс напряжения на выходе – происходит случайный сбой переключения (Single Event Transient, SET), последствия которого зависят от импульса тока и от характеристик нагрузки вентиля. Затем, если длительность импульса напряжения больше времени срабатывания последующих вентилях, он может распространиться по одному или нескольким путям комбинационной логики и достичь триггеров.

Исследования последнего времени показали, что по мере того, как в КМОП технологии продолжают уменьшаться нормы размеров, частота возникновения мягких ошибок комбинационной логики будет расти, станет сопоставимой и, в конечном итоге, более серьезной, чем ошибки элементов памяти [1].

II. УСТОЙЧИВОСТЬ ЛОГИЧЕСКИХ КМОП СХЕМ К МЯГКИМ ОШИБКАМ

Наиболее распространенным стилем логики КМОП схем является логическая комплементарная МОП-структура. Комплементарные МОП-структуры относятся к широкому классу логических схем, называемых статическими схемами, в которых в любой момент времени выход каждого элемента соединяется либо с шиной питания, либо с шиной земли через тракт с малым сопротивлением.

Статический КМОП-вентиль состоит из двух блоков, которые разделены выходным полюсом. Блок, содержащий NMOS транзисторы (pull-down network), размещен между выходом и цепью нулевого потенциала. Блок, содержащий PMOS транзисторы (pull-up network), размещен между цепью напряжения питания и выходом. При этом затворы всех МОП транзисторов связаны с входами схемы. Логическая функция КМОП-вентиля определяется отрицанием функции проводимости МОП транзисторов NMOS блока.

Способность статического КМОП-вентиля противостоять случайным сбоям переключения

зависит от инжектируемого ионизирующими частицами заряда и размеров транзисторов. Увеличение размеров транзисторов позволяет поглотить на выходе вентиля импульс переходного процесса, вызываемый введенным зарядом, и предотвратить его распространение к следующему логическому вентилю. Таким образом, увеличение размера транзистора является возможным решением для уменьшения восприимчивости схемы к ошибкам логических элементов. Однако этот подход увеличивает задержку и площадь схемы. В схемах с технологическими нормами порядка десятков нанометров этот способ трудно осуществим, поэтому для таких схем повышение отказоустойчивости логических элементов осуществляется использованием специальных стилей реализации логики.

Одним из самых распространенных методов повышения отказоустойчивости является стиль реализации логики, называемый «дифференциальная логика на каскадном усилителе, управляемом переключением напряжения» (Differential Cascode Voltage Switch Logic – DCVSL). Вентиль DCVSL является вариантом статического вентиля, в котором логические вычисления выполняются парой дифференциальных каналов в pull-down схеме из NMOS транзисторов, реализующих комплементарные функции и двух PMOS транзисторов с перекрестными связями в pull-up схеме. Дифференциальные выходы вентиля DCVSL генерируются по дифференциальным входным сигналам. При этом блок NMOS транзисторов pull-down network состоит из двух массивов транзисторов, реализующих взаимно инверсные функции. В вентиле DCVSL всегда активен один из массивов NMOS транзисторов.

Вентиль DCVSL имеет повышенную помехоустойчивость к мягким ошибкам, поскольку только транзисторы PMOS подвержены случайным сбоям переключения (SET) [2].

По сравнению с традиционными методами повышения отказоустойчивости КМОП схем со статическим стилем реализации логики (пространственного или временного дублирования) стиль логики DCVSL обеспечивает гораздо меньшие накладные расходы по энергопотреблению и площади. Преимуществами DCVSL являются низкая нагрузочная емкость на входах, отсутствие статического энергопотребления. Недостатки состоят в необходимости обеспечения дополнительных входов (для инверсий входных сигналов), введения большего числа транзисторов для реализации одной функции.

III. ВЕРИФИКАЦИЯ КМОП СХЕМЫ, УСТОЙЧИВОЙ К МЯГКИМ ОТКАЗАМ

Проверка проектирования на этапе логического синтеза состоит в установлении эквивалентности исходной системы логических функ-

ций и функций, реализуемых сетью КМОП-транзисторов. Представления проектируемого устройства до синтеза и после его выполнения имеют большое семантическое различие моделей. Поэтому невозможно непосредственно проверить их эквивалентность, и нужно преобразовать плоскую сеть КМОП-транзисторов в иерархическую сеть из подсхем, реализующих логические элементы. Эта сеть логических элементов может быть проверена на эквивалентность исходной системе булевых функций. Процесс, в результате которого из плоской схемы строится иерархическая называется декомпиляцией КМОП схемы [3]. Целью декомпиляции является замена представления схемы на низком (транзисторном) уровне схемой на уровне логических элементов. Разработанный декомпилятор использует формат SPICE для представления схем.

Разработана компьютерная программа для автоматического извлечения иерархии из списка соединений цифровой КМОП схемы транзисторного уровня. Программа выполняет следующую последовательность шагов: 1) анализ исходного описания SPICE и построение хеш-таблицы для хранения двудольного помеченного графа схемы; 2) факторизация двудольного помеченного графа на сети транзисторов, связанных по постоянному току (ССС); 3) распознавание СССР, представляющих собой статические и DCVSL КМОП вентиля; 4) нахождение для них соответствующих логических функций в виде логических формул и построение хеш-таблицы для хранения экземпляров КМОП вентиля; 5) построение логической сети из распознанных вентиля и 6) генерация логических уравнений на языке SPICE, реализуемых этой сетью.

Верификация логических уравнений, реализуемых этой сетью, выполняется проверкой их эквивалентности системе логических функций, заданной для синтеза, посредством сведения к задаче проверки выполнимости КНФ. Для этого программным комплексом [3] строится КНФ, выполнимость которой свидетельствует о нарушении реализуемости (эквивалентности) исходного описания порожденным.

IV. СПИСОК ЛИТЕРАТУРЫ

1. Johnston, A. H. Radiation effects in advanced microelectronics technologies / A. H. Johnston // IEEE Trans. Nuclear Science. – 1998. – Vol. 45. – No. 3. – P. 1339–1354.
2. Zhou, Q. Cost-Effective Radiation Hardening Technique for Combinational Logic / Q. Zhou, K. Mohanram // Proc. Int'l Conf. on Computer-Aided Design, 2004. – P. 100–106.
3. Черемисинов, Д.И. Извлечение сети логических элементов из КМОП схемы транзисторного уровня / Д.И. Черемисинов, Л.Д. Черемисинова // Микроэлектроника. – 2019. – Том 48. – № 3. – С. 224–234.