

Министерство образования Республики Беларусь  
Учреждение образования  
«Белорусский государственный университет  
информатики и радиоэлектроники»

Кафедра микро- и наноэлектроники

***ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ  
ИНТЕГРАЛЬНЫХ МИКРОСХЕМ  
В ПРОГРАММНОМ КОМПЛЕКСЕ CADENCE***

Методическое пособие  
по дисциплинам «Топологическое проектирование интегральных микросхем»  
и «Информационные технологии в проектировании интегральных микросхем»  
для студентов специальности  
1-41 01 02 «Микро- и наноэлектронные технологии и системы»  
всех форм обучения

Минск БГУИР 2011

УДК 621.3.049.77(076)

ББК 32.844.1я73

П79

А в т о р ы:

А. И. Костров, В. В. Нелаев,  
В. Р. Стемпицкий, С. А. Трофимов

Р е ц е н з е н т:

доцент кафедры «Электронные вычислительные средства»  
учреждения образования «Белорусский государственный университет  
информатики и радиоэлектроники»,  
кандидат технических наук А. В. Станкевич

П79

**Проектирование** топологии интегральных микросхем в программном комплексе Cadence : метод. пособие по дисц. «Топологическое проектирование интегральных микросхем» и «Информационные технологии в проектировании интегральных микросхем» для студ. спец. 1-41 01 02 «Микро- и нанoeлектронные технологии и системы» всех форм обуч. / А. И. Костров [и др.]. – Минск : БГУИР, 2011. – 60 с. : ил.

ISBN 978-985-488-720-3.

Пособие посвящено описанию правил и особенностей проектирования топологии заказных ИМС с использованием модуля Virtuoso, входящего в состав программного комплекса компании CADENCE – одного из мировых лидеров в области разработки средств проектирования в микроэлектронике. Для ознакомления с функциональными возможностями топологического редактора Virtuoso Layout Editor представлен маршрут проектирования топологии КМОП-инвертора. Описаны возможности графического интерфейса, проверка правил проектирования, экстракция электрической схемы из топологии, верификация топологии с электрической схемой, моделирование схем с учетом экстракции из топологии.

**УДК 621.3.049.77(076)**

**ББК 32.844.1я73**

**ISBN 978-985-488-720-3**

© УО «Белорусский государственный университет  
информатики и радиоэлектроники», 2011

## СОДЕРЖАНИЕ

ПЕРЕЧЕНЬ РУССКО- И АНГЛОЯЗЫЧНЫХ СОКРАЩЕНИЙ И УСЛОВНЫХ ОБОЗНАЧЕНИЙ.....	4
ВВЕДЕНИЕ.....	5
1. ОСНОВНЫЕ ПРАВИЛА ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ .....	6
1.1. Конструкторско-технологические требования к проектированию топологии .....	7
1.2. Файловые форматы хранения данных топологии ИМС .....	9
1.3. Правила построения и согласования параметров топологии элементов интегральных микросхем .....	10
1.4. Проектирование шин и размещение блоков в смешанных (аналогово- цифровых) схемах.....	18
1.5. Правила проектирования топологии Мида – Конвей .....	20
1.6. Особенности проектирования топологии пассивных компонентов .....	22
2. ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ КМОП ЗАКАЗНЫХ ИМС .....	24
2.1. Методы оптимизации топологии МОП-транзистора.....	26
2.2. Методы соединения и согласования МОП-транзисторов .....	32
2.3. Защита от эффекта защелкивания в КМОП-структуре.....	35
3. МАРШРУТ ПРОЕКТИРОВАНИЯ И ВЕРИФИКАЦИИ ТОПОЛОГИИ В ПРОГРАММНОМ КОМПЛЕКСЕ CADENCE .....	38
3.1. Компоновка электрической схемы .....	38
3.2. Описание топологии на примере КМОП-инвертора .....	39
3.3. Проектирование топологии в среде Virtuoso Layout Editor .....	43
3.4. Проверка топологии на соответствие правилам проектирования.....	48
3.5. Экстракция компонентов и межсоединений из топологии .....	50
3.6. Проверка топологии на соответствие электрической схеме .....	53
3.7. Моделирование схемы с учетом паразитных элементов .....	55
4. ИНДИВИДУАЛЬНЫЕ ЗАДАНИЯ ДЛЯ ЛАБОРАТОРНЫХ РАБОТ .....	57
5. КОНТРОЛЬНЫЕ ВОПРОСЫ .....	59
ЛИТЕРАТУРА.....	60

## ПЕРЕЧЕНЬ РУССКО- И АНГЛОЯЗЫЧНЫХ СОКРАЩЕНИЙ И УСЛОВНЫХ ОБОЗНАЧЕНИЙ

ИМС – интегральная микросхема

КМОП – комплементарная пара, состоящая из двух транзисторов типа «металл-окисел-полупроводник»

КП – контактная площадка

КТТ – конструкторско-технологические требования

МОП-транзистор – транзистор типа «металл-окисел-полупроводник»

МЭМС – микроэлектромеханическая система, устройство, объединяющее в себе микроэлектронные и микромеханические компоненты

САПР – система автоматизированного проектирования

СнК – система на кристалле

CIF – Caltech Intermediate Form, формат хранения данных топологии ИМС

CSD – Contact Source Drain, контактные области истока/стока МОП-транзистора

DRC – Design Rule Checking, контроль конструкторско-технологических требований

EDA – Electronic Design Automation, автоматизация проектирования электронных приборов

ERC – Electrical Rule Checking, контроль электрических проектных норм

FOX – Field Oxide, толстый углубленный слой окисла

GDSII – Graphic Data System II, формат хранения данных топологии ИМС

GPDK – Generic Process Design Kit, обобщенная обучающая КМОП-технология компании Cadence

LDD – Lightly Doped Drain, слаболегированные, мелкозалегающие области истока/стока, контактирующие с каналом

LVS – Layout Versus Schematic, сравнение топологической реализации схемы с ее исходным схемотехническим описанием

OASIS – Open Artwork System Interchange Standard, формат хранения данных топологии ИМС

## ВВЕДЕНИЕ

Основными проблемами проектирования современных систем-на-кристалле (СнК), содержащих миллионы полупроводниковых структур и микросистем, объединяющих на одной подложке не только устройства обработки информации, но также микро- и нанодатчики (температуры, давления, ускорения, скорости потока, состава веществ и др.) и МЭМС (микродвигатели, микронасосы, микросмесители, микрозажимы и т. д.) являются обеспечение бездефектности и сокращение времени проектирования. Учитывая крайне высокую функциональную сложность ИМС и СнК, решение данных проблем возможно лишь посредством использования различных алгоритмов оптимизации и методов автоматизации в системах компьютерного проектирования, опирающихся на мощную вычислительную базу.

Для реализации схемотехнического решения в кремниевом исполнении требуется редактор топологии (например, топологический редактор Cadence Virtuoso для Linux или L-Edit САПР Tanner EDA для Windows), средства размещения и трассировки блоков, контроль геометрических (DRC) и электрических (ERC) проектных норм, сравнение топологической реализации схемы с ее исходным схемотехническим описанием (LVS). Далее кристаллы наполняются конечной физической топологией, информация записывается в файлы формата GDSII, которые передаются на завод-изготовитель. Завод изготавливает набор шаблонов и реализует изделие в кремнии на своем оборудовании. Ответственность за функциональные характеристики ИМС полностью лежит на разработчике ИМС, в то время как кремниевая фабрика гарантирует качество технологического процесса.

В методическом пособии описаны общие правила проектирования топологии, оптимального расположения, согласования топологических фрагментов. Основное внимание уделено проектированию топологии на основе КМОП-технологии, которая позволяет получить оптимальные динамические характеристики ИМС – высокое быстродействие при минимальном потреблении мощности. Для ознакомления с функциональными возможностями топологического редактора Virtuoso Layout Editor компании Cadence [1] представлен маршрут проектирования топологии КМОП-инвертора начиная с этапа введения электрической схемы и заканчивая оптимизированной топологией по результатам post-layout-моделирования. Описаны возможности графического интерфейса, проверка правил проектирования, экстракция электрической схемы из топологии, верификация топологии с электрической схемой, моделирование схем с учетом экстракции из топологии.

Данное пособие является продолжением ранее выпущенной авторами серии учебно-методических изданий, посвященных описанию методов и программных средств, предназначенных для технологического [2, 3], схемотехнического [4] и топологического [5] проектирования изделий микроэлектроники.

## 1. ОСНОВНЫЕ ПРАВИЛА ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ

Топология ИМС – множество геометрических фигур, расположенных в различных топологических слоях. Топологические слои объединяют фигуры, которые будут нанесены на один фотошаблон. Некоторое множество фигур в одном или в нескольких топологических слоях объединяется в топологическую группу. Топологическая группа кроме геометрических фигур может содержать в себе ссылки на другие группы, формируя иерархическое описание топологии ИМС.

Топологический редактор позволяет либо непосредственно строить топологию из геометрических фигур, либо формировать ее из параметризованных ячеек, содержащихся в библиотеке. Используя базу данных, редактор позволяет редактировать топологию ячеек в соответствии с конкретными требованиями. После разработки топологии отдельных фрагментов с помощью соответствующей программы в диалоговом режиме осуществляется их размещение и трассировка межсоединений. После ввода описания топологии осуществляется ее верификация.

Программа контроля проектных норм работает непосредственно с топологией. Контроль осуществляется автоматически по значениям конструкторско-технологических требований (DRC-контроль) для используемой технологии. Любые выходы за рамки ограничений помечаются непосредственно на изображении топологии либо в текстовом виде, выводимом на экран монитора.

После завершения DRC-контроля программа восстановления электрической схемы преобразует описание топологии в описание электрической схемы в виде таблицы цепей (например, текстовое описание в Spice-формате). Эта таблица передается в программу верификации логических и электрических схем, где проводится перекрестная проверка описанной схемы на логическом и топологическом уровнях (LVS), а также повторное моделирование и верификация временных параметров. Затем таблица передается в программу контроля электрических проектных норм (ERC-контроль). Эта программа дополнительно использует еще и значения параметров транзисторов, полученные при восстановлении электрической схемы из топологии. В результате ее работы идентифицируются все нераспознанные или неправильно соединенные элементы, а также все нарушения электрических проектных норм.

Маршрут проектирования завершается преобразованием формата проектного файла в промежуточную форму, используемую для передачи проекта на кремниевые фабрики, например в формат GDSII или OASIS.

Проектирование топологии – процесс преобразования электрической или логической схемы в описание послойной реализации схемных компонентов (транзисторов, диодов, резисторов) и связей между ними в многослойной интегральной структуре.

Верификация топологии включает в себя контроль проектных норм, экстракцию (восстановление) электрической схемы из описания топологии, сравнение с исходной схемой и средства анализа найденных нарушений.

Главная цель разработки топологии интегральных микросхем – эффективное использование площади кристалла.

Однако необходимо учитывать, что характеристики ИМС, в частности, динамические, сильно зависят от паразитных емкостей и сопротивлений, определяемых топологией. Поэтому необходимо принимать компромиссные решения, которые учитывали бы оптимальное использование площади и получение хороших характеристик ИМС. В КМОП ИМС обычно используются прямоугольные конфигурации транзисторов, отличающиеся лишь различными отношениями ширины к длине канала в зависимости от требуемого значения крутизны характеристик транзистора [6].

### 1.1. Конструкторско-технологические требования к проектированию топологии

Конструкторско-технологические требования (КТТ, DRC) к процессу изготовления проекта в кремнии накладывают ограничения, которые должны быть учтены при проектировании топологического рисунка ИМС, например требования минимальной ширины объектов, допустимых технологией, требования на точные размеры объектов, требования на минимальные зазоры.

Ниже приведены КТТ (не полностью) для обобщенной обучающей КМОП-технологии компании Cadence (GPDК, Generic Process Design Kit) с *n*-карманом и шестью уровнями алюминиевой металлизации.

*Карманы к подложке* (*n*-карман, NWELL; *p*-карман, PWELL) (рис. 1.1, а):

1.1 – минимальная ширина кармана – 1 мкм;

1.2 – минимальный интервал между карманами с разными потенциалами – 1 мкм;

1.3 – минимальный интервал между карманами с одинаковым потенциалом – 0 или 1 мкм;

1.4 – минимальный интервал между карманами различного типа (если оба присутствуют) – 1 мкм.

*Активная область* (OXIDE) (рис. 1.1, б):

2.1 – минимальная ширина – 0,4 мкм;

2.2 – минимальное расстояние между активными областями – 0,3 мкм;

2.3 – минимальное расстояние активных областей исток/сток от края кармана – 0,5 мкм;

2.4 – минимальное расстояние активного слоя подложка/карман от края кармана – 0,5 мкм;

2.5 – минимальный интервал между активными областями различного легирования – 0 или 0,3 мкм.

*Поликремний* (POLY) (рис. 1.1, в):

3.1 – минимальная ширина – 0,18 мкм;

3.2 – минимальный интервал – 0,3 мкм;

3.3 – минимальное перекрытие поликремниевым (ПК) затвором активной области – 0,2 мкм;

3.4 – минимальное расстояние ПК от края активной области – 0,4 мкм;

3.5 – минимальное расстояние между ПК и активной областью – 0,2 мкм.

Области *n*- и *p*-типа проводимости (*n*- и *p*-канальные области, NIMP, PIMP) (рис. 1.1, г):

4.1 – минимальное расстояние между канальной областью и затвором, чтобы гарантировать адекватную ширину – 0,4 мкм;

4.2 – минимальное перекрытие канальной областью активной области – 0,2 мкм;

4.3 – минимальное перекрытие канальной областью контакта – 0,2 мкм;

4.4 – минимально допустимые ширина и интервал – 0,4 мкм.

Простой контакт к ПК (CONT) (рис. 1.1, д):

5.1 – точный размер контакта к ПК –  $0,2 \times 0,2$  мкм<sup>2</sup>;

5.2 – минимальное перекрытие ПК контакта – 0,2 мкм;

5.3 – минимальное расстояние между контактами – 0,2 мкм.

Простой контакт к активному слою (CONT) (рис. 1.1, е):

6.1 – точный размер контакта –  $0,2 \times 0,2$  мкм<sup>2</sup>;

6.2 – минимальное перекрытие контакта активной областью – 0,2 мкм;

6.3 – минимальное расстояние между контактами – 0,2 мкм;

6.4 – минимальное расстояние между контактом и затвором транзистора – 0,2 мкм.

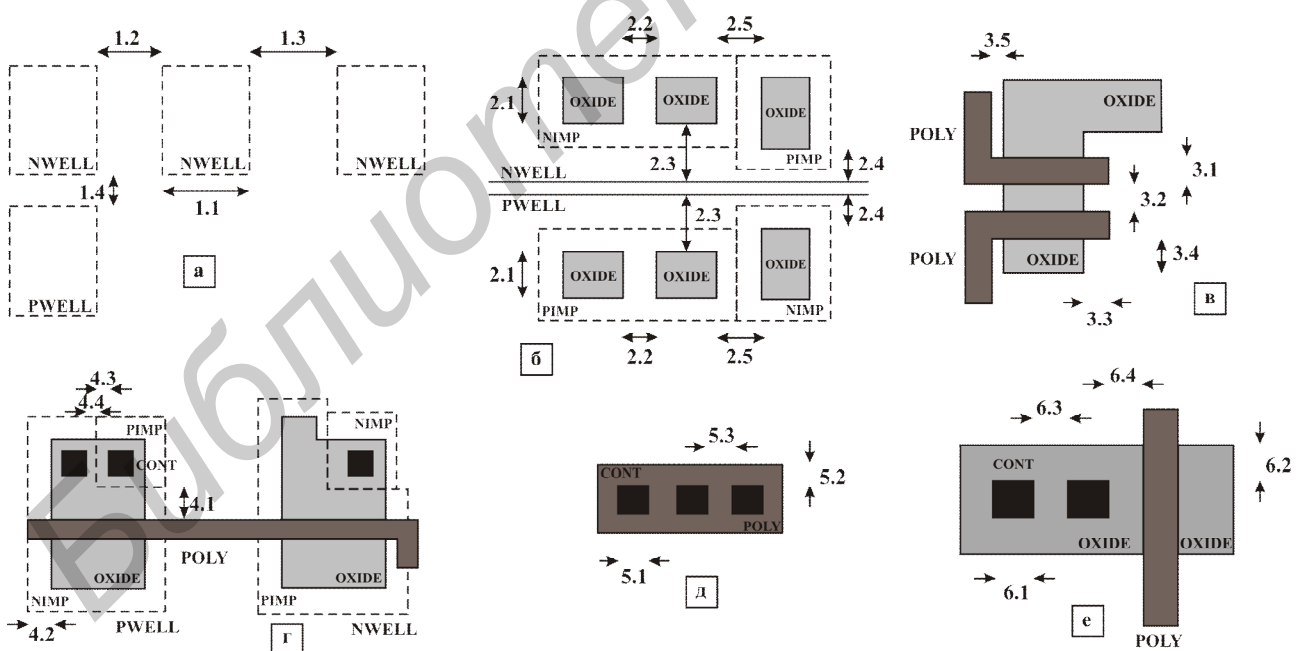


Рис. 1.1. КТГ к проектированию топологии:

а – карман к подложке; б – активная область; в – поликремний; г – области *n*- и *p*-типа проводимости; д – простой контакт к ПК; е – простой контакт к активному слою



## 1.2. Файловые форматы хранения данных топологии ИМС

Традиционно информация о топологии ИМС хранится в файле, имеющем специальный формат.

Промежуточная форма представления данных CIF2.0 (сокращение от «Caltech Intermediate Form»), разработанная в Калифорнийском технологическом институте, является средством описания графических элементарных групп (характеристик фотошаблона). Файлы в форме CIF создаются средствами САПР (топологическими редакторами) на базе других форм представления данных таких как символический язык геометрической структуры. Идея, положенная в основу этой формы записи, состоит в символьном описании каждого геометрического объекта с достаточной степенью точности.

Независимо от метода проектирования топологии полученные проекты преобразуются в форму CIF, являющуюся промежуточной формой представления данных, перед следующей трансляцией проекта применительно к различным форматам выходных устройств генерации изображений.

Наиболее распространенной формой представления данных топологии является GDS II (сокращение от «Graphic Data System II») – шестнадцатеричный формат файлов баз данных, являющийся де-факто промышленным стандартом для обмена данными по интегральным схемам и их топологиям. Данный формат описывает плоские геометрические формы, текстовые метки и иную информацию в иерархической форме. Данные могут использоваться для обмена между различными САПР или для создания фотошаблонов. Необходимо отметить, что файл в формате GDS II является кроссплатформенным. Владельцем формата является компания Cadence. Более современным форматом, который может заменить GDS II, является OASIS.

**Спецификация топологических слоев.** Каждый простейший элемент топологии, который является геометрической фигурой (многоугольник, прямоугольник, проводник), должен быть обозначен путем точного указания технологического фотошаблона, к которому он относится (табл. 1.1).

Таблица 1.1

Условное обозначение топологических слоев в форматах CIF2.0 и GDSII

Топологический слой	Обозначение слоя	
	в формате CIF	в формате GDSII
Активная область	Oxide	1
<i>p</i> -карман	Pwell	18
<i>n</i> -карман	Nwell	2
Поликремний	Poly	3
Контакт	Cont	6
Первый слой металлизации	Metal1	7
Межслойный контакт	Via1	8
Второй слой металлизации	Metal2	9

В формате CIF для спецификации слоя используется сокращенное наименование, а в формате GDSII – номер слоя. Наименования слоя или его номера используются в целях повышения четкости файла и для исключения необходимости согласования с многочисленными разработчиками и изготовителями.

### 1.3. Правила построения и согласования параметров топологии элементов интегральных микросхем

Интегральная технология позволяет получить высокую степень согласованности однотипных элементов. Однако для этого требуется применение специальных топологических методов, которые минимизируют негативные рассогласующие факторы, сопутствующие процессу изготовления и эксплуатации ИМС. Основные *причины рассогласования топологических элементов ИМС* и способы их устранения приведены в табл. 1.2 [7].

Таблица 1.2

Причины рассогласования топологических элементов и способы их устранения

Причина	Источник	Способ устранения
Геометрические погрешности	Различная геометрия элементов	Разделение элементов на одинаковые сегменты
Механические напряжения	Внешнее механическое воздействие на кристалл, корпусирование	Оптимальное расположение и ориентация на кристалле. Оптимальная форма и размер кристалла
Градиент механических напряжений		Минимизация расстояния между элементами и их оптимальное расположение на кристалле. Использование топологии элементов с общим центром при размещении элементов
Изменение геометрии элементов	Зернистость и дефекты	Оптимальный выбор размеров, ориентации и формы элементов
	Смещение масок	Разделение согласованных элементов на сегменты одинаковой геометрии
	Неравномерность травления	Добавление фиктивных элементов по краям рабочих элементов
Генерация напряжения	Термоэлектрический и пьезоэлектрический эффекты	Разделение элементов (резисторов) на четное число сегментов с соединением в различных направлениях
Изменение параметров элементов	Наличие соседних структур	Оптимальное расположение на кристалле относительно соседних диффузионных и поликремниевых структур
	Наличие контактов над рабочими областями	Избегание расположения контактов и проводников над затворами и телом резисторов, конденсаторов
Прочие	Электростатическое взаимодействие	Использование экранирования, оптимальный выбор концентрации примесей и материалов слоев
	Модуляция напряжением	
	Инжекция заряда	
	Диэлектрическая	

Ниже представлены *основные правила* построения согласованных элементов.

1. Согласованные элементы должны состоять из идентичных сегментов, организованных в массив.

2. Все сегменты в массиве согласованных элементов должны иметь одинаковую ориентацию.

3. Массивы сегментов согласованных элементов должны иметь минимально возможное расстояние между геометрическими центрами или (желательно) общий центр.

4. Следует принять меры по обеспечению равных условий для краевых и внутренних сегментов массива.

### ***Размещение согласованных элементов в массив с общим центром***

Согласованные элементы следует разделять на идентичные сегменты. Сегменты должны быть расположены симметричным образом в виде массива так, чтобы геометрический центр элемента находился на пересечении осей симметрии массива.

Целесообразно размещать два элемента так, чтобы у них были общие оси симметрии. В этом случае геометрические центры этих двух элементов совпадут (общий центр), что будет соответствовать нулевому расстоянию между элементами (рис. 1.2).

При совпадении геометрических центров исключается влияние рассогласующих факторов, связанных с наличием на кристалле разного рода градиентов параметров (градиентов толщин окисла, механических напряжений, температуры и т. д.).

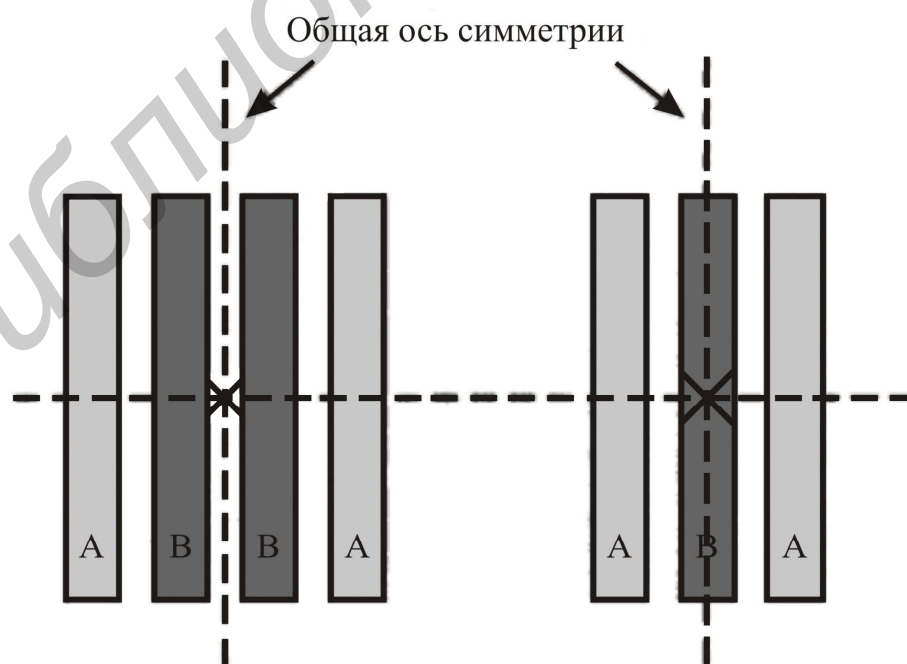


Рис. 1.2. Примеры размещения элементов с общим центром

При построении массива сегментов согласованных элементов с общим центром должны выполняться следующие правила.

1. *Совпадение.* Геометрические центры согласованных элементов должны совпадать.

2. *Симметрия.* Массив сегментов должен быть симметричен вокруг обеих X- и Y-осей. Эта симметрия должна быть результатом размещения сегментов в массиве, а не симметрии индивидуальных сегментов.

3. *Равномерность.* Сегменты каждого согласуемого элемента должны быть распределены по массиву настолько равномерно, насколько это возможно.

4. *Компактность.* Массив должен быть настолько компактным, насколько это возможно. В лучшем случае он должен быть почти квадратным.

На рис. 1.3 приведены примеры возможного построения массивов с общим центром из 2, 3 и 4 элементов с различными отношениями номиналов.

А В В А  
 А В С С В А  
 А В С D D С В А  
 А В А А В А  
 А В А В А А В А В А  
 А А В А А В А А  
 А В С А В С С В А С В А  
 А В С D D С В А А В С D D С В А  
 А А В А А А В А А А В А А А В А А

Рис. 1.3. Примеры организации согласованных элементов с общим центром

Чем более компактным будет выполнено размещение, тем менее восприимчивыми станут согласованные элементы к нелинейному изменению параметров.

Двумерный массив с общим центром обеспечивает более высокую степень симметрии. Размещения этого вида называются размещениями с перекрестными связями сегментов (рис. 1.4).

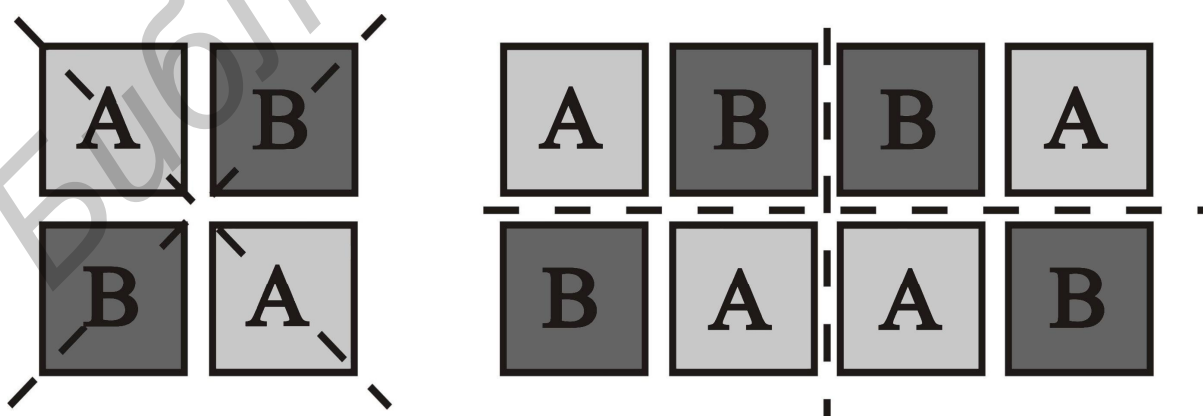


Рис. 1.4. Примеры построения массивов с перекрестными связями

Размещение с перекрестными связями является компактным и удовлетворяет правилу ориентации, т. е. два сегмента, принадлежащих элементу в согласованной паре, ориентированы в противоположных направлениях.

Размещение с перекрестными связями обеспечивает лучшую степень согласования, чем одномерные массивы, прежде всего из-за его компактности и равномерности.

### ***Уменьшение влияния механического напряжения и его градиента***

После корпусирования в кристалле возникают дополнительные механические напряжения, которые могут вызвать рассогласование элементов в прецизионных блоках. Механическое напряжение и его градиент минимальны в центре кристалла и в серединах его сторон, а максимальны в углах кристалла. В середине более длинной стороны механическое напряжение ниже, чем в середине короткой. Допустимые места расположения согласованных элементов на кристалле показаны на рис. 1.5.

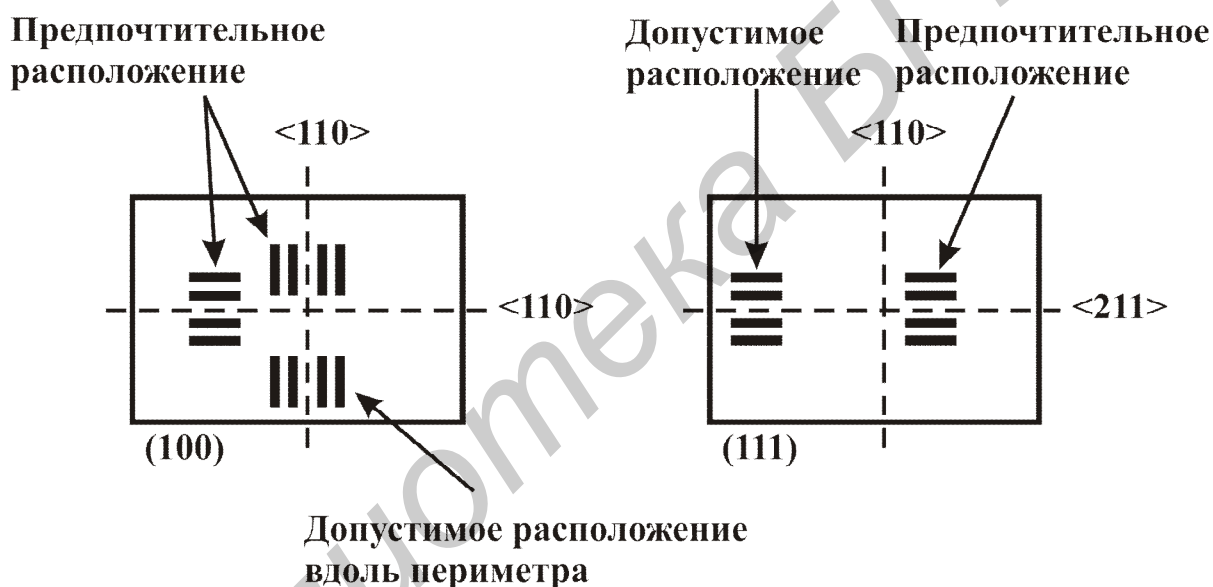


Рис. 1.5. Допустимые места расположения согласованных элементов на кристалле

Для уменьшения влияния механического напряжения и его градиента следует придерживаться следующих правил:

– согласованные элементы необходимо располагать на кристалле в местах с малым механическим напряжением и его градиентом (центр и середины сторон кристалла) (см. рис. 1.5);

– при выборе геометрии кристалла следует учитывать, что удлиненный кристалл имеет более высокие уровни напряжений, чем квадратный кристалл той же площади. При этом кристаллы с большей площадью обладают более высокими уровнями напряжений;

– согласованные элементы необходимо ориентировать вдоль осей с минимальной пьезочувствительностью (рис. 1.6).

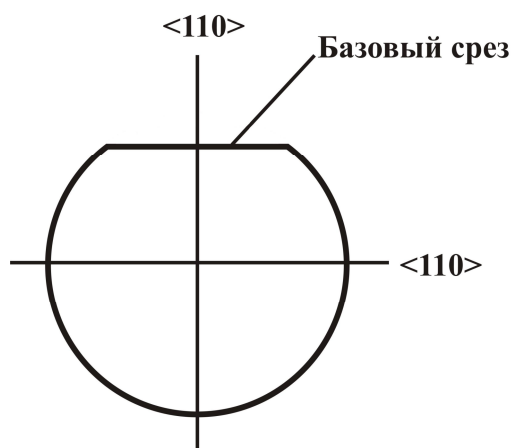


Рис. 1.6. Расположение осей  $\langle 110 \rangle$  с минимальной пьезочувствительностью для пластины с ориентацией  $\langle 100 \rangle$

**Уменьшение влияния температурного градиента.** Наличие на кристалле мощных источников тепловыделения приводит к рассогласованию элементов из-за ненулевых значений температурных коэффициентов и термоэлектрического эффекта.

Температурный градиент имеет максимальное значение вблизи периметра источника тепла. Оси симметрии тепловых распределений определяются корпусом и положением мощного элемента на кристалле. Приводимые ниже рекомендации позволяют уменьшить влияние температурных градиентов на степень согласования элементов.

Для уменьшения влияния температурного градиента необходимо:

- использовать четное число сегментов в резисторах, применяя соединение, компенсирующее термоэлектрический эффект (рис. 1.7);
- ориентировать оси симметрии массивов сегментов вдоль осей симметрии распространения тепла, т. е. перпендикулярно изотермам (рис. 1.8);
- ориентировать более протяженные сегменты в согласованных элементах вдоль осей симметрии распространения тепла (см. рис. 1.8).

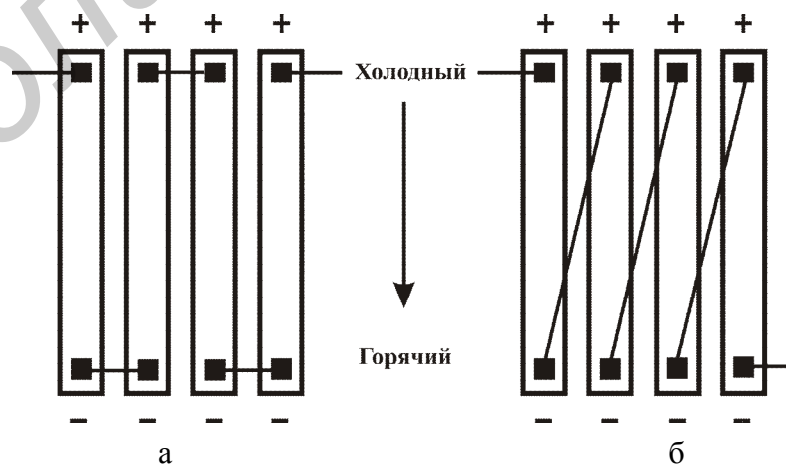


Рис. 1.7. Соединение резисторов:

а – с парной компенсацией термоэлектрического эффекта; б – недопустимое соединение

Оптимальные варианты размещения на топологии согласованных элементов учитывают как влияние источника тепла, так и влияние механических напряжений (см. рис. 1.8).

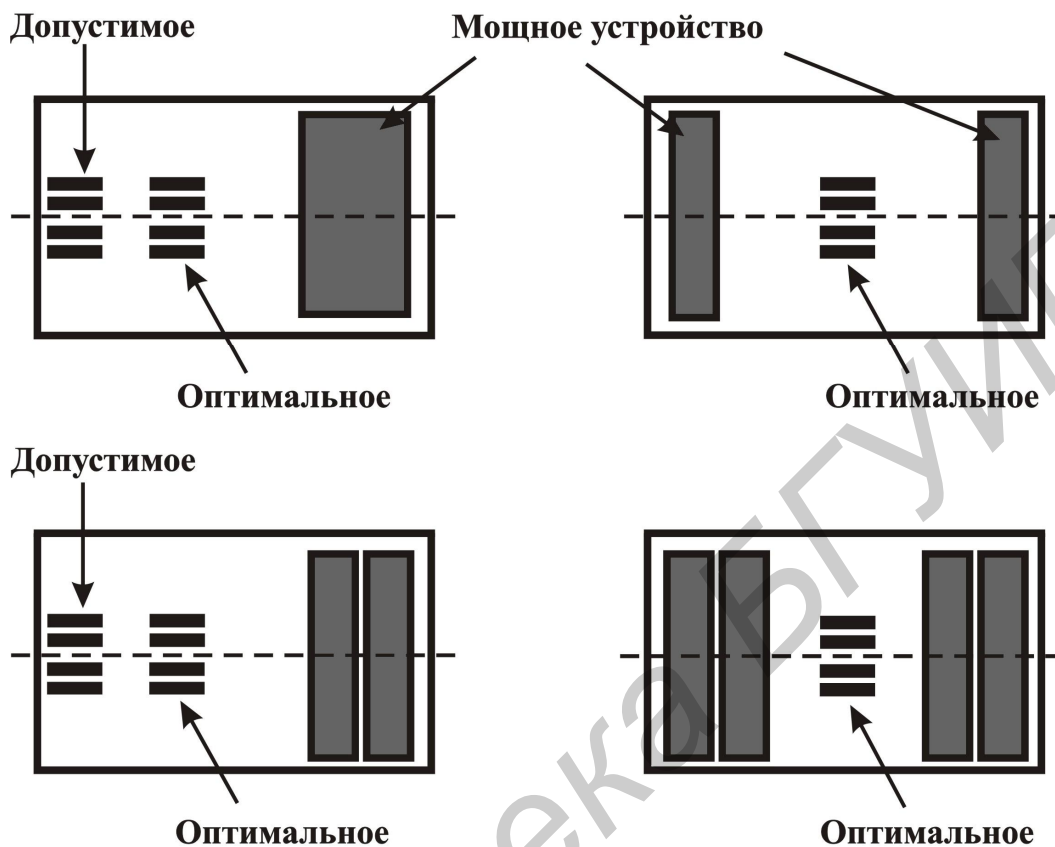


Рис. 1.8. Оптимальные варианты размещения согласованных элементов на кристалле с источником тепла

Основным способом уменьшения электростатического взаимодействия является электростатическое экранирование, которое заключается в размещении между источником паразитного поля и чувствительным элементом экрана из проводящего слоя (рис. 1.9). Для уменьшения электростатического взаимодействия с подложкой и сторонними шинами необходимо:

- размещать карман под поликремниевыми и диффузионными резисторами, а также под нижней обкладкой конденсатора;
- размещать металлический экран между согласованными резисторами и конденсаторами, и шинами, проходящими в верхних слоях металла.

Наиболее эффективно полное экранирование элемента с использованием как кармана под элементом, так и металлического экрана над элементом.

Экранирующие проводники обычно соединяют с узлами, потенциал в которых наиболее близок к потенциалу на экранируемом элементе либо к аналоговой земле или питанию.

Электростатическое экранирование позволяет также уменьшить влияние ряда паразитных эффектов, связанных с инжекцией заряда, поверхностной инверсией и т. п.

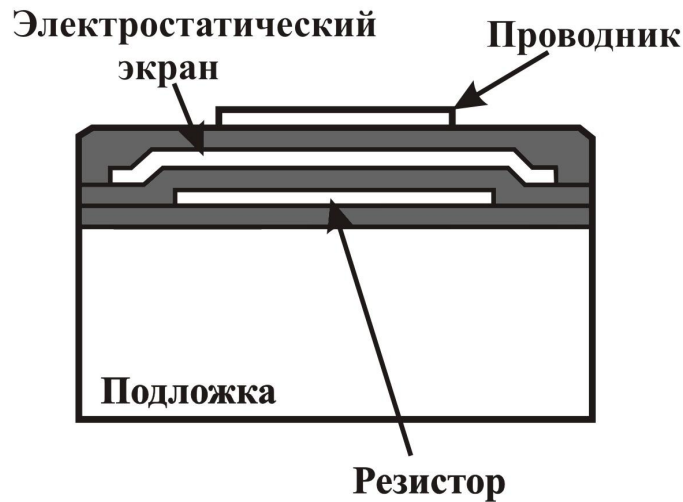


Рис. 1.9. Пример электростатического экранирования поликремниевого резистора

***Особенности пересечения металлом согласованных резисторов***

При небольшом количестве уровней металлизации (технологии с одним-двумя металлами), как правило, невозможно размещение экрана над резисторами. В этом случае:

- не рекомендуется пересечение сегментов согласованных резисторов проводниками, не связанными с их построением;
- допускается пересечение металлическими шинами с потенциалом, близким к локальному потенциалу резисторов в месте пересечения;
- необходимо обеспечить равные условия по количеству, геометрии и месту пересечения для всех сегментов согласованных резисторов (рис. 1.10);
- желательно пересекать резисторы в специально выделенных низкоомных удлинненных областях контакта к резистору (рис. 1.11).

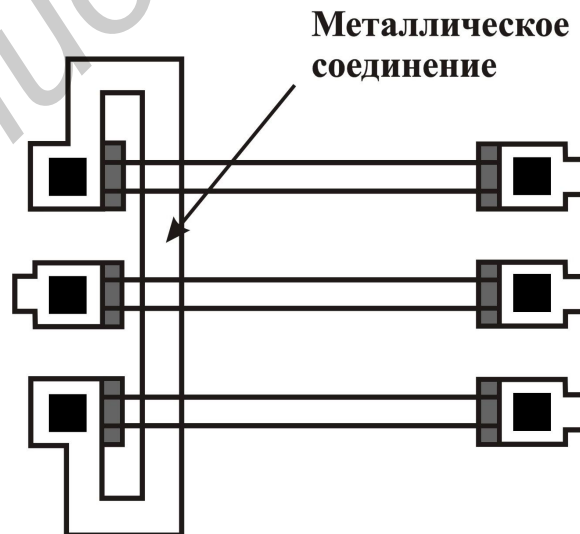


Рис. 1.10. Пересечение металлом согласованных резисторов



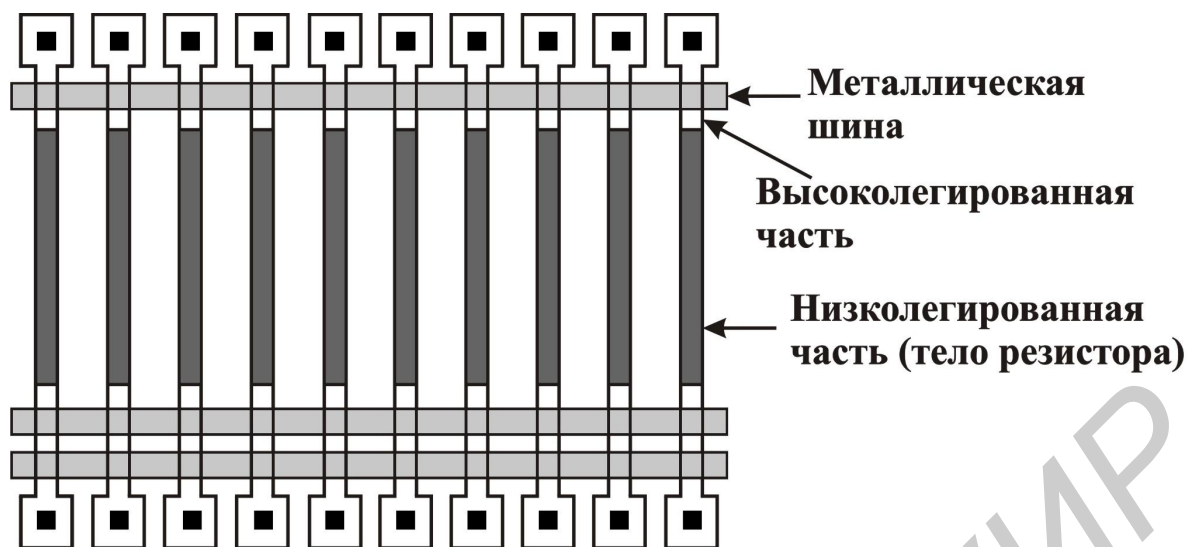


Рис. 1.11. Пересечение резисторов шинами металла по низкоомным областям

### **Уменьшение влияния соседних структур на согласование элементов**

Скорости травления и диффузии в локальных областях кристалла зависят от взаимного расположения элементов, что может явиться причиной рассогласования элементов.

Для уменьшения технологического влияния соседних элементов необходимо соблюдать следующие правила:

- области диффузии сторонних элементов должны располагаться вдали от каналов согласованных транзисторов, по крайней мере на расстоянии, большем, чем удвоенная глубина перехода диффузии;

- $p$ -МОП-транзисторы (для подложки  $p$ -типа) должны быть помещены на значительном расстоянии от границ окружающего их  $n$ -кармана;

- элементы, которые имеют высокую степень согласования, должны использовать фиктивные сегменты по краям массива (рис. 1.12 и 1.13);

- не рекомендуется использовать в качестве фиктивного сегмента непрерывное поликремниевое кольцо для поликремниевых элементов;

- недопустимо размещать контакты над затворами МОП-транзисторов;

### **Фиктивный сегмент**

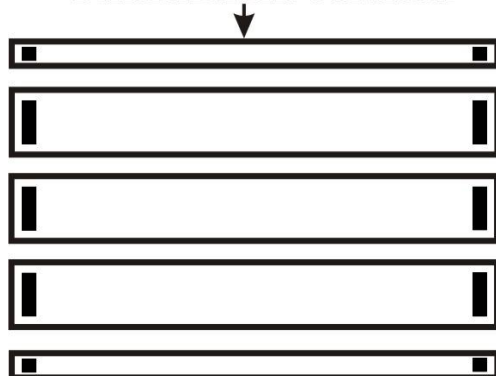


Рис. 1.12. Пример построения фиктивных сегментов для согласованных резисторов

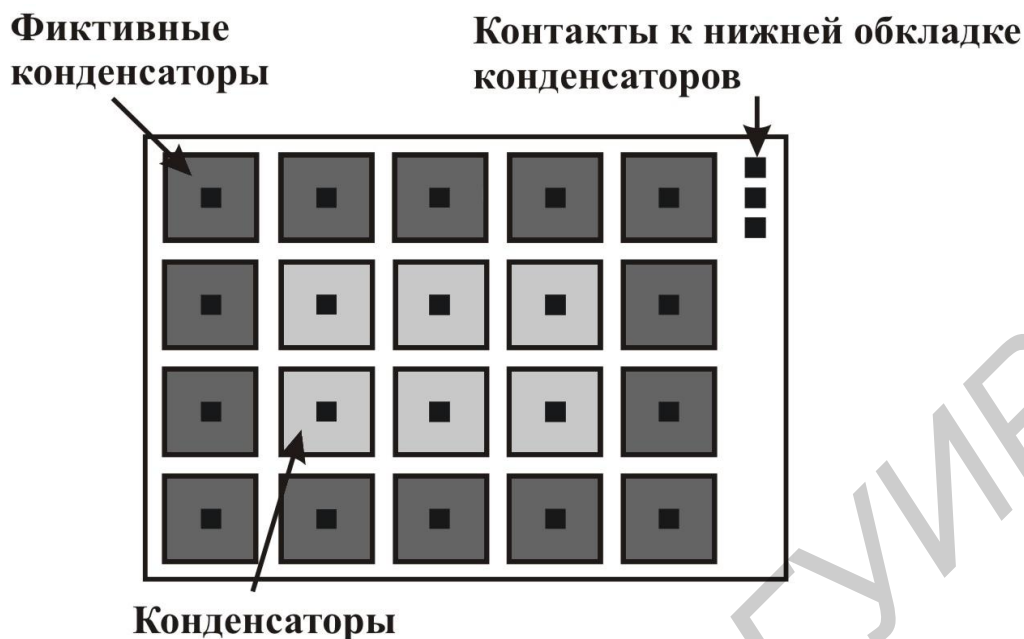


Рис. 1.13. Пример построения фиктивных сегментов для согласованных конденсаторов

#### 1.4. Проектирование шин и размещение блоков в смешанных (аналогово-цифровых) схемах

При проектировании аналогово-цифровых интегральных микросхем предъявляются особые требования к трассировке шин питания и общей шины («земли»), а также к взаимному размещению блоков, целью которых является минимизация взаимного влияния блоков.

##### *Проектирование шин питания*

При проектировании шин питания и общей шины рекомендуется:

- общую шину и шину питания выполнять достаточно широкими и использовать по возможности слой с наименьшим поверхностным сопротивлением (как правило, это верхний слой металлизации);
- минимизировать число переходов с одного уровня металлизации на другой;
- не допускать использования более высокоомных «подныров» (из поликремния и т. п.);
- разделять источники питания цифровых и аналоговых блоков;
- проводить питающие шины к различным аналоговым блокам схемы раздельно, объединять шины можно непосредственно у КП кристалла;
- не допускать большой плотности тока (для предотвращения разрушения шин из-за электромиграции алюминия Al плотность тока должна быть не более 1–2 мА/мкм<sup>2</sup>);

– обеспечить одинаковый потенциал в точках контактирования питающих шин к согласованным элементам, что достигается соответствующим выбором длины и ширины шины;

– разделять аналоговые и цифровые шины общей шиной.

Для уменьшения высокочастотных составляющих в напряжении питания часто используют RC-фильтры. Однако это может приводить к значительным потерям мощности из-за падения напряжения на резисторе. Другим методом является RLC-метод, который состоит во включении между шиной земли и питания последовательного RLC-контра (рис. 1.14).

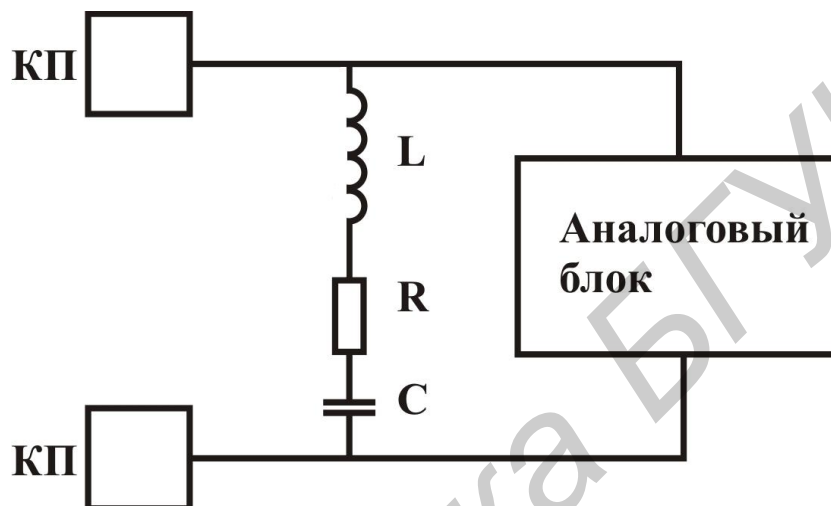


Рис. 1.14. RLC-метод уменьшения высокочастотных помех между общей шиной и шиной питания

### ***Размещение блоков***

При размещении блоков на кристалле выделяют области расположения цифровых и аналоговых блоков (рис. 1.15).

Для минимизации шумов по подложке со стороны цифровых блоков, между цифровыми и аналоговыми блоками используют разделительную полосу с контактированием к шине питающего подложку напряжения. Разделительная полоса состоит из трех линий, центральная из которых является глубокой диффузией (карман) и предназначена для разделения низкоомных слоев поверхности подложки.

Цифровые и аналоговые блоки должны быть окружены охранными кольцами с контактированием к отдельным цифровым и аналоговым шинам питания соответственно.



Рис. 1.15. Пример компоновки на кристалле цифровых и аналоговых блоков

### 1.5. Правила проектирования топологии Мида – Конвей

Основной тенденцией при проектировании ИМС является постоянное уменьшение минимального расстояния, в пределах которого может быть достигнуто успешное формирование элементов на пластине. При проектировании ИМС задаются не абсолютные размеры, а используются единицы, кратные некоторому параметру размера, обозначаемому  $\lambda$ . Этот параметр приблизительно равен максимальному значению случайного смещения границы топологического элемента, которое может возникнуть при его формировании на пластине. Наряду с другими факторами параметр  $\lambda$  ограничивает ширину проводника. Если она будет меньше  $2\lambda$ , то так как нельзя гарантировать положение границы проводника с точностью до  $\lambda$ , границы фактически могут попасть в одно и то же место, и тогда ширина проводника станет равной нулю. Технологический уровень изготовления ИМС характеризуется именно этим параметром, значение которого за последние десять лет изменялось следующим образом: (2–1,5–1,0–0,7–0,5–0,35–0,18–0,08) мкм.

Важным шагом на пути упрощения процесса проектирования топологии ИМС и ее конвертирования на новые проектные нормы явились правила, разработанные К. Мидом и Л. Конвей. Следуя им, проектировщик должен быть уверен, что его проект будет реализован производителями  $n$ -МОП ИС. При выполнении этих правил в топологии не должна измениться связность проводников, даже если все границы сдвинутся независимо друг от друга на любые расстояния вплоть до  $\lambda$ , но не включая его.

Правила проектирования топологии Мида – Конвей:

1. *Минимальная ширина проводников.* Проводники в поликремниевом и диффузионном слоях должны иметь ширину не менее  $2\lambda$ . Ширина металлических проводников должна составлять, по крайней мере,  $3\lambda$  (рис. 1.16).

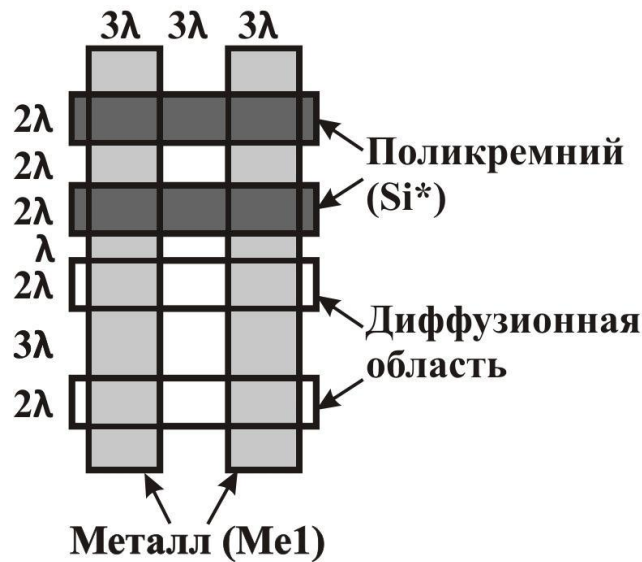


Рис. 1.16. Правила расположения проводников

2. *Минимальное расстояние между проводниками.* Промежутки между поликремниевыми проводниками должны составлять  $2\lambda$ , а между диффузионными и металлическими проводниками –  $3\lambda$ . Поликремниевые и диффузионные проводники, не предназначенные для формирования транзисторов, должны быть разнесены, по крайней мере, на  $\lambda$  (см. рис. 1.16).

3. *Формирование транзисторов.* Поликремниевый проводник должен выступать за пределы диффузионной области на  $2\lambda$ . Несоблюдение этого правила может привести к короткому замыканию стока и истока (рис. 1.17).

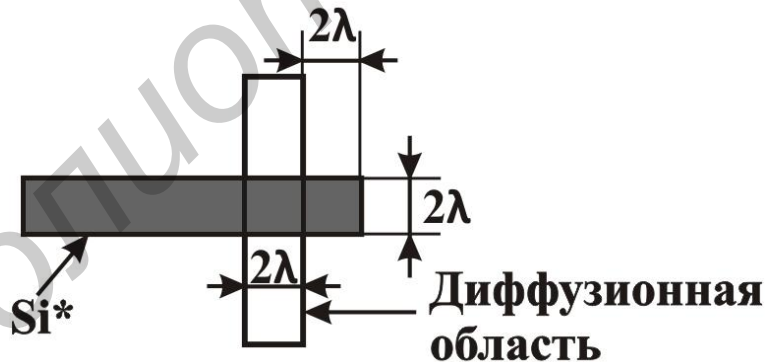


Рис. 1.17. Правило формирования транзистора

4. *Формирование контактов.* Контакты выполняются в виде перекрывающихся квадратов со стороной  $4\lambda$  в каждом из контактирующих слоев. В центре этого квадрата выполняется контактное окно в виде квадрата со стороной  $2\lambda$  (рис. 1.18).

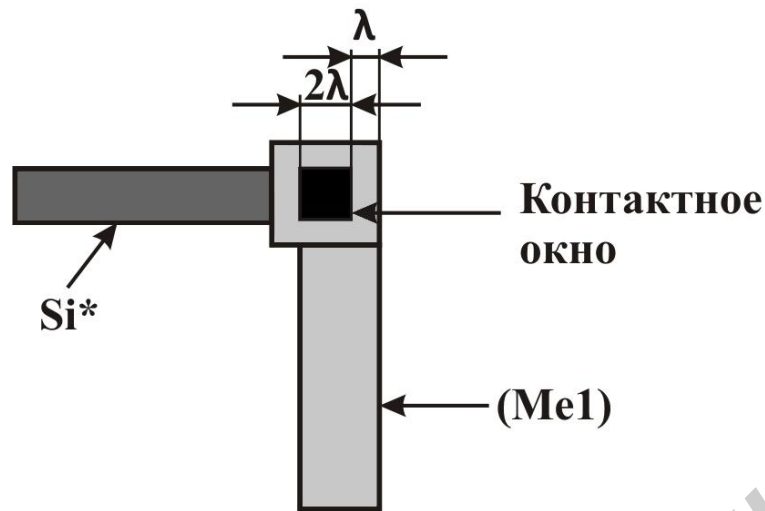


Рис. 1.18. Контакт слоев металл – поликремний

## 1.6. Особенности проектирования топологии пассивных компонентов

### *Согласование интегральных резисторов*

Резисторы, которые необходимо согласовать, разделяются на сегменты с одинаковой геометрией и объединяются в массивы.

Сегменты согласованных резисторов должны содержать не менее 5 квадратов, обычное число квадратов в сегменте около 20.

Сопротивление, соответствующее дробному числу сегментов, предпочтительно получать последовательно-параллельным соединением сегментов.

Желательно использовать максимально возможную в заданных условиях ширину квадрата резистора для получения большей степени согласования.

Для построения согласованных резисторов необходимо:

- выполнять согласованные резисторы из одинакового материала;
- ориентировать согласованные резисторы в одинаковом направлении;
- использовать размещение с общим центром для массивов сегментов согласованных резисторов;
- использовать фиктивные сегменты на краях массива;
- подключать согласованные резисторы так, чтобы исключить термоэлектрические эффекты;
- располагать согласованные резисторы в областях с низким механическим напряжением;
- располагать согласованные резисторы вдали от мощных источников тепла.

### *Согласование интегральных конденсаторов*

Оптимально согласованные конденсаторы обеспечивают наилучшую степень согласования по сравнению с другими интегральными элементами.

Конденсаторы, подлежащие согласованию, разделяются на квадратные сегменты, которые объединяются в массивы. Массивы сегментов согласован-

ных конденсаторов размещаются по двумерным схемам с общим центром (в частности, можно использовать топологию с перекрестными связями сегментов).

Желательно использовать максимально возможную в заданных условиях емкость конденсатора для достижения наилучшей степени согласования.

Допускается только параллельное соединение сегментов в согласованных конденсаторах, так как при последовательном соединении значительную погрешность вносят паразитные емкости нижних обкладок. В связи с этим получение емкости с дробной частью емкости сегмента затруднено.

В прецизионных схемах нежелательно использовать нитридные и оксинитридные диэлектрики между обкладками конденсатора из-за их подверженности диэлектрической поляризации.

Для построения согласованных конденсаторов необходимо:

- использовать квадратные сегменты в матрицах согласованных конденсаторов;
- использовать большие по площади конденсаторы;
- использовать размещение с перекрестными связями (с общим центром) в массиве сегментов согласованных конденсаторов;
- размещать фиктивные конденсаторы вокруг внешнего края массива;
- использовать электростатическую защиту для согласованных конденсаторов;
- уменьшать емкости проводников, соединяющих согласованные конденсаторы;
- не проводить металл по согласованным конденсаторам, за исключением электростатической защиты;
- использовать диэлектрики из оксида кремния вместо нитридных для исключения влияния эффектов диэлектрической поляризации;
- располагать конденсаторы в областях с низким градиентом механического напряжения;
- располагать согласованные конденсаторы вдали от мощных источников тепла.

## 2. ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ КМОП ЗАКАЗНЫХ ИМС

К классу полностью заказных ИМС относят схемы, реализующие проекты частного применения. Такими проектами могут быть однокристалльные микропроцессорные ИС, ИМС, реализующие быстрое преобразование Фурье, специальные сопроцессоры, процессоры и т. п. Можно говорить, что такие проекты содержат произвольные логические построения. Заказные ИМС проектируются снизу вверх (от проектирования логического элемента до функциональной реализации). При такой методологии достигаются оптимальные параметры на каждом иерархическом уровне представления проекта. В качестве технических показателей заказных ИМС используются тактовая частота работы, площадь кристалла, на котором реализован проект, мощность рассеяния на единицу площади кристалла, степень интеграции [8].

В КМОП ИМС благодаря экстремальным и фиксированным значениям логических уровней ( $U(0) = VSS$ ,  $U(1) = VDD$ ), не зависящим от параметров транзисторных структур (крутизна, пороговое напряжение) и, следовательно, от их топологии, отпадает необходимость топологического расчета на основе статических требований. Обусловленную этим свободу выбора можно использовать для проектирования КМОП ИМС с топологией, которая позволяет получить оптимальные динамические характеристики – высокое быстродействие при минимальном потреблении мощности.

Для минимизации потребляемой мощности необходимо уменьшать как отношение  $W/L$ , так и абсолютное значение длины канала. При расчете геометрических размеров транзистора длина его канала выбирается равной минимально допустимому значению – минимально допустимой ширине поликремния на  $n^+$ ,  $p^+$ -области. Ширину канала определяют исходя из требований, предъявляемых к крутизне.

Топология МОП-транзистора с каналом  $p$ -типа по площади приблизительно вдвое больше, чем МОП-транзистора с каналом  $n$ -типа. Такая разница обусловлена необходимостью компенсации различия в подвижности дырок и электронов в тех схемах, где нужна согласованность быстродействия элементов схемы. Если в некоторых конкретных применениях согласование быстродействия несущественно, то площади транзисторов с различным типом проводимости каналов могут быть сделаны одинаковыми.

### **Особенности КМОП-технологии**

Исторически сложилось так, что в производстве *длинноканальных* КМОП ИМС использовалась технология с карманами  $p$ -типа, которая требует минимального числа технологических операций. КМОП-технология с карманами  $p$ -типа обеспечивает лучшую симметрию параметров  $n$ - и  $p$ -канальных транзисторов.

Однако в настоящее время для *короткоканальных* субмикронных транзисторов используется технология с карманами  $n$ -типа. Она позволяет получать повышенные рабочие характеристики  $n$ -канальных МОП-транзисторов, кото-



рые в этом случае изготавливаются в подложке без инверсии ее типа проводимости.

Базовый технологический маршрут изготовления КМОП ИС по субмикронным нормам с *n*-карманом требует использования самосовмещенного поликремниевого затвора для создания LDD-областей (слаболегированные, мелкозалегающие области истока/стока, контактирующие с каналом, Lightly Doped Drain), имплантации мышьяка для *n*-канального транзистора или бора для *p*-канального транзистора в контактные области истока/стока (CSD, Contact Source Drain).

Особое значение в современной КМОП-технологии имеет разграничительная прослойка (спейсер), которая выполняет роль самосовмещенной маски при имплантации ионов в контактные сток-истоковые области и при силицидации этих областей в глубокосубмикронной технологии. Спейсер является элементом, определяющим последовательное сопротивление МОП-транзистора, короткоканальный эффект и эффект горячих носителей.

КМОП-структура с индуцированными каналами формируется на слаболегированной подложке *p*-типа (рис. 2.1, а). Окислением через маску нитрида кремния  $\text{Si}_3\text{N}_4$  (нитрид кремния не окисляется, поэтому окисел прорастает и вверх, и вниз) получают разделительный слой  $\text{SiO}_2$  – толстый углубленный слой окисла (FOX, Field Oxide) и удаляют  $\text{Si}_3\text{N}_4$  (рис. 2.1, б, в). Границы разделительных слоев образуют так называемые окна, определяющие места расположения будущих транзисторов.

Следующая операция – легирование канала (рис. 2.1, г) – применяется для корректировки порогового напряжения и снижения напряжения прокола. Далее формируют подзатворный оксид кремния (рис. 2.1, д), наносят на него слой поликремния и получают рисунок затворов и поликремниевых проводников.

Ионным легированием без дополнительной маски формируют мелкозалегающие и слаболегированные истоки и стоки (LDD-области, *n*- и *p*-области) (рис. 2.1, е). Наличие LDD-области дает возможность увеличить напряжение питания на 30 % и уменьшить влияние горячих носителей.

При формировании областей истоков и стоков ранее сформированный затвор служит маской для доноров или акцепторов. В результате происходит самосовмещение краев областей истока и стока с краями поликремниевого затвора. Самосовмещение обеспечивает минимальные емкости затвор – исток, затвор – сток и высокое быстродействие транзистора.

Далее, при последующей имплантации, для создания контактных *n*<sup>+</sup>- и *p*<sup>+</sup>-областей (CSD-области) происходит совмещение с краем спейсера (рис. 2.1, ж, з). Так как сопротивление поликремния весьма высокое, то вместо него для получения затворов и проводников иногда используют силициды тугоплавких металлов, имеющие на порядок меньшее удельное сопротивление (2–4 Ом/м), или сами металлы (сопротивление менее 0,1 Ом/м).

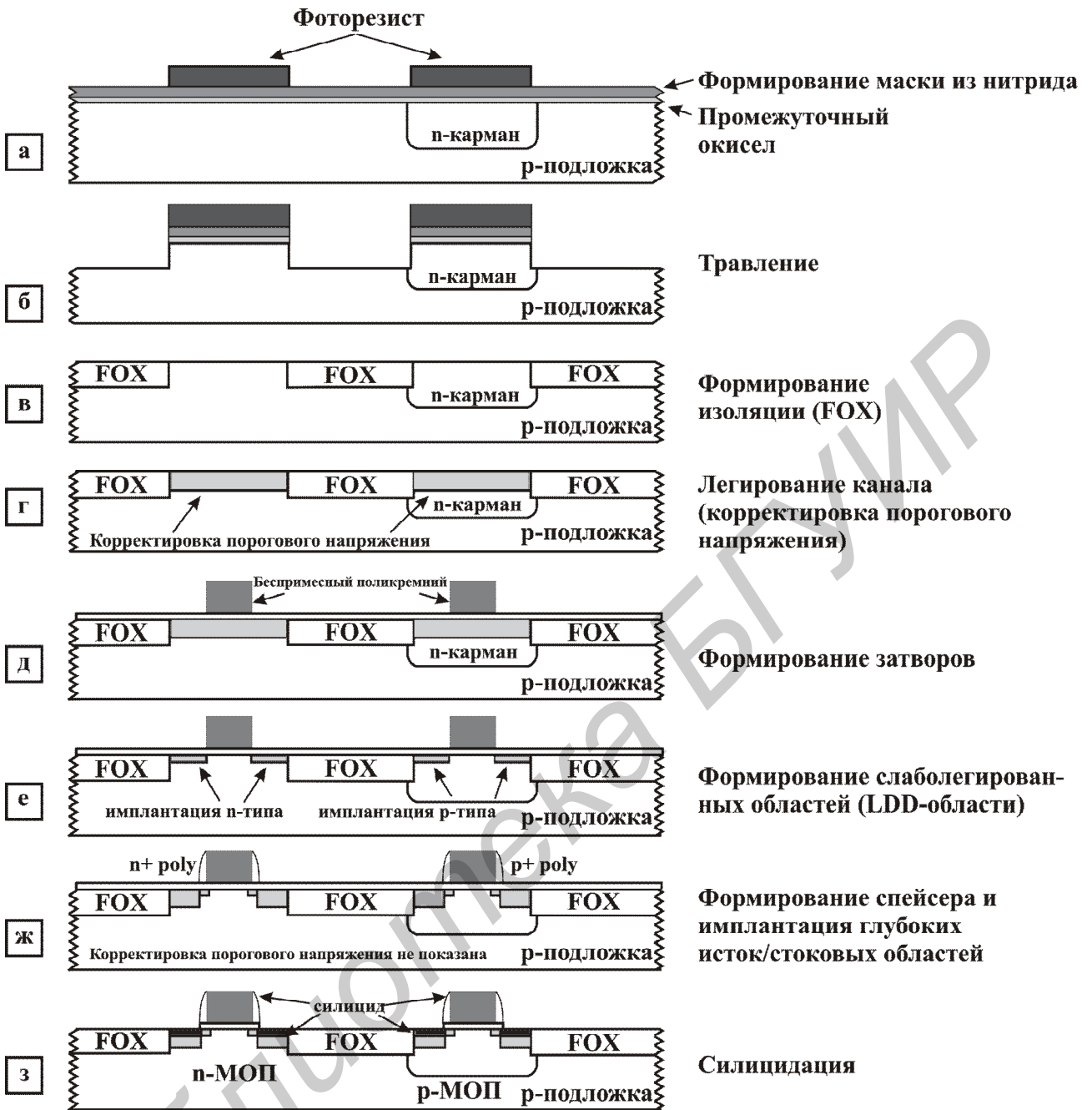


Рис. 2.1. Базовый технологический маршрут КМОП-технологии

### 2.1. Методы оптимизации топологии МОП-транзистора

На рис. 2.2 показана базовая топология МОП-транзистора, который имеет длину канала ( $L$ ) 0,2 мкм и ширину канала ( $W$ ) 20 мкм. Диффузионные области истока и стока должны быть заполнены максимальным количеством контактов, чтобы уменьшить сопротивление соединения металлизации и диффузионной области и максимально увеличить ток, который может протекать через контакты.

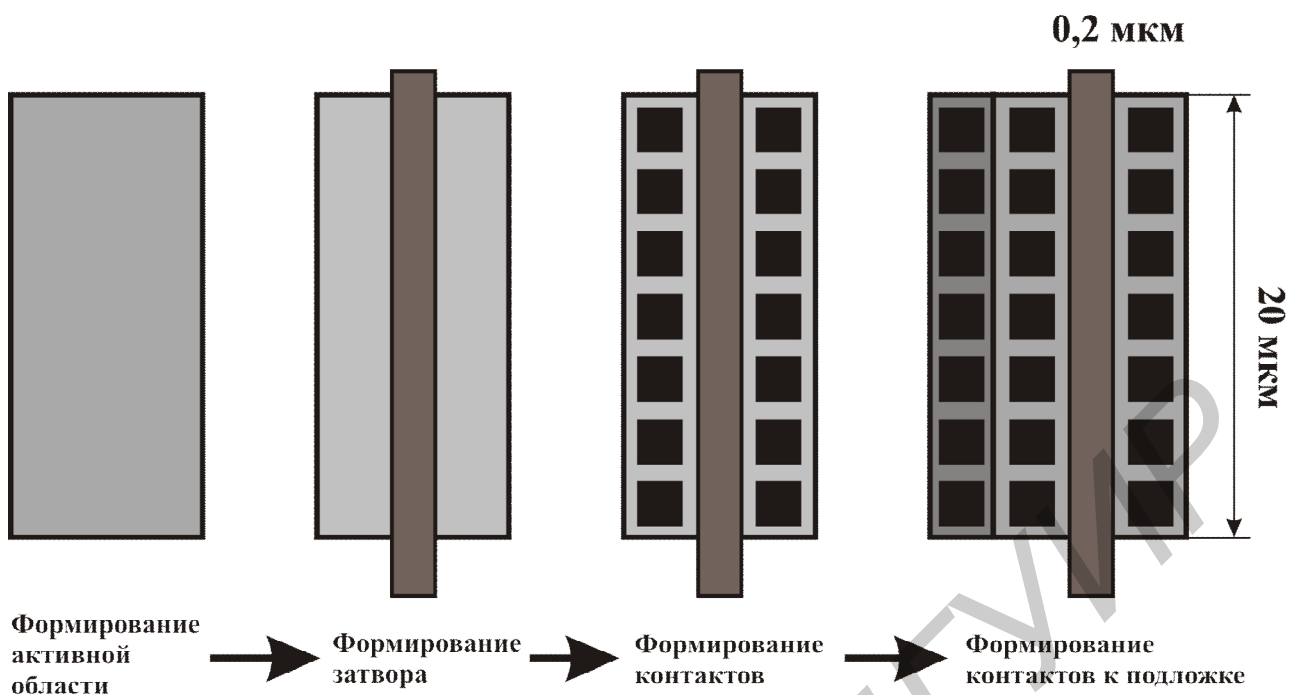


Рис. 2.2. Этапы формирования топологии МОП-транзистора

Особенности, которые следует учитывать при проектировании топологии МОП-транзистора:

- паразитные сопротивления истока и стока должны быть настолько низкими, насколько это возможно;
- следует минимизировать паразитные емкости;
- парные элементы должны быть максимально согласованы.

Согласно первому правилу разработчик должен учитывать, что диффузионные области истока и стока имеют слоевое сопротивление. Только несколько относительных квадратов достигают сопротивления сотен ом: даже при токе в 10 мкА возможно падение напряжения на милливольты. Поэтому, как показано на рис. 2.2, следует использовать множество контактов к областям истока и стока, чтобы избежать паразитных поперечных падений напряжения. Множество контактов, помещенных на минимальном расстоянии друг к другу, придают поверхности металлических соединений бóльшую гладкость, чем при использовании одного большого контакта. Такая топология предотвращает появление микротрещин в металле, которые могут стать источниками отказов [9].

### **Оптимизация топологии МОП-транзистора**

Транзисторы с большой шириной канала имеют высокое значение отношения ширины канала к его длине. Разработка компактной топологии таких транзисторов не представляется возможной. Топология транзистора может быть изменена путем разбиения его на параллельно соединенные сегменты (от англ. *fingers* – «пальцы»). Например, транзистор с шириной канала 20 мкм и длиной 0,2 мкм соответствует параллельному соединению четырех транзисторов с шириной канала 5 мкм и длиной 0,2 мкм (рис. 2.3).

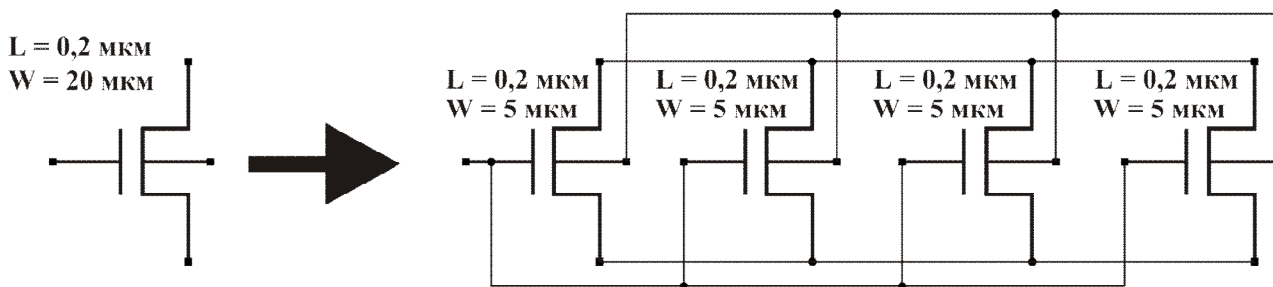


Рис. 2.3. Разделение МОП-транзистора на сегменты

На рис. 2.4 показана топология транзистора, разделенного на четыре сегмента. Такой вариант топологии имеет лучшее значение аспектного соотношения геометрии транзистора.

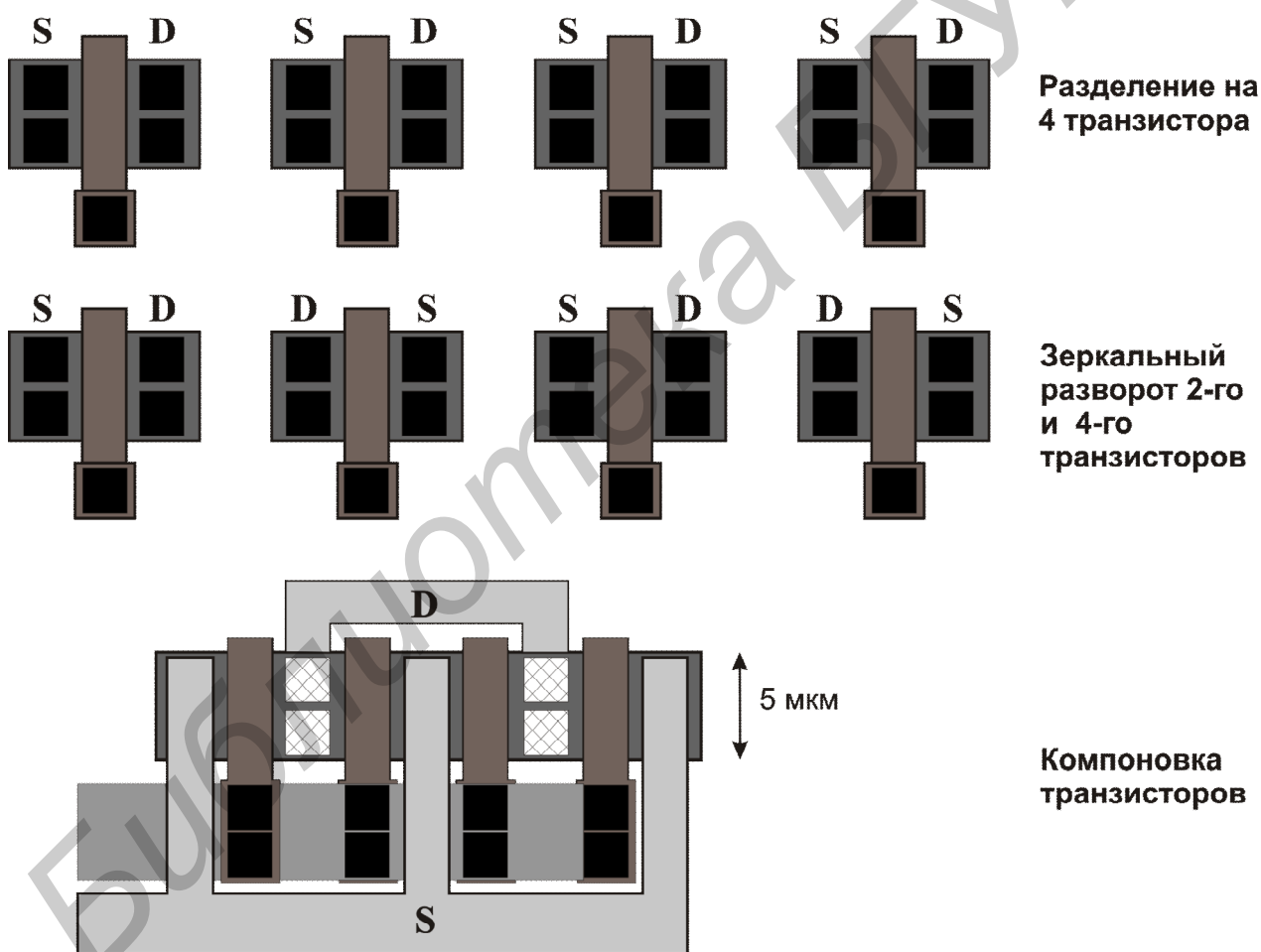
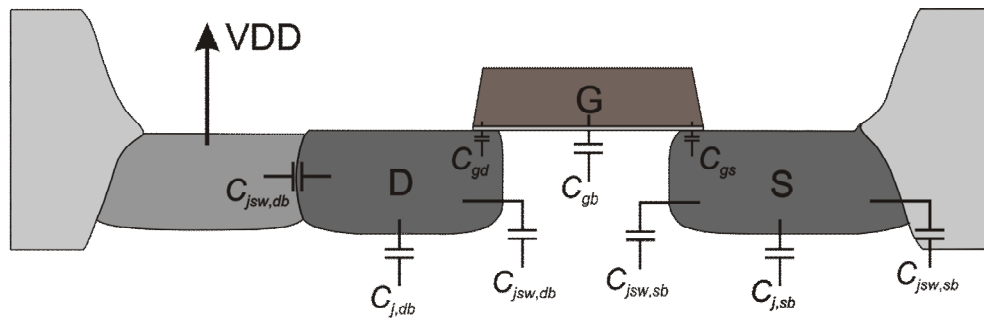


Рис. 2.4. Топология МОП-транзистора, состоящего из четырех сегментов

Для улучшения параметров быстродействия транзистора необходимо уменьшать значения его паразитных емкостей и сопротивлений. На рис. 2.5 показана упрощенная схема возникновения паразитных емкостей истока, затвора и стока транзистора к подложке.



$j_{sw}$  – боковая емкость перехода  
 $j$  – емкость перехода  
 $gb$  – затвор-подложка  
 $db$  – сток-подложка  
 $sb$  – исток-подложка

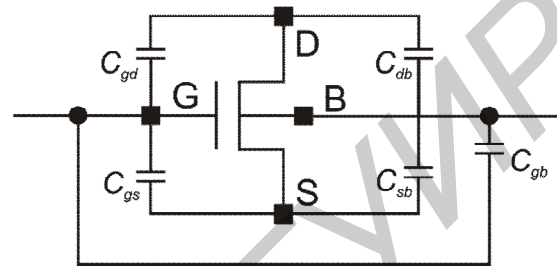


Рис. 2.5. Паразитные емкости МОП-транзистора

Полная емкость  $C_{sb}$  зависит от площади истока (AS) и периметра истока (PS). Точно так же полная емкость  $C_{db}$  зависит от площади стока (AD) и периметра стока (PD). Емкости  $C_{sb}$  и  $C_{db}$  включают компоненты, которые зависят от параметров диффузии. Значения AS, AD, PS и PD транзистора могут быть извлечены из топологии. Уменьшение емкости истока и стока позволяет улучшить частотную характеристику транзистора.

Транзисторы, разбитые на сегменты, имеют меньшее сопротивление (рис. 2.6). Такая конструкция обладает повышенным быстродействием.

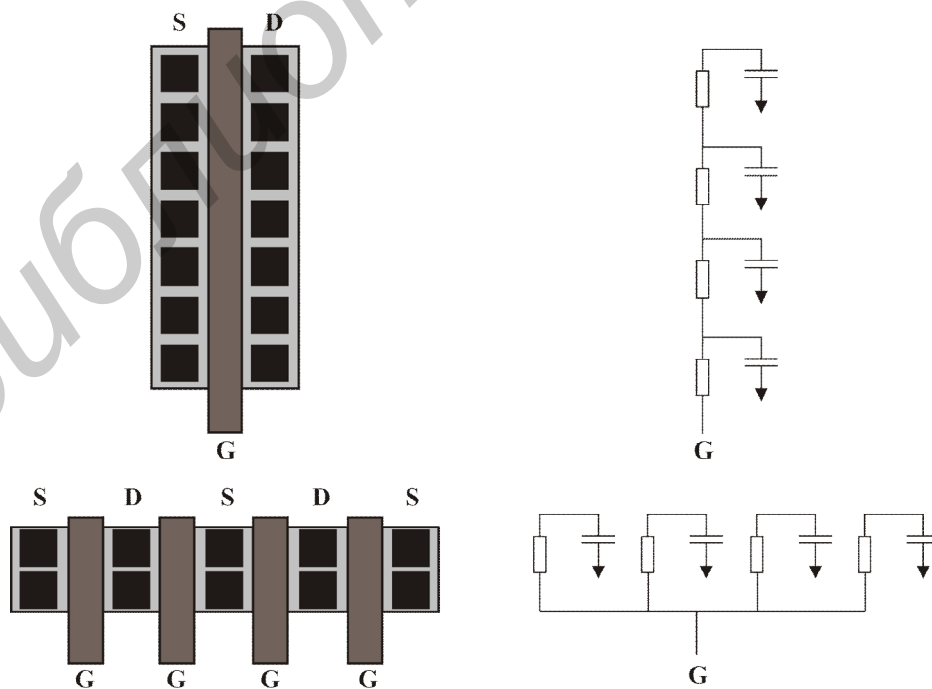


Рис. 2.6. Эквивалентное сопротивление и емкость поликремниевого затвора

Удельное сопротивление поликристаллического кремния в несколько раз выше, чем удельное сопротивление металла. Паразитные емкости между поликремнием и подложкой, между металлом и поликремнием намного больше, чем паразитная емкость между металлом и подложкой. Следовательно, использование поликремния для межсоединений приводит к ухудшению частотных характеристик транзистора (рис. 2.7, а), если не оптимизирована трассировка поликремния. В варианте топологии на рис. 2.7, а используется поликремний и металл для соединения затворов. В варианте на рис. 2.7, б используется только металл для соединения. Вариант на рис. 2.7, с наиболее популярен для конструкции с множеством контактов на затворе. Для улучшения производительности контакты затворов в топологии помещены вдали от транзисторов и параллельно диффузии, чтобы увеличить расстояние между диффузией и поликремнием. Транзистор в первом варианте будет обладать наихудшей частотной характеристикой из-за дополнительных паразитных емкостей металл – поликремний и поликремний – подложка.

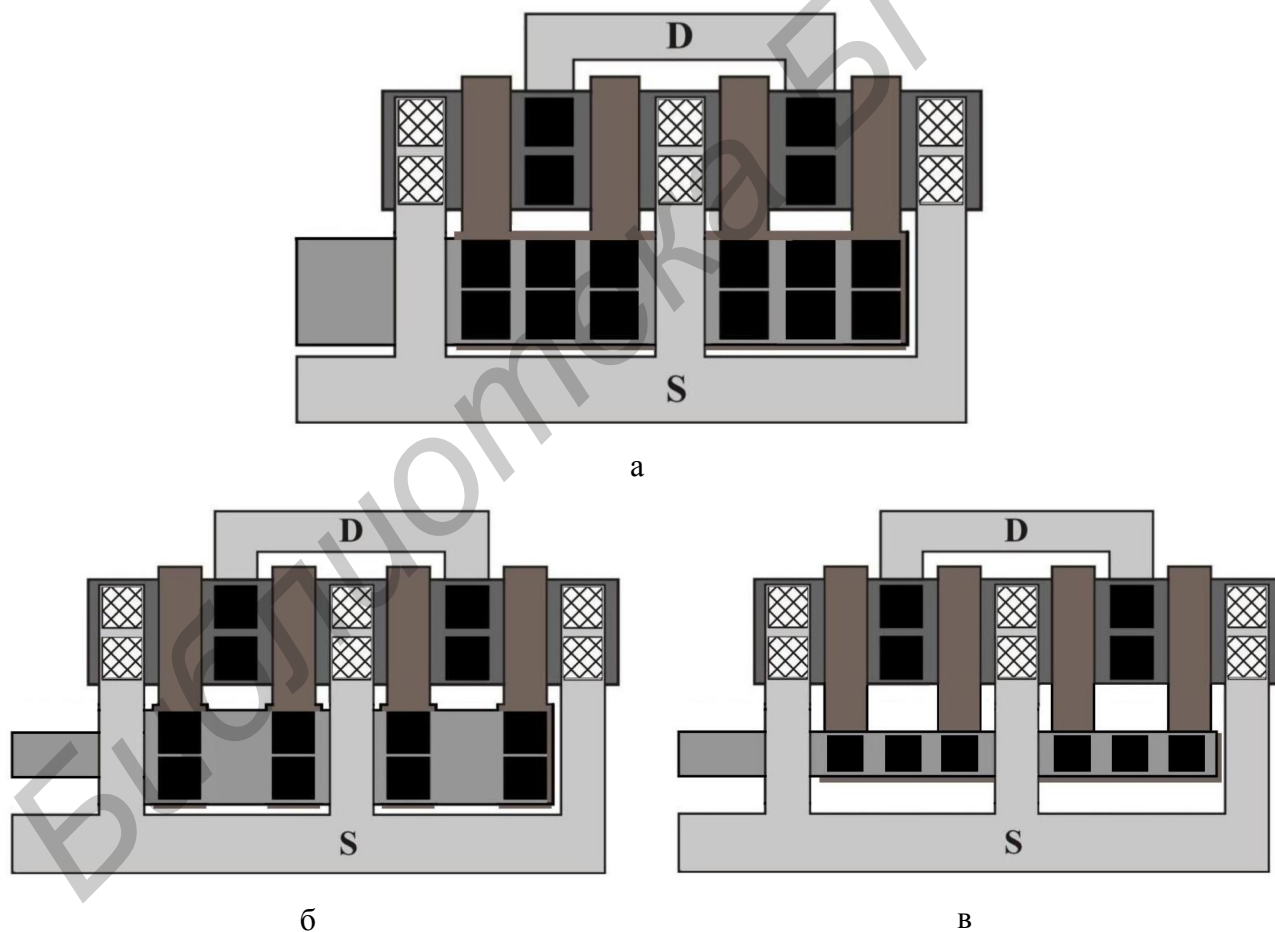


Рис. 2.7. Варианты соединения поликремниевых затворов

**Защита от пробоя подзатворного диэлектрика.** Подзатворный диэлектрик, который находится под поликремнием, имеет малую толщину. Если заряд, накопленный на поликристаллическом кремнии, достигает высоких значе-

ний, то он может привести к разрушению подзатворного окисла. Это явление называется «антенный эффект».

Максимальная величина заряда, который может быть накоплен на поликремнии, пропорциональна его площади. Таким образом, эффективным способом предотвращения антенного эффекта в топологии является его учет в правилах проектирования для соответствующей технологии. Для предотвращения возникновения антенного эффекта следует руководствоваться следующими правилами:

- минимизировать использование поликремния для трассировки;
- минимизировать использование поликремния для соединения логических элементов.

Возможно использование диодов для защиты от антенного эффекта. Однако диоды эффективны только для его предотвращения в металлических шинах и не помогают избежать эффекта в поликремнии. Причиной этого является то, что диоды формируются в диффузионной области, а поликремний осаждается на подложку раньше, чем имплантация истока и стока. Следовательно, диод не существует в то время, когда поликремний осажден на подложку.

Помимо предотвращения антенного эффекта, следует принимать и другие меры защиты затворов:

- не помещать контакты и межслойные контакты непосредственно над затвором транзистора;
- избегать трассировки межсоединений над затворами критичных транзисторов (рис. 2.8, а);
- избегать трассировки межсоединений над рабочими областями критичных транзисторов.

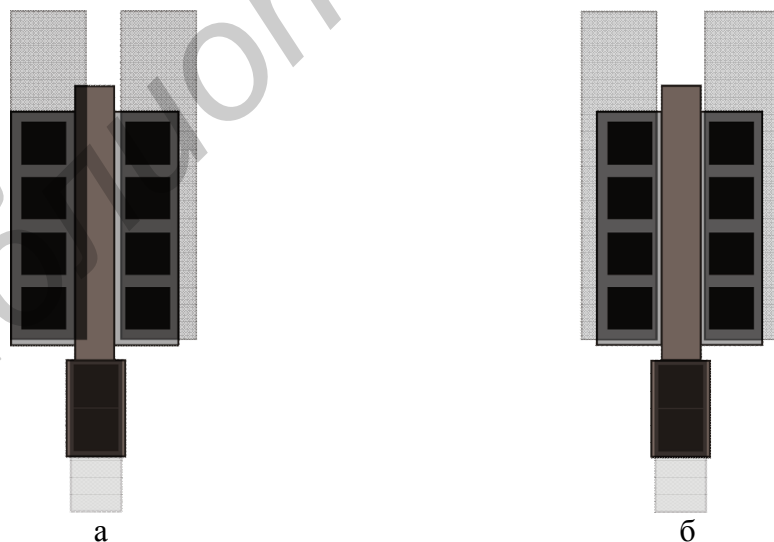


Рис. 2.8. Трассировка транзистора широкими шинами металла:  
а – нежелательный вариант, когда затвор перекрывается металлизацией;  
б – оптимальный вариант

Исключением для аналоговых схем является трассировка по активным областям несогласованным МОП-конденсаторов для минимизации длинных связей. В цифровых схемах допускается трассировка над рабочими областями транзисторов.

## 2.2. Методы соединения и согласования МОП-транзисторов

Различные варианты соединений транзисторов и их топологическая реализация представлены на рис. 2.9. Быстро распознать топологию логических элементов 2И-НЕ, 2ИЛИ-НЕ позволяет следующее правило:

– для схемной реализации логического элемента 2И-НЕ необходимо два контакта к шине *Питание* («запитываются» два истока *p*-канальных транзисторов) и один контакт к шине *Земля* («заземляется» один исток *n*-канального транзистора); для логического элемента 2ИЛИ-НЕ необходимо «одно питание – две земли». В топологической реализации вентилях используют три или более контактов к истоковым областям транзисторов для того, чтобы надежно соединить шины *Питание* и *Земля* [10].

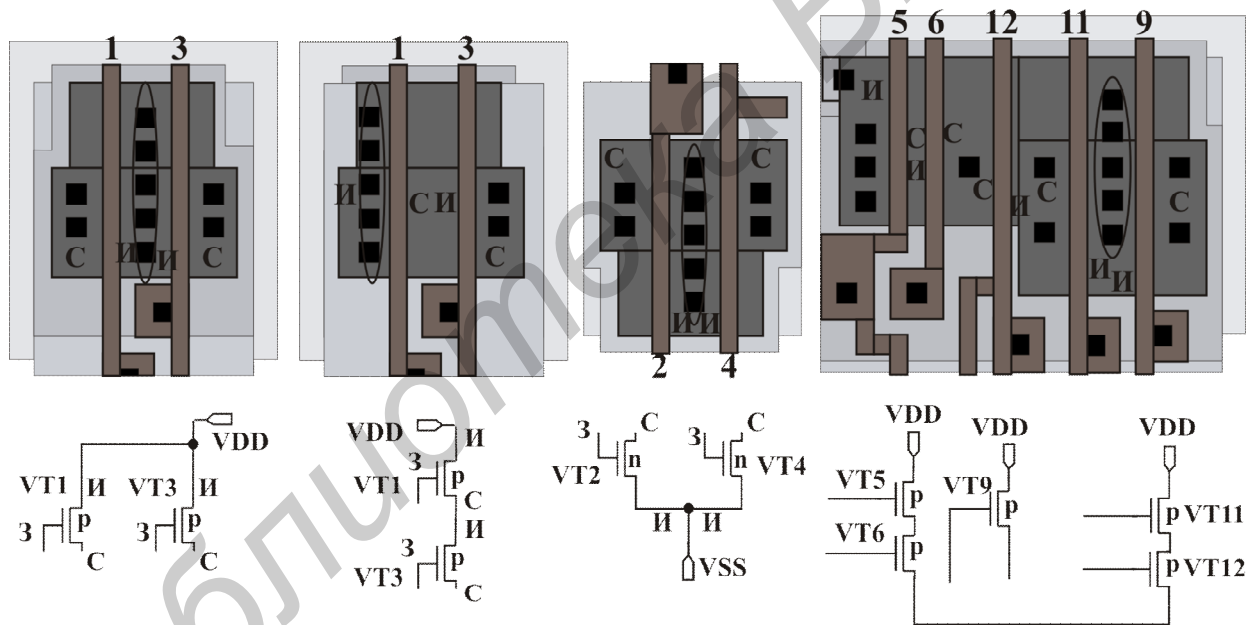


Рис. 2.9. Варианты соединения транзисторов и их топологическая реализация

На рис. 2.10 приведена топологическая реализация элемента 2И-НЕ. Изучая топологию логического элемента, видим две группы контактов к истоковым областям *p*-канальных транзисторов (слева и справа две *n*-области для смещения кармана) и два вертикально расположенных вывода шины *Питание*, одну группу контактов к истоковой области *n*-канального транзистора (слева *p*-область для смещения подложки) и один вертикальный вывод шины *Земля*.



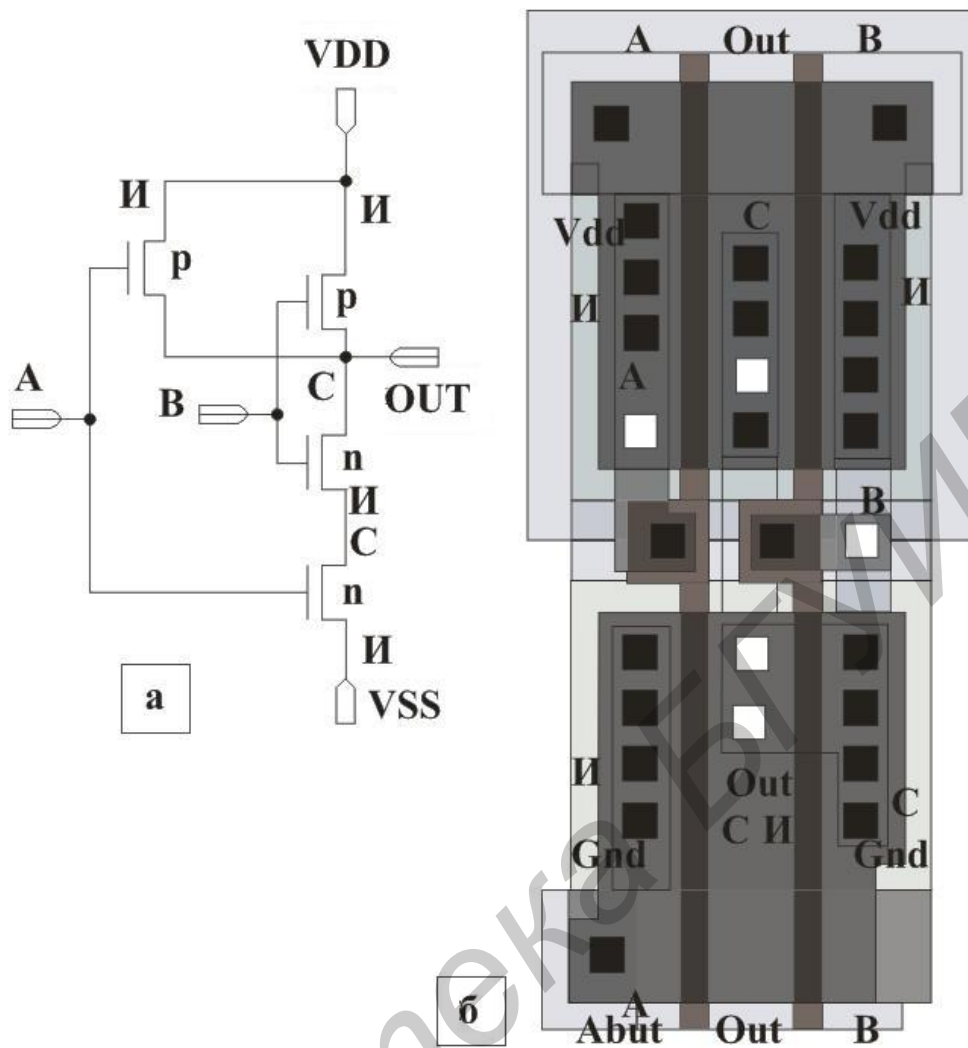


Рис. 2.10. Логический элемент 2И-НЕ:  
 а – электрическая схема; б – топологическая реализация

**Согласование МОП-транзисторов.** Как правило, *n*-канальные транзисторы обеспечивают лучшую степень согласования, чем *p*-канальные при прочих равных условиях.

МОП-транзисторы, которые необходимо согласовать, разделяются на сегменты, или пальцы, позволяющие построить компактный массив. Самый простой тип массива – размещение нескольких сегментов транзистора параллельно. При этом допускается объединение общих истоков и(или) стоков. На рис. 2.11 показан пример топологии пары согласованных МОП-транзисторов с общим центром и фиктивными элементами. На рис. 2.12 показан пример топологии пары согласованных МОП-транзисторов с перекрестными связями и фиктивными элементами.

Для обеспечения лучшей степени согласования желательно выбирать максимально возможную для данного применения площадь затворов транзисторов.

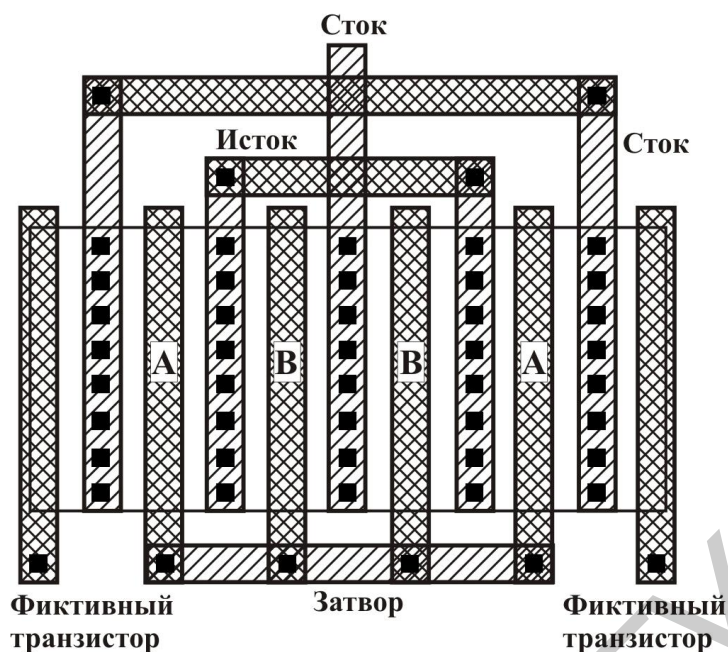


Рис. 2.11. Пример топологии пары согласованных транзисторов

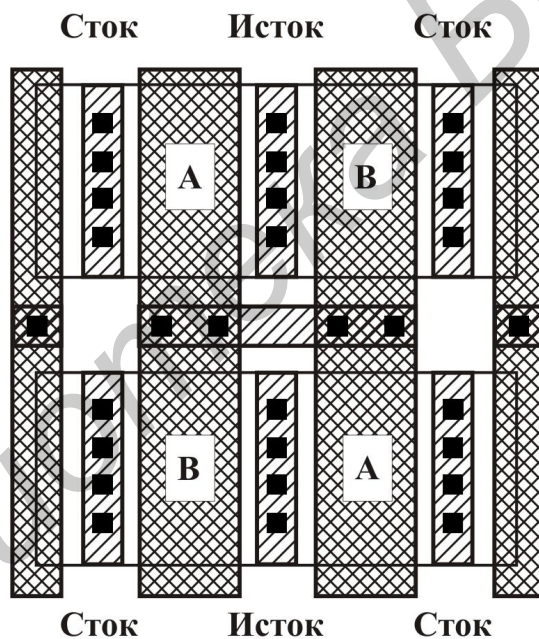


Рис. 2.12. Пример топологии пары согласованных транзисторов с использованием перекрестных связей

- Для построения согласованных МОП-транзисторов необходимо [11]:
- использовать идентичную геометрию сегментов;
  - использовать по возможности большие по площади затворы транзисторов;
  - ориентировать транзисторы в одинаковом направлении;
  - использовать компактное размещение согласованных транзисторов;
  - применять размещение с общим центром или с перекрестными связями сегментов;

- располагать фиктивные элементы по краям массива транзисторов;
- размещать транзисторы в областях с низким градиентом механического напряжения;
- размещать транзисторы вдали от мощных источников тепла;
- не размещать контакты над затворами транзисторов;
- не проводить металл через затворы транзисторов;
- избегать размещения согласованных транзисторов рядом с элементами, имеющими глубокую диффузию;
- соединять затворы транзисторов, набранных из сегментов, используя металлические связи.

### 2.3. Защита от эффекта защелкивания в КМОП-структуре

В интегральной КМОП-технологии существует потенциальная опасность взаимного расположения элементов, приводящего к образованию паразитных тиристорных структур. Типовой случай такой структуры приведен на рис. 2.13.

Ток в  $p-n-p-n$ -структуре протекает от истока  $p$ -канального транзистора, подключенного к шине *Питание*, к истоку  $n$ -канального транзистора, подключенного к шине *Земля*.

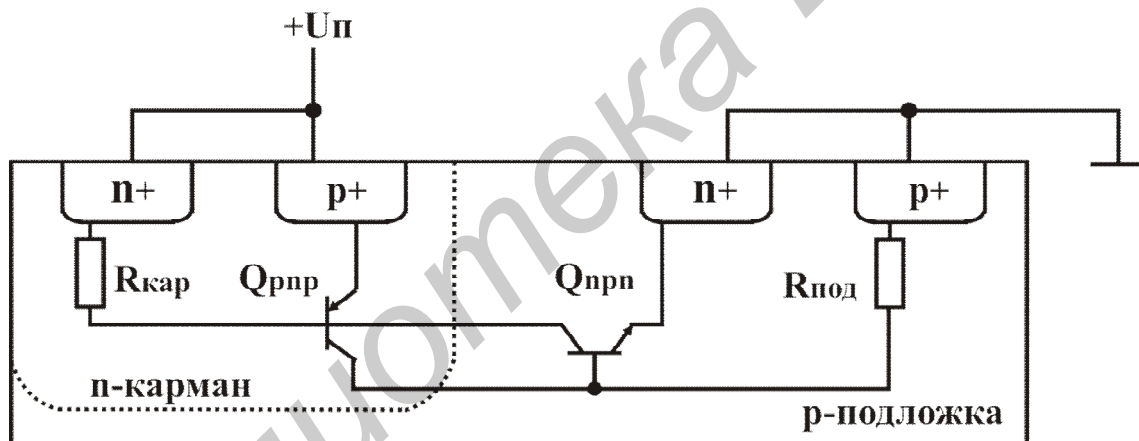


Рис. 2.13. Паразитная тиристорная структура в стандартной КМОП-технологии

**Критерии возможности проявления тиристорного эффекта.** Опасность проявления паразитного тиристорного эффекта возникает в случае, если выполняются следующие условия:

- напряжение удержания паразитного тиристора меньше максимального напряжения питания:  $U_{уд} < U_{п}$ ;
- произведение коэффициентов усиления базового тока транзисторных  $p-n-p$  и  $n-p-n$  структур больше единицы:  $\beta_{pnp}\beta_{npn} > 1$ .

#### **Методы защиты от включения паразитного тиристора**

Тиристорного эффекта можно избежать, если не выполняются условия его возникновения, т. е.  $U_{уд} > U_{п}$  или  $\beta_{pnp}\beta_{npn} < 1$ .

Для выполнения условий целесообразно:

- располагать элементы, подверженные тиристорному эффекту, на большом расстоянии друг от друга;
- располагать контакты к отрицательному и положительному питанию на минимальном расстоянии от активных элементов;
- размещать двойные  $n^+/p^+$ -контакты на возможном пути протекания тока тиристора в местах подключения к отрицательному и положительному источникам питания;
- размещать охранные кольца вокруг и между структурами, которые в совокупности могут образовать паразитный тиристор;
- размещать структуры, чувствительные к защелкиванию, вдали от источников, приводящих к их включению;
- располагать  $p$ - и  $n$ -канальные транзисторы зеркально друг относительно друга;
- уменьшать токи, инжектируемые в подложку.

Необходимая степень защиты от тиристорного эффекта во многом определяется местом его потенциального возникновения, а именно:

- в узлах входа/выхода вокруг контактных площадок;
- во внутренних блоках, расположенных вблизи контактных площадок, и внутренних блоках, имеющих непосредственную или емкостную связь с контактной площадкой;
- во внутренних блоках, удаленных от контактных площадок и не имеющих с ними связей.

Для защиты узлов входа/выхода от тиристорного эффекта, как правило, используются двойные охранные кольца, которые окружают структуры, образующие в совокупности паразитный тиристор.

Двойные охранные кольца защищают собственно выходные узлы от тиристорного эффекта. Для защиты окружающих и внутренних блоков полезно применять дополнительные охранные кольца вокруг всей выходной структуры.

Для защиты внутренних блоков от включения тиристора используются технологические методы и специальные правила построения топологии.

Двойные охранные кольца используются во внутренних блоках только в случае непосредственной или емкостной связи с контактной площадкой или при охране источников инжекции (диодов в прямом включении).

При проектировании топологии необходимо придерживаться требований, которые предъявляются к допустимому расстоянию от контакта к отрицательному или положительному питанию до границы активного элемента. При этом обеспечивается защита от включения паразитного тиристора. Это расстояние, как правило, указывается в проектных топологических нормах изготовителей микросхем.

Увеличение сопротивления истоков в местах, подверженных тиристорному эффекту (рис. 2.14, б) способствует увеличению напряжения удержания, что уменьшает вероятность проявления тиристорного эффекта.

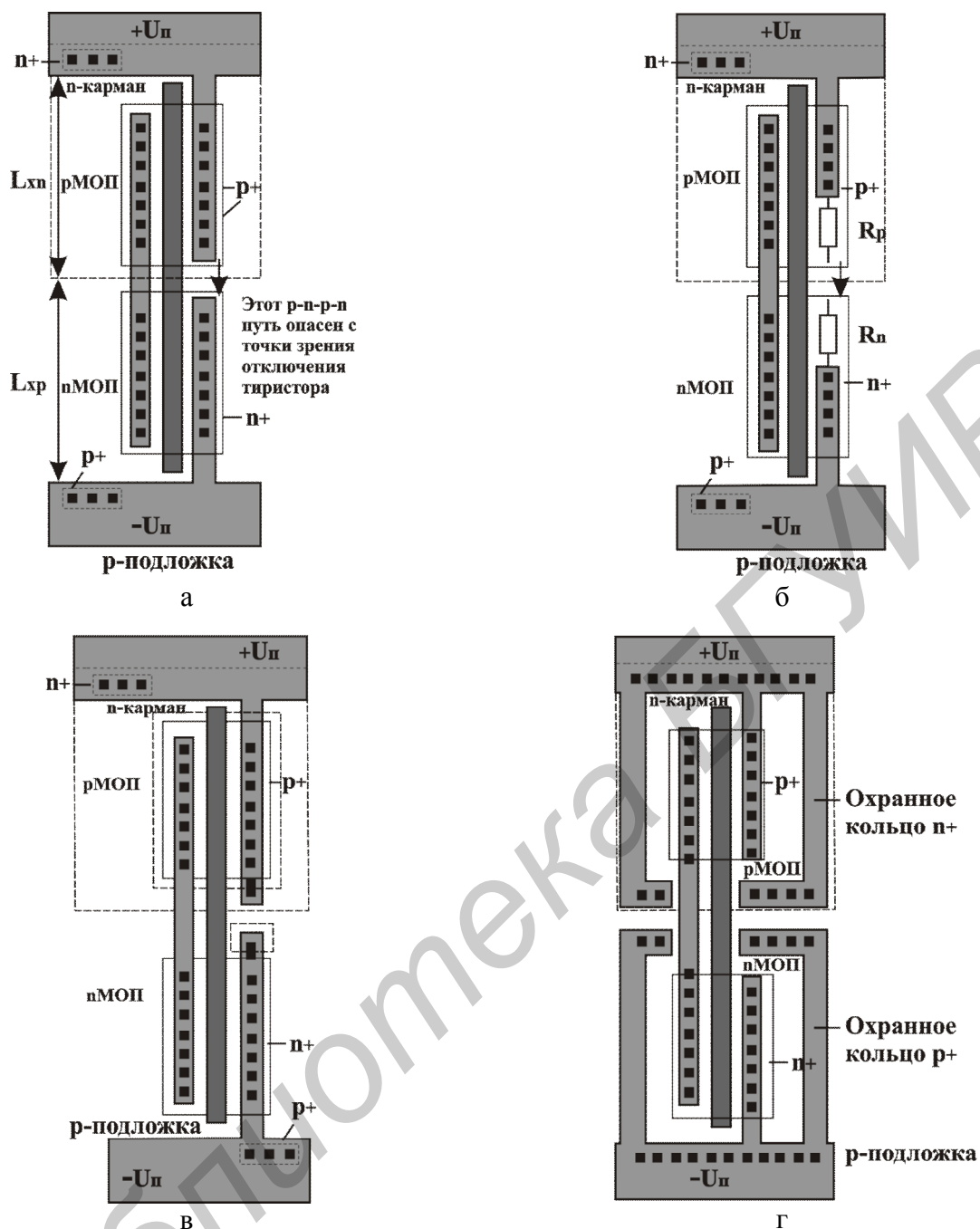


Рис. 2.14. Пример топологии внутренних блоков:

а – без специальной антиотиристорной защиты; б – с увеличенным сопротивлением истоков; в – с использованием встречных двойных контактов; г – с использованием охранных колец

Использование двойного контакта (рис. 2.14, в) – распространенный способ защиты от тиристорного эффекта во внутренних блоках. Самым эффективным способом является вариант с использованием замкнутых охранных колец (рис. 2.14, г). Он, как правило, применяется при построении аналоговых блоков и в местах, близких к вероятным источникам инжекции неосновных носителей (вблизи диодов и т. д.).

### 3. МАРШРУТ ПРОЕКТИРОВАНИЯ И ВЕРИФИКАЦИИ ТОПОЛОГИИ В ПРОГРАММНОМ КОМПЛЕКСЕ CADENCE

Рассмотрим порядок формирования топологии (топологических слоев) инвертора по КМОП-технологии с  $n$ -карманом (по конструктивно-технологическим проектным нормам 0,18 мкм универсальной библиотеки Cadence gpdk с использованием топологического редактора Virtuoso системы компьютерного проектирования Cadence. Согласно выбранной технологии минимальная ширина канала МОП-транзистора равна 180 нм, поэтому минимальная ширина поликремниевого затвора берется равной 180 нм.

#### 3.1. Компоновка электрической схемы

На рис. 3.1 представлена электрическая схема КМОП-инвертора, включающая наследуемые выводы *Земля/Питание* (gnd!/vdd!) для последующего адекватного распознавания их программой экстракции. На рис. 3.2 предложен тестовый модуль для проверки функционирования и определения ключевых параметров.

При создании новой библиотеки проекта в Cadence на запрос *Technology File for New Library* необходимо выбрать пункт меню *Attach to an existing techfile*, затем указать необходимую технологическую библиотеку, в данном случае – **gpdk**.

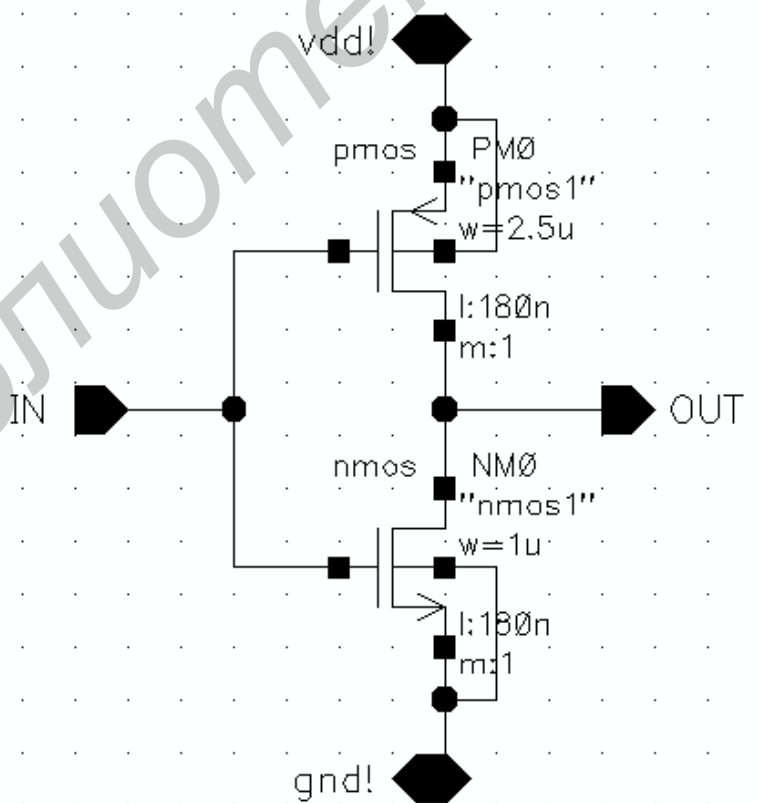


Рис. 3.1. Электрическая схема инвертора

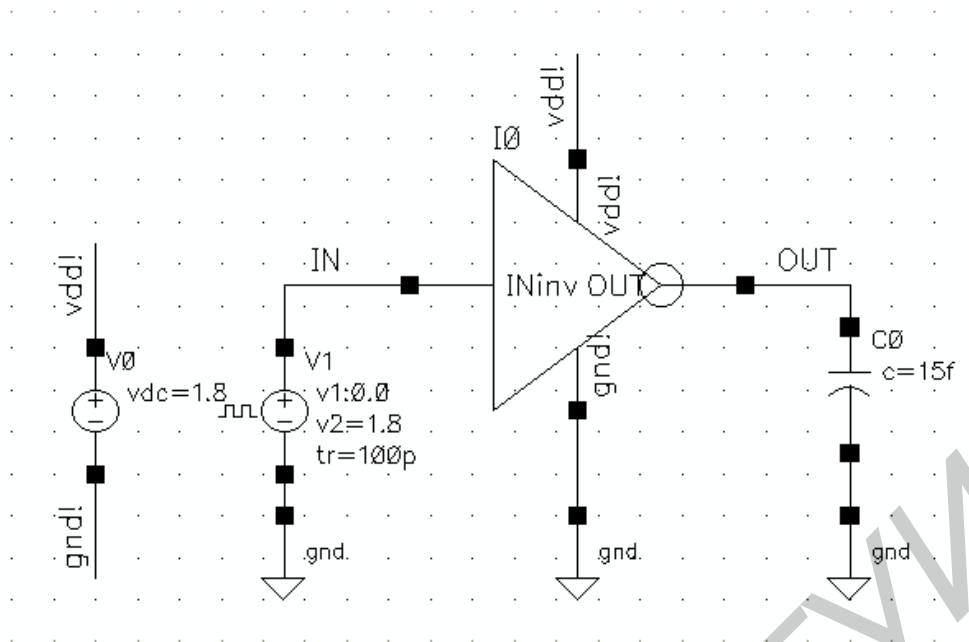


Рис. 3.2. Тестовая схема инвертора

Истоки  $p$ -канальных транзисторов и локальная  $n^+$ -область  $n$ -кармана подключаются к шине *Питание*. Истоки  $n$ -канальных транзисторов и локальная  $p^+$ -область  $p$ -подложки подключаются к шине *Земля*. Таким образом  $n$ -карман и  $p$ -подложка изолированы друг от друга обратным смещенным  $p$ - $n$ -переходом.

### 3.2. Описание топологии на примере КМОП-инвертора

На рис. 3.3 предложен вариант топологии КМОП-инвертора. Топология инвертора содержит транзисторы, параметры которых определены при моделировании схемы.

Представленная топология выполнена в стиле стандартных ячеек, который часто используется для автоматической трассировки и размещения логических элементов. Этот стиль можно также использовать для проектирования заказной топологии. Перечислим особенности такого проектирования:

- топология разрабатывается так, чтобы элементы можно было соединить, расположив их рядом друг с другом; особенно это характерно для шин *Питания* и *Земли*;
- топология проектируется таким образом, чтобы сигнал распространялся слева направо в одном уровне металлизации (от выхода к входу);
- топология логических ячеек имеет одинаковые параметры расположения шин *Питания* и *Земли* для их совместного использования.

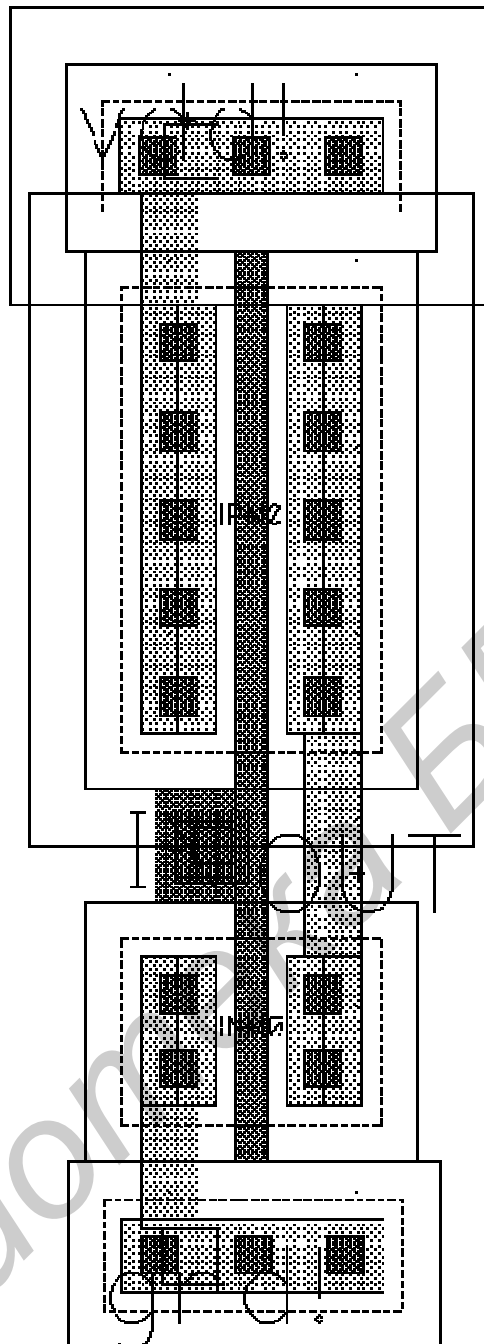


Рис. 3.3. Топология КМОП-инвертора

### **Топологические слои**

Топологические слои (см. рис. 3.3) используются для определения расположения и размеров элементов и связей. Слои обычно отображаются различными цветами и различной заливкой (показаны в окне *layer selection window – LSW*) и определяются в файле *display.drf*. Файл *display.drf* расположен в папке с библиотекой *gprdk*.

Фигуры в слое **oxide** используются для определения места, куда будет проводиться имплантация в подложке (исключая область, покрытую затвором) для формирования исток–стоковых областей каждого транзистора.



Фигуры в слое **poly** используются для определения участков поликремния, формирующих затворы каждого транзистора, а также для формирования коротких связей.

Пересечение слоев **oxide** и **poly** определяет канал транзистора. Поскольку минимальный размер **oxide** = 0,4 мкм и **poly** = 0,18 мкм, это означает, что минимальная ширина канала транзистора = 0,4 мкм и минимальная длина канала транзистора = 0,18 мкм.

В некоторых случаях слой **oxide** невозможно нарисовать в виде простого прямоугольника. Размер **oxide** при формировании исток–стоковых областей должен позволять разместить контакт, а размер транзистора может быть выбран меньшим. В этом случае необходимо вырезать из слоя **oxide** необходимый сегмент в области пересечения с **poly**.

Слой **oxide** также определяет области, которые будут легироваться для формирования контактов к подложке или карману. Для  $p^-$ -подложки, имплантация должна быть  $p^+$ -типа. Для  $n$ -кармана (место для формирования  $p$ -МОП-транзисторов), имплантация должна быть  $n^+$ -типа.

#### ***N-well области*** (карманы)

$p$ -МОП-транзисторы должны быть размещены в кармане  $n$ -типа. В технологии с карманом  $n$ -типа подложка для  $p$ -МОП-транзисторов формируется диффузией примеси  $n$ -типа в области подложки  $p$ -типа. Фигура в слое **nwell** определяет области, в которых можно разместить  $p$ -МОП транзистор.

#### ***Исток-стоковые области***

В топологии  $n^+$ -область рисуется с помощью двух слоев **nimp** и **oxide**,  $p^+$ -область рисуется с помощью двух топологических слоев **pimp** и **oxide**. Следует заметить, что слои **pimp** и **oxide** не соответствуют реальной физической топологии, а рассматриваются как вспомогательные. Логическая операция AND (И) над слоями **pimp** и **oxide** позволит сформировать  $p^+$ -область.

#### ***Контакты***

Квадрат 0,2 мкм × 0,2 мкм, нарисованный в слое **contact**, позволяет металлу подсоединиться к исток–стоковым областям, к подложке или карману.

Квадрат 0,2 мкм × 0,2 мкм, нарисованный в слое **contact** над областью **poly**, позволяет металлу подключиться к затвору и сформировать контакт к поликремнию.

#### ***Металлизация для трассировки Земли/Питания и сигнальных шин***

Фигуры в слое **metall** определяют области из алюминия, формирующие первый уровень металлизации. В данном примере **metall** используется для всех входов и выходов инвертора.

Квадрат 0,2 мкм × 0,2 мкм в слое **contact** обеспечивает подключение металла в слое **metall** к поликремниевой трассировке в слое **poly**.

В технологии 0,18 мкм gpdk имеется 6 уровней металлизации (**metal1**, **metal2**, и т. д.). В инверторе нет необходимости их использовать, хотя для более сложных схем применение их необходимо для формирования более компактной топологии. Очень часто один из слоев используют для вертикальной трассировки, а другой – для горизонтальной.

Для межсоединения **metal1** и **metal2** используется квадрат в слое **via1**. Для соединения других слоев между собой используют соответствующий контактный слой межсоединений. Например, для соединения **metal2** и **metal3** используется слой **via2**.

### **МОП-транзисторы**

*P*-МОП-транзистор формируется с использованием трех слоев **pimp**, **oxide** и **poly**. Первым рисуется топологический слой *n*-кармана. Далее рисуется слой **pimp**, меньших размеров активный слой (**oxide**) и поликремниевые затворы (топологический слой **poly**). *P*-МОП-транзистор формируется с использованием логических операций над слоями: (**pimp**) AND (**oxide**) AND (NOT(**poly**)). Длина (*L*) и ширина (*W*) канала определяются по границам пересечения топологического слоя **poly** активного слоя **oxide**. Периметр транзистора определяется активным слоем. *N*-МОП-транзистор формируется аналогично с использованием трех слоев: **nimp**, **oxide** и **poly**.

В общем случае топология КМОП-инвертора с *n*-карманом строится в следующей последовательности:

- 1) формируется топологический слой «*p*-подложка»;
- 2) формируется топологический слой «*n*-карман» (**nwell**);
- 3) в топологическом слое «*n*-карман» формируется топологический слой «*p*-канал» (**pimp**). Это *p*-канальные области транзистора и локальная область *p*-типа на *p*-подложке для смещения подложки;
- 4) формируется *n*-канальная область (**nimp**) – это *n*-канальные транзисторы и локальная *n*-область к карману для смещения кармана;
- 5) формируются области истока и стока *n*-МОП и *p*-МОП транзисторов с использованием активного слоя (**oxide**);
- 6) формируются поликремниевые затворы (**poly**) и, если необходимо, поликремниевые переемычки (небольшие отрезки **poly**, предназначенные для соединения затворов) и головки (лапти) к затворам с расчетом места под один (контакт **poly-metal1**) или два контакта (контакт **poly-metal1** и контакт **metal1-metal2**);
- 7) в активных областях, затворах и в областях к подложке и карману формируются контактные области **contact**;
- 8) формируется топологический слой металл-1 (**metal1**) (шины *Земля*, *Питание*, внутренние межсоединения, небольшие отрезки для организации межслойного контакта **via1**);
- 9) формируются контактные области под второй металл (**metal2**);
- 10) в вертикальном направлении прокладывается слой **metal2**.

### 3.3. Проектирование топологии в среде Virtuoso Layout Editor

Для запуска редактора топологии Virtuoso Layout Editor необходимо создать новое представление проекта в менеджере библиотек (library manager). В окне Create New File выбираем **Library Name** = «название библиотеки, в которой расположена схема инвертора», **Cell Name** = «название схемы». В поле **View Name** вводим *layout*. В поле **Tool** выбираем **Virtuoso**. Нажимаем **ОК**.

Появятся два окна. Одно из них называется **Layer Selection Window (LSW)**. В окне *LSW* можно выбрать активный слой, установить видимые и активные слои. Технологический файл определяет слои и цвета, которые доступны в *LSW*.

Второе окно – редактор топологии (**Virtuoso Layout Editing**) (рис. 3.4), в котором с помощью фигур в различных слоях проектируется топология.

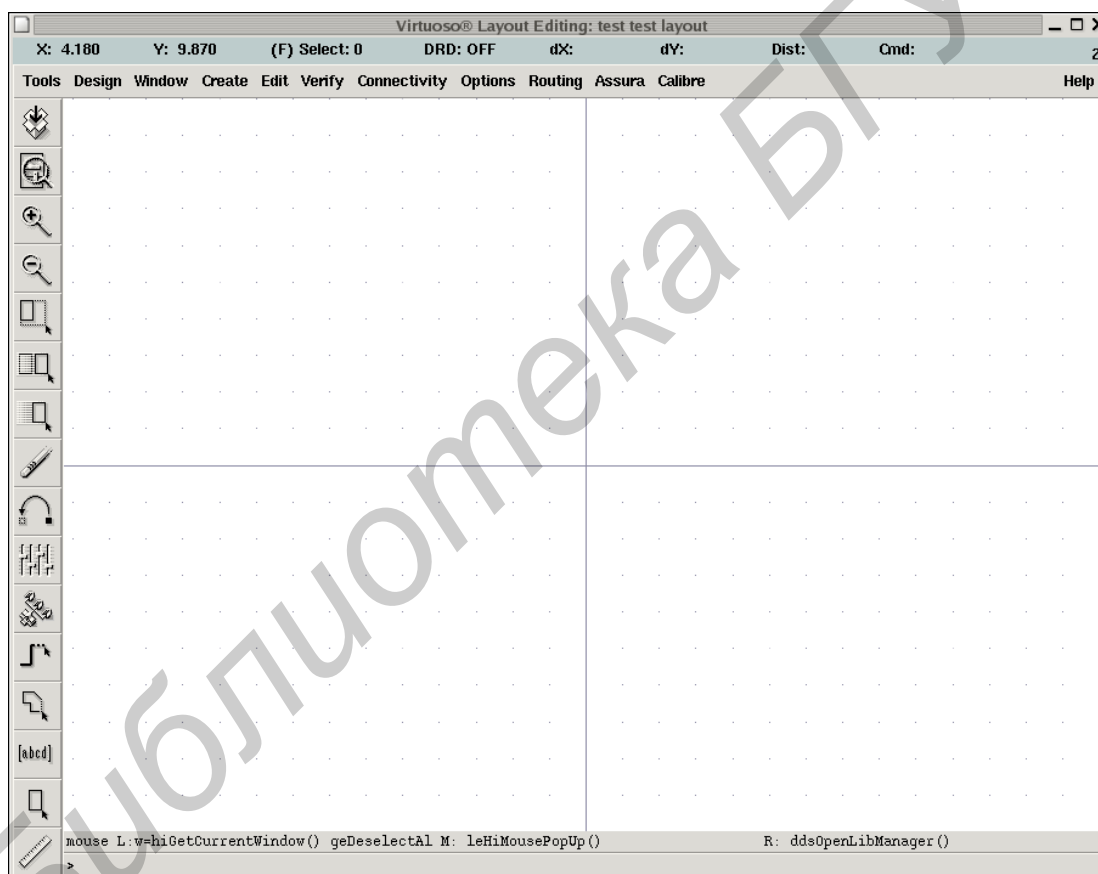


Рис. 3.4. Рабочее окно программы Virtuoso Layout Editor

Наиболее удобно пользоваться программой Virtuoso L (XL,GXL) Layout Editor, с помощью которой рекомендуется проектировать топологию. Для ее использования необходимо открыть электрическую схему и выбрать **Tools** → **Design Synthesis** → **Layout XL**, в окне Startup Option выбирается необходимый параметр (создаем новое представление либо открываем имеющееся), по-

сле чего откроется пустое окно программы *Virtuoso XL Layout Editor* и произойдет трансформация рабочего места (рис. 3.5).

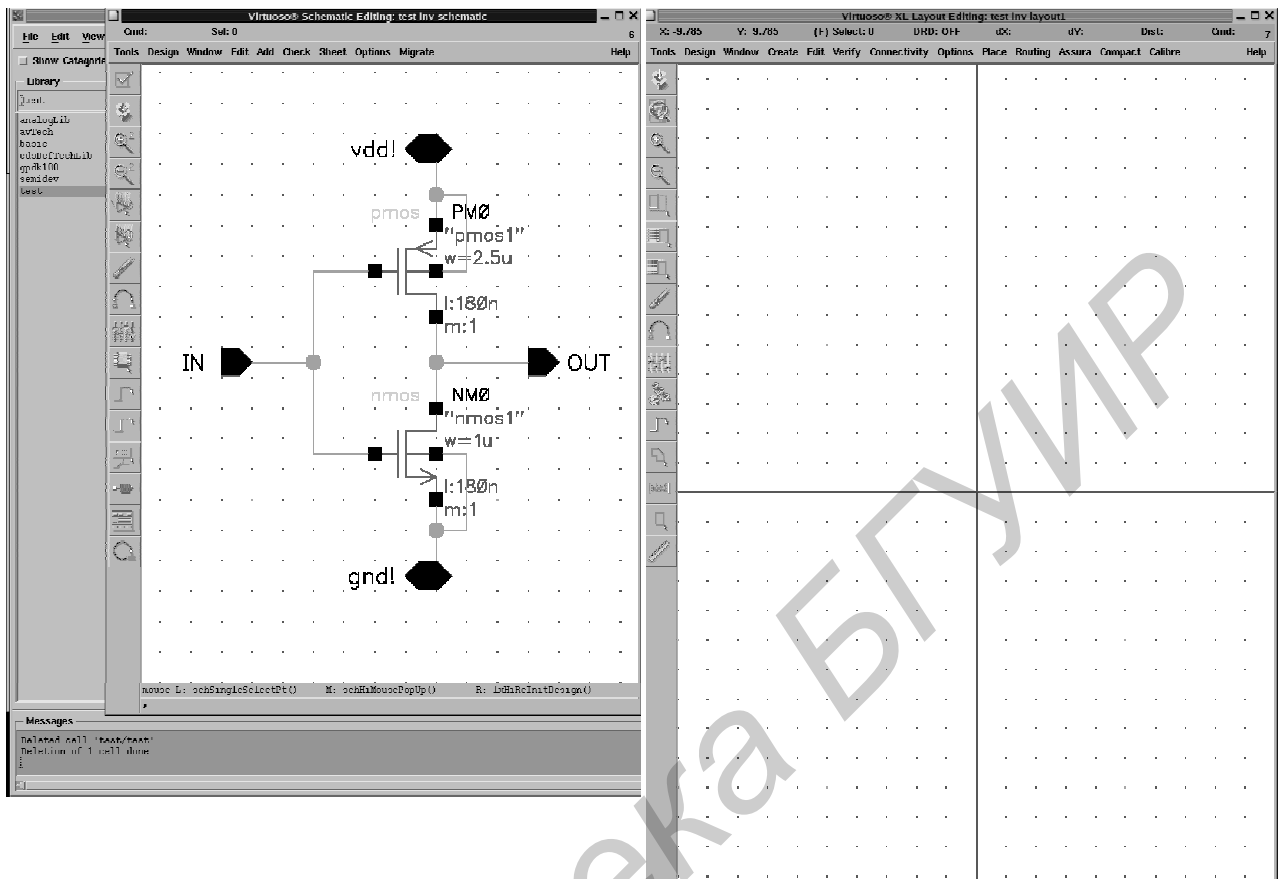


Рис. 3.5. Рабочее окно программы *Virtuoso XL Layout Editor*

Как правило, библиотека проектирования содержит топологические представления всех доступных компонентов в виде параметризованных ячеек, т. е. при изменении параметров компонентов (например, длины или ширины канала МОП-транзистора) соответствующим образом изменяется топология с перерасчетом размеров.

Для добавления компонентов выбирается команда **Design** → **Get From Source**. В появившемся окне *Layout Generation Options* при необходимости можно изменить требуемые параметры, затем следует нажать *OK*. В редакторе топологии появятся транзисторы, четыре порта (пина) и квадратная область в слое *boundary* (граница ячейки). Если сделать активным какой-либо компонент в топологии, то подсветится соответствующий элемент электрической схемы, и наоборот (рис. 3.6, а).

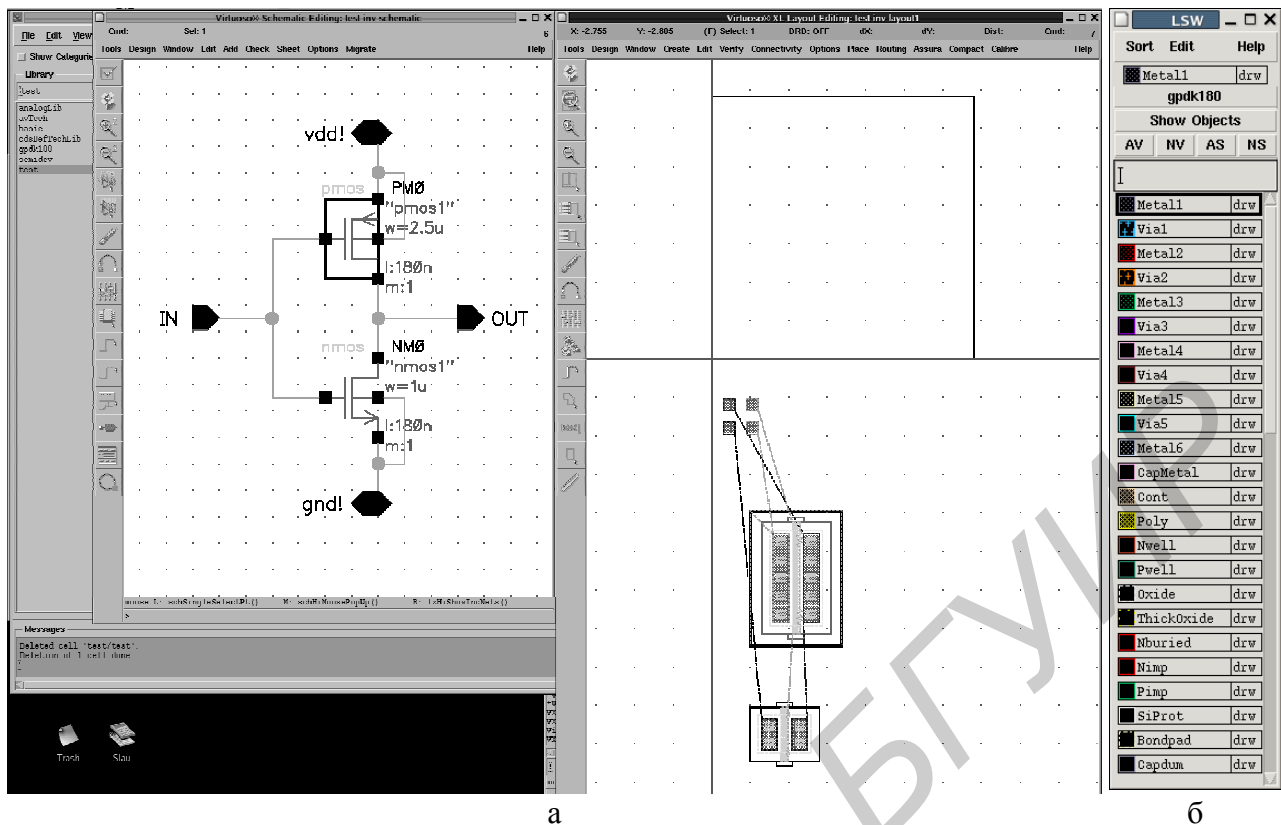


Рис. 3.6. Программа Virtuoso XL Layout Editor:  
а – рабочее окно; б – вид панели для настройки слоев

Для подсветки неподключенных связей выполняется команда **Connectivity** → **Show Incomplete Nets**. В появившемся окне следует отметить *Select All* и нажать *OK*.

### **Настройка топологического редактора**

Перед началом проектирования топологии необходимо установить размер сетки по горизонтали и вертикали так, чтобы упростить процесс рисования и разработать более компактный дизайн.

Для установки настроек дисплея выбирается команда **Options** → **Display**. Появится окно *Display Option*. Устанавливаются значения **Minor Spacing** = 0,1; **Major Spacing** = 0,1; **X Snap Spacing** = 0,01; **Y Snap Spacing** = 0,01. Далее параметр **Spacing** может быть изменен в соответствии с текущими требованиями.

Установки можно сохранить и восстановить позднее с помощью кнопок **Save To** и **Load From** соответственно. Возможен выбор места хранения настроек: *cellview*, библиотека, технологическая библиотека или указанный файл. При сохранении в файл будут записаны настройки из *Layout Editor Options* и *Display Options*. По завершении следует нажать **OK**.

Для изменения опций редактирования и поведения курсора выбирается команда **Options** → **Layout Editor**. В окне *Layout Editor Option* можно снять выделение с **Gravity On**. Эта опция отменяет «прилипание» курсора к объек-

там, которые уже нарисованы. Некоторые разработчики считают эту опцию удобной. По завершении нажимается **ОК**.

### ***Настройка топологических слоев***

Окно *Layer Selection Window (LSW)* (рис. 3.6, б) позволяет установить активный слой (слой, в котором будут создаваться все элементы). Также можно выбрать видимые и выделяемые слои.

Чтобы изменить видимость слоя, следует нажать по нему средней кнопкой мыши (scroll). Невидимый слой автоматически становится невыделяемым. Картинка возле слоя исчезнет и слой станет невидимым, имя слоя будет на сером фоне, если слой станет невыделяемым.

После изменений в *LSW* нажимается **Window** → **Redraw** для просмотра эффекта. Чтобы сделать все слои видимыми, нажимается кнопка **AV** (All visible). Кнопка **NV**, наоборот, сделает все слои, кроме активного, невидимыми. **AS** – сделает все слои выделяемыми. **NS** – сделает все слои невыделяемыми. Для выбора активного слоя используется левая кнопка мыши.

### ***Создание фигур и объектов***

Большинство фигур, используемых при проектировании, – это прямоугольники или многоугольники. Их размеры зависят от схемы и правил проектирования.

Для создания прямоугольника выбирается необходимый слой в *LSW*, затем в редакторе выбирается **Create** → **Rectangle** или нажимается иконка **Rectangle**. По нажатии клавиши *F3* в появившемся окне можно ввести имя связи, которое присоединяется к фигуре. Можно оставить его пустым и ввести имя позже. Отметим, что задание имен помогает в процессе проверки топологии на соответствие электрической схеме.

Для создания многоугольника необходимо выбрать слой в *LSW*, затем выбрать **Create** → **Polygon** или нажать на иконку **Polygon**. Если нажать клавишу *F3*, то появится окно, в котором можно ввести имя связи, ассоциирующееся с фигурой. Рекомендуется установить **Snap Mode = Orthogonal**. Опция **Snap mode** помогает контролировать способ рисования сегментов многоугольника.

### ***Создание портов (пинов)***

Для создания пина выбирается команда **Create** → **Pin**. После этого появится новое окно, в котором устанавливается **Mode** в *shape pin*. Новое окно *Create Shape Pin* заменит предыдущее.

В поле **Terminal Names** вводится имя пина. Необходимо убедиться, что имя точно совпадает с именем в электрической схеме (с учетом регистра). Для уверенности рекомендуется открыть электрическую схему и проверить свойства связи.

Можно включить опцию **Display Pin Name**, если необходимо видеть имя в топологии. Нажимается кнопка **Display Pin Name Option** для выбора варианта отображения имени пина.

Затем определяется направление **I/O type** в соответствии с функцией пина. Для питания и земли выбирается *inputOutput*. Затем выбирается необходимый слой в *LSW* и рисуется соответствующая пину фигура.

### **Выделение объектов**

Чтобы изменить параметры объекта, его необходимо сделать активным или выделить. Для выделения необходимо щелкнуть по объекту мышью. Для снятия выделения можно щелкнуть мышью в пустой области топологии.

Для выделения нескольких объектов используется клавиша **Shift**. Для снятия выделения с одного или нескольких выделенных объектов используется клавиша **Ctrl**.

### **Перемещение объектов**

Для передвижения объектов выбирается команда **Edit** → **Move** из основного меню или нажимается иконка **Move**. При нажатии **F3** появится окно *Move*. После выделения объектов *CIW* будет предлагать ввести относительную точку передвижения. Объекты будут передвинуты соответственно передвижению относительной точки.

В окне *Move* есть опция **Change To Layer**. Она позволяет передвигать и изменять объект из одного слоя на другой без перерисовки самого объекта. Для этого выбирается функция **Change To Layer**, указывается необходимый слой и передвигается объект.

Возможен поворот или отражение объекта нажатием на кнопки **Rotate**, **Sideways** и **Upside Down** в окне *Move* после ввода относительной точки.

### **Копирование объектов**

Для копирования объекта выбирается команда **Edit** → **Copy** или используется иконка **Copy**. После появления окна *Copy* выделяются объекты для копирования. В *CIW* появится приглашение для ввода относительной (начальной) точки для копирования.

Для копирования и вставки множества вариантов объектов вводится число копий в поле **Rows** или **Columns**.

В окне *Copy* есть опция **Change To Layer**. Она позволяет копировать и изменять слой объекта одновременно. Для этого выбирается функция **Change To Layer**, указывается необходимый слой и копируется объект.

Также можно поворачивать или отображать объект нажатием на кнопки **Rotate**, **Sideways** и **Upside Down** в окне *Copy* после ввода относительной точки.

### **Растягивание объектов**

Для растягивания объекта выбирается команда **Edit** → **Stretch** в меню или нажимается иконка **Stretch**. Затем выделяется часть объекта для изменения и указывается точка назначения. Объект будет изменен в соответствии с изменением относительной точки.

### **Объединение объектов**

Для объединения объектов в один топологический слой они выделяются, и выполняется команда **Edit** → **Merge**.

### **Удаление объектов**

Для удаления объекта выбирается команда **Edit** → **Delete** или нажимается клавиша **Delete**.

### **Сохранение топологии**

Для сохранения проекта выбирается команда **Design** → **Save** или нажимается иконка **Save**.

## **3.4. Проверка топологии на соответствие правилам проектирования**

Программа контроля проектных норм работает непосредственно с топологией. Контроль осуществляется автоматически по значениям конструкторско-технологических требований (DRC-контроль) для используемой КМОП-технологии. Любые нарушения ограничений помечаются непосредственно на изображении топологии, выводимом на экран дисплея, либо в окне *CIW*.

DRC – это проверка топологии на соответствие физическим правилам и ограничениям, которые определены в специальном файле (в случае использования библиотеки *gpdk* таким файлом является **divaDRC.rul**). Результатом проверки является информация об ошибках и нарушениях правил в топологии. При этом проверяются только физические характеристики топологии и не проводятся никакие проверки производительности или функционирования электрической схемы.

Для выполнения DRC выбирается команда **Verify** → **DRC** в основном меню. После этого появляется окно программы-верификатора (рис. 3.7).

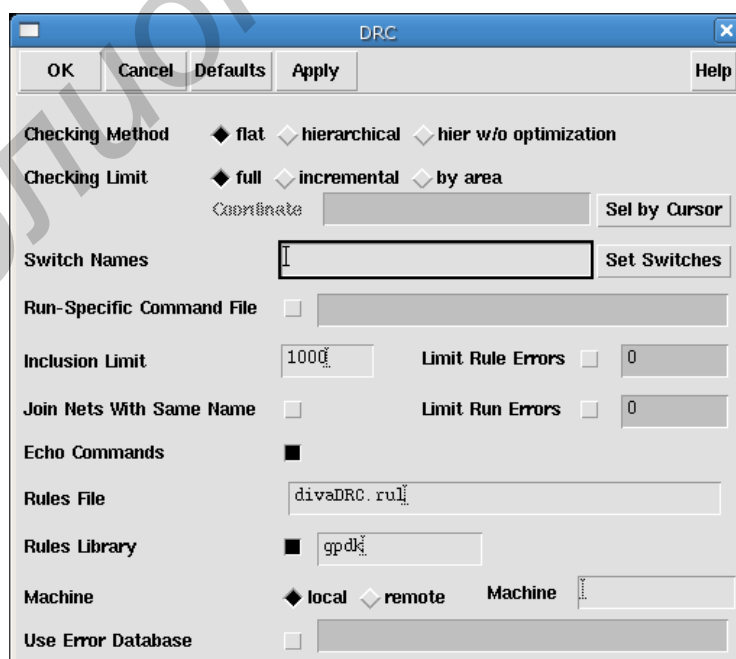


Рис. 3.7. Параметры проверки правил проектирования



Необходимо убедиться, что в поле **Rules File** указан файл *divaDRC.rul* и в поле **Rules Library** указана библиотека *grpdk*. Для начала верификации нажимается **ОК**.

Если существуют ошибки, то появится сообщения в окне *CIW* с номером ошибки, их количеством и описанием (рис. 3.8). В редакторе топологии на месте ошибки появится мигающий многоугольник, называемый маркером ошибок.

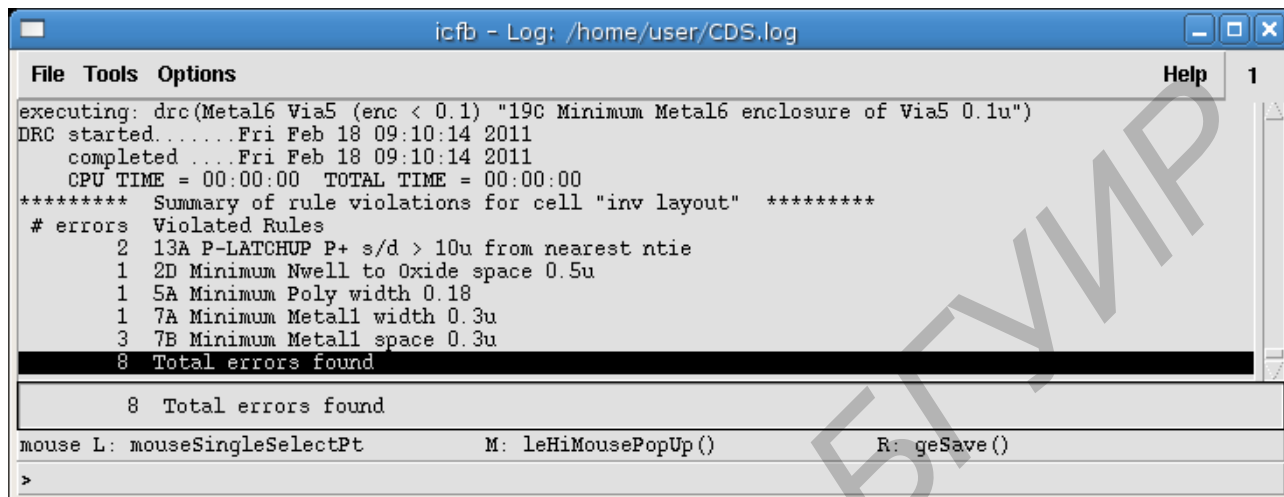


Рис. 3.8. Результат выполнения DRC-проверки с ошибками в топологии

Для просмотра ошибок и получения краткого описания ошибки необходимо выбрать команду **Markers** → **Explain** и нажать на маркер ошибки. Маркер будет подсвечен и появится окно *marker test*, в котором содержится информация об ошибке. Для выхода из команды *Explain* нажимается клавиша *Esc*.

Для удаления маркеров ошибок необходимо выбрать команду **Verify** → **Markers** → **Delete All**. Появится окно *Delete All Markers*. Нажимается **ОК** для подтверждения удаления.

При наличии ошибок их исправляют и перезапускают проверку DRC. Эта процедура повторяется до исправления всех ошибок. Если ошибок нет, то появится соответствующее сообщение в *CIW* (рис. 3.9).

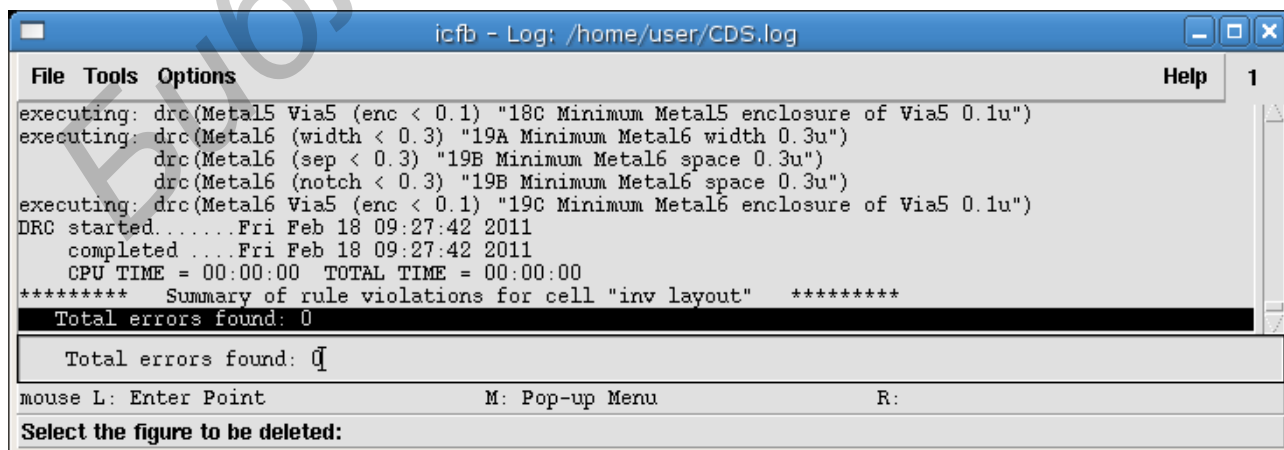


Рис. 3.9. Результат успешного выполнения DRC-проверки топологии

Для больших сложных схем лучше использовать пошаговую процедуру проверки. При этом система будет хранить изменения, сделанные после последней проверки DRC, и проверять только эти изменения. Это позволит выполнить DRC-проверку быстрее и эффективнее, поскольку не придется обрабатывать всю топологию.

Для выполнения пошаговой проверки устанавливается опция **checking limit** → **incremental** в окне DRC.

### 3.5. Экстракция компонентов и межсоединений из топологии

Перед тем как выполнять сравнение топологии с электрической схемой, необходимо провести экстракцию (восстановление) элементов соединений из топологического представления с помощью программы **Extract**. Данная программа использует правила, определенные в специальном файле, для распознавания элементов, установления электрических связей и извлечения паразитных элементов (в случае использования библиотеки gpdk таким файлом является **divaEXT.rul**). В результате будет создано новое представление проекта.

Запуск экстракции выполняется командой **Verify** → **Extract**. В окне *Extractor* выбирается параметр **flat** в поле *Extract method*. Используется развернутый метод для экстракции значений паразитных емкостей для каждого элемента в отдельности. Затем устанавливается параметр **Join Nets with Same Name**, что позволит объединить связи с одинаковыми именами, которые не имеют прямого электрического соединения (рис. 3.10).

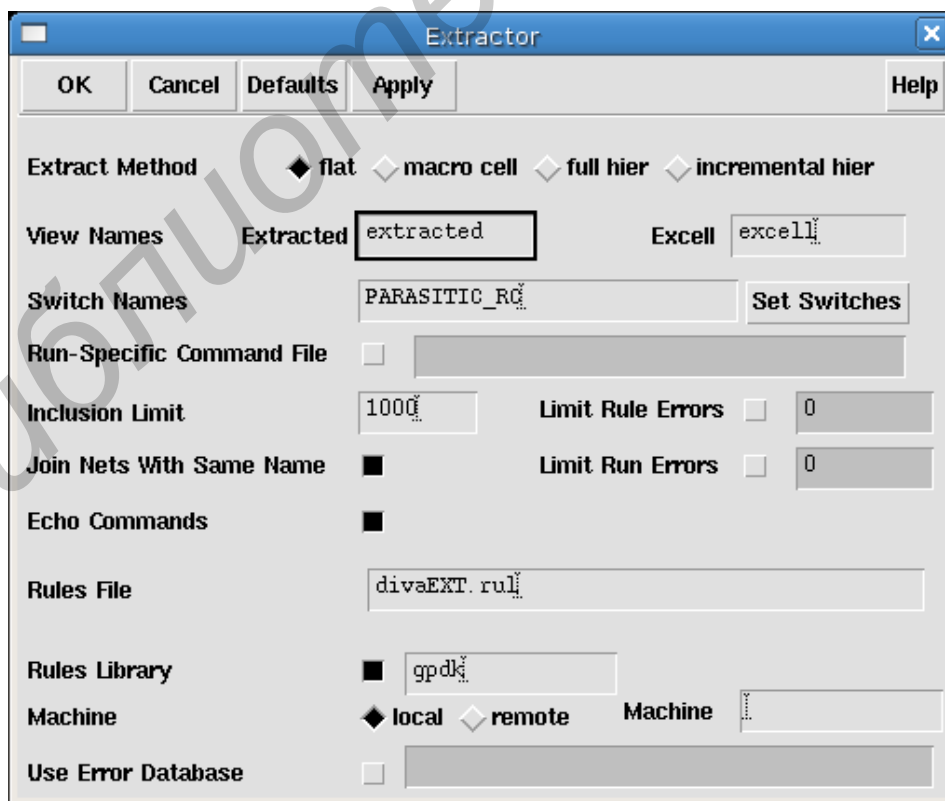


Рис. 3.10. Окно программы экстракции

Для выбора типа паразитных компонентов, которые необходимо экстрагировать, нажимается кнопка **Set Switches** в окне *Extractor*. В новом окне *Set Switches* выбираются параметры экстракции паразитов, которые доступны для конкретной технологии. Для подтверждения нажимается **ОК**. В данном задании рекомендуется провести экстракцию два раза: с параметром PARASITIC\_C (паразитные емкости) и PARASITIC\_RC (паразитные емкости и сопротивление). При этом следует указать различные названия для экстрагированных представлений. Это необходимо для последующего моделирования и оценки влияния паразитных элементов (только емкости, емкости и резисторы) на характеристики инвертора.

Для создания экстрагированного представления нажимается **ОК** или **Apply** в окне *Extractor*. В *CIW* отобразится результат выполнения программы Extract (рис. 3.11).

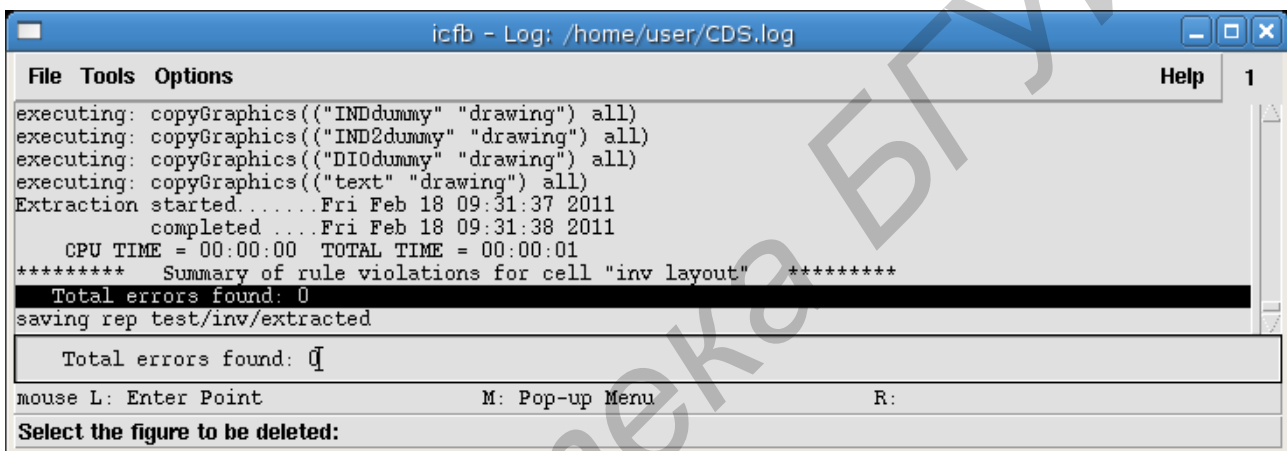


Рис. 3.11. Результат успешного выполнения экстракции из топологии

Необходимо убедиться, что восстановление прошло успешно. После завершения будет создано новое представление с именем *extracted*. Его можно открыть, используя менеджер библиотек (рис. 3.12, а, б).

Откроется окно, в котором отображено экстрагированное представление ячейки. Экстрагированное представление сходно с топологическим, только транзисторы отображаются как символы с указанием размеров. Кроме того, отображаются паразитные резисторы и емкости.

Для просмотра электрических соединений в меню *Display Options* выбирается опция *Nets*.

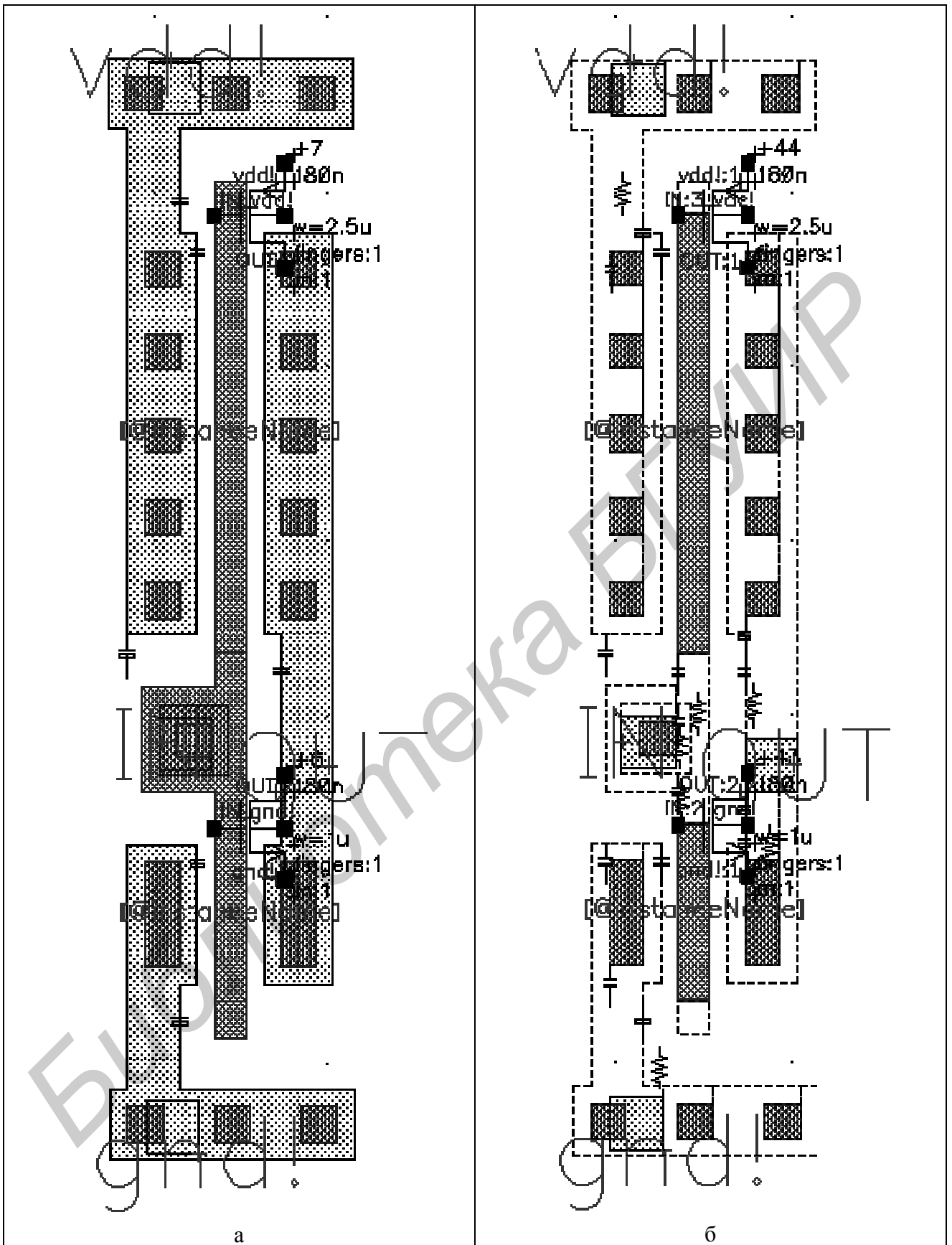


Рис. 3.12. Результаты экстракции:  
 а – с параметром PARASITIC\_C; б – с параметром PARASITIC\_RC

### 3.6. Проверка топологии на соответствие электрической схеме

Программа LVS выполняет сравнение топологического представления проекта с его исходной электрической схемой. LVS использует для сравнения электрическую схему (schematic view) и экстрагированное из топологии представление схемы (extracted view). Запускается с помощью команды **Verify** → **LVS** (рис. 3.13).

Если появляется окно *LVS Form Contents Different*, нажимаем **OK** для продолжения. В окне LVS заполняются поля *schematic* и *extracted* с использованием кнопок **Browse** или **Sel by Cursor**. Если оба представления *schematic* и *extracted* открыты перед появлением окна LVS, то соответствующие поля должны быть заполнены автоматически. Необходимо проверить настройки **Rules File = divaLVS.rul** и **Rules Library = gpdk** (в случае использования библиотеки gpdk) и отключить опцию *Correspondence File*. Эта опция позволяет вручную указать соответствие между элементами схемы и топологии.

Для запуска проверки необходимо нажать **Run**. Если появится окно *Save cellview*, нажимаем **OK**. LVS выполняется в теновом режиме и занимает определенное время в зависимости от сложности схемы. Когда проверка выполнена, появляется окно *Analysis Job Succeeded*. Это означает, что программа успешно завершила все процедуры, но не значит, что топология соответствует схеме.

Для просмотра результатов нажимается **Output** в окне LVS. Появится окно с результатами работы LVS (рис. 3.14), в котором отображены результаты сравнения и приведена статистика по элементам, связям, портам и т. д.

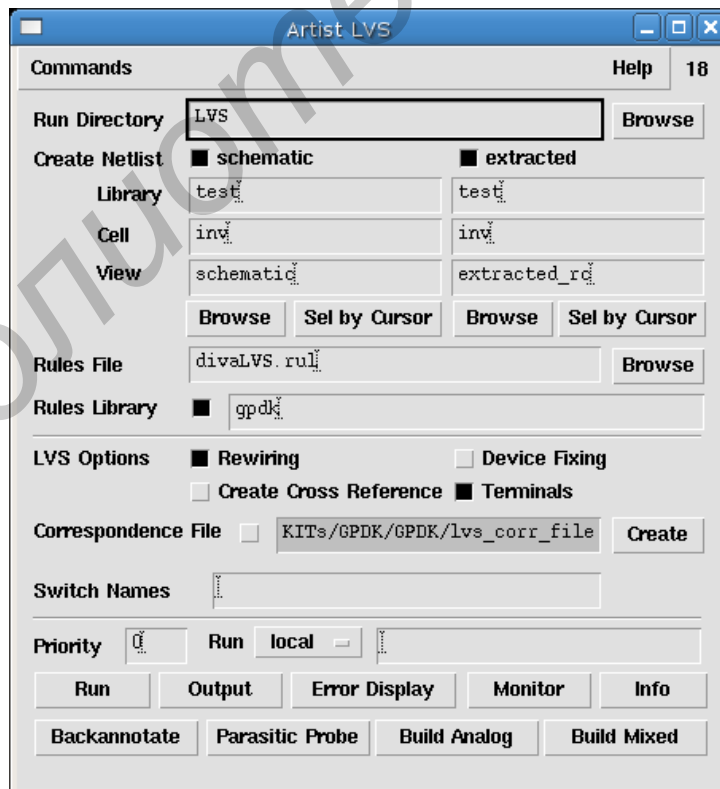


Рис. 3.13. Окно программы LVS

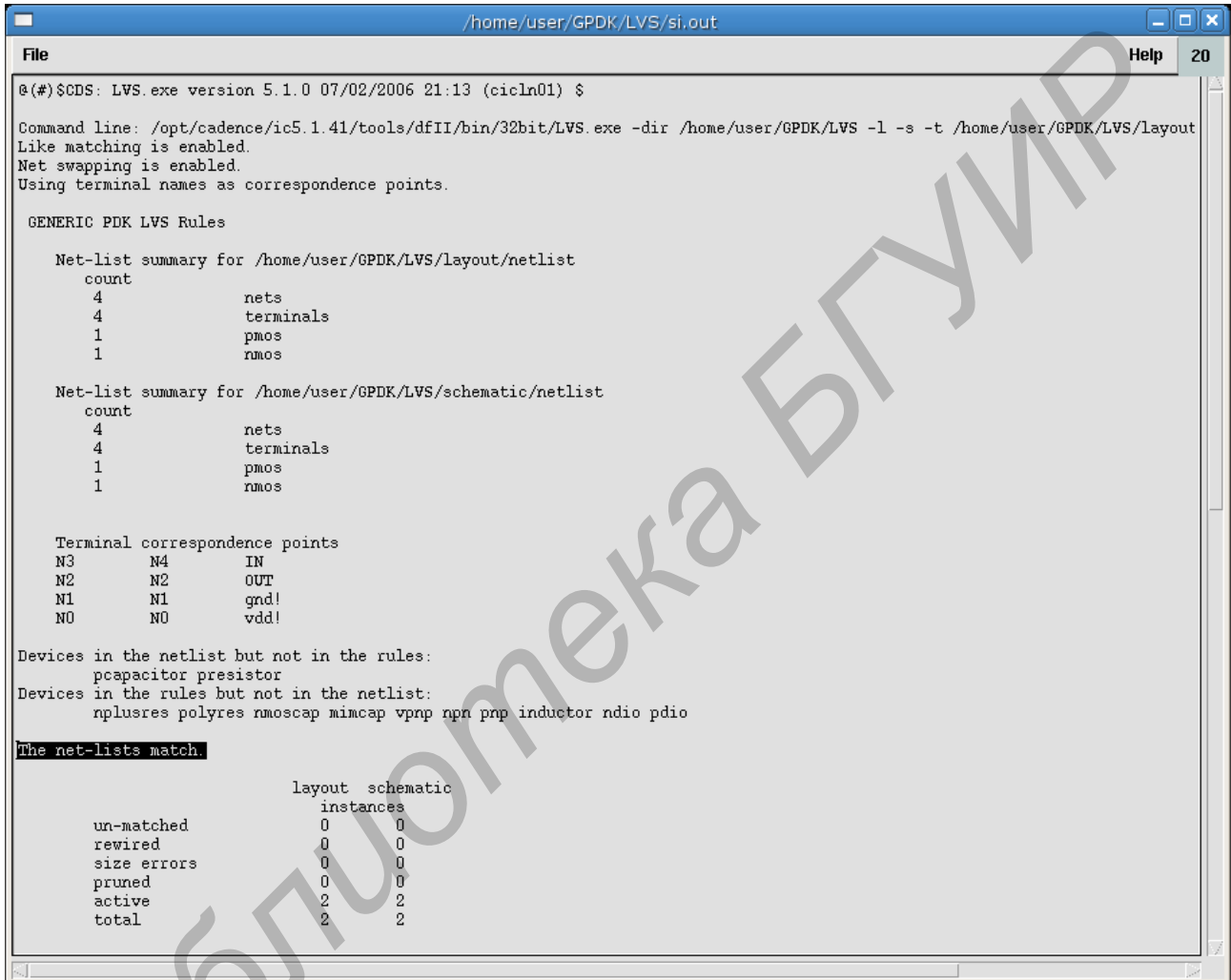
Если электрическая схема соответствует топологии, отчет будет содержать следующую строку:

*The net-lists match* (рис. 3.14),

если не соответствует:

*The net-lists failed to match.*

Если сравнение прошло неудачно, необходимо поправить топологию, провести экстракцию и запустить сравнение повторно.



```
@(#)SCDS: LVS.exe version 5.1.0 07/02/2006 21:13 (cicln01) $
Command line: /opt/cadence/ic5.1.41/tools/dfII/bin/32bit/LVS.exe -dir /home/user/GPDK/LVS -l -s -t /home/user/GPDK/LVS/layout
Like matching is enabled.
Net swapping is enabled.
Using terminal names as correspondence points.

GENERIC PDK LVS Rules

Net-list summary for /home/user/GPDK/LVS/layout/netlist
count
4      nets
4      terminals
1      pmos
1      rmos

Net-list summary for /home/user/GPDK/LVS/schematic/netlist
count
4      nets
4      terminals
1      pmos
1      rmos

Terminal correspondence points
N3     N4     IN
N2     N2     OUT
N1     N1     gnd!
N0     N0     vdd!

Devices in the netlist but not in the rules:
pcapacitor presistor
Devices in the rules but not in the netlist:
npluresres polyres rmoscap mimcap vprnp nprn inductor ndio pdio

The net-lists match.

                layout schematic
                instances
un-matched      0      0
rewired         0      0
size errors     0      0
pruned         0      0
active         2      2
total          2      2
```

Рис. 3.14. Результат успешного выполнения проверки LVS

### **Просмотр ошибок сравнения**

Для просмотра ошибок следует открыть представление *extracted* и нажать кнопку **Error Display** в нижней части окна LVS.

Появится окно *LVS Error Display*, затем нажимается кнопка **First** в секции *Display*. Появится сообщение об ошибке ниже секции *Display*. Также в представлении *extracted* будет подсвечено несоответствие с помощью цвета, указанного в поле *Error Color*. Для сброса подсветки используют кнопку **Clear Display** в окне *LVS Error Display*.

Если топология не совпадает со схемой, то для нахождения ошибки может помочь процедура зондирования (probing). Для этого нажимается кнопка **Probe Form** в окне *LVS Error Display*.

В окне *Probing* изменяется **Probing Method** в *cross probe*, затем выбирается **Add Device** или **Net**. Затем указывается элемент или связь в окне *extracted* или *schematic*. Соответствующий элемент (или связь) будет подсвечен в другом окне. В качестве альтернативы можно ввести имя элемента или связи в кавычках в *CIW*, и они должны быть подсвечены в обоих окнах.

Единичное зондирование выполняется аналогичным образом после изменения **Probing Method** в *single probe*. Эта опция полезна для поиска ошибок, когда заданы имена элементов или связей в LVS.

Для удаления маркеров используется кнопка **Remove All** в окне *Probing*.

### 3.7. Моделирование схемы с учетом паразитных элементов

Для проведения моделирования схемы с учетом паразитных элементов необходимо создать новое представление тестовой схемы инвертора, которое называется *config*.

Выбирается команда **File** → **New** → **Cell View**. В появившемся окне в поле *Tool* выбирается *Hierarchy-Editor* и нажимается **OK**. Появятся два окна. В окне *New Configuration* в поле *View* выбирается *schematic*, нажимается *Use template* и в поле *Name* выбирается программа моделирования *spectre*. По завершении нажимается **OK** (рис. 3.15).

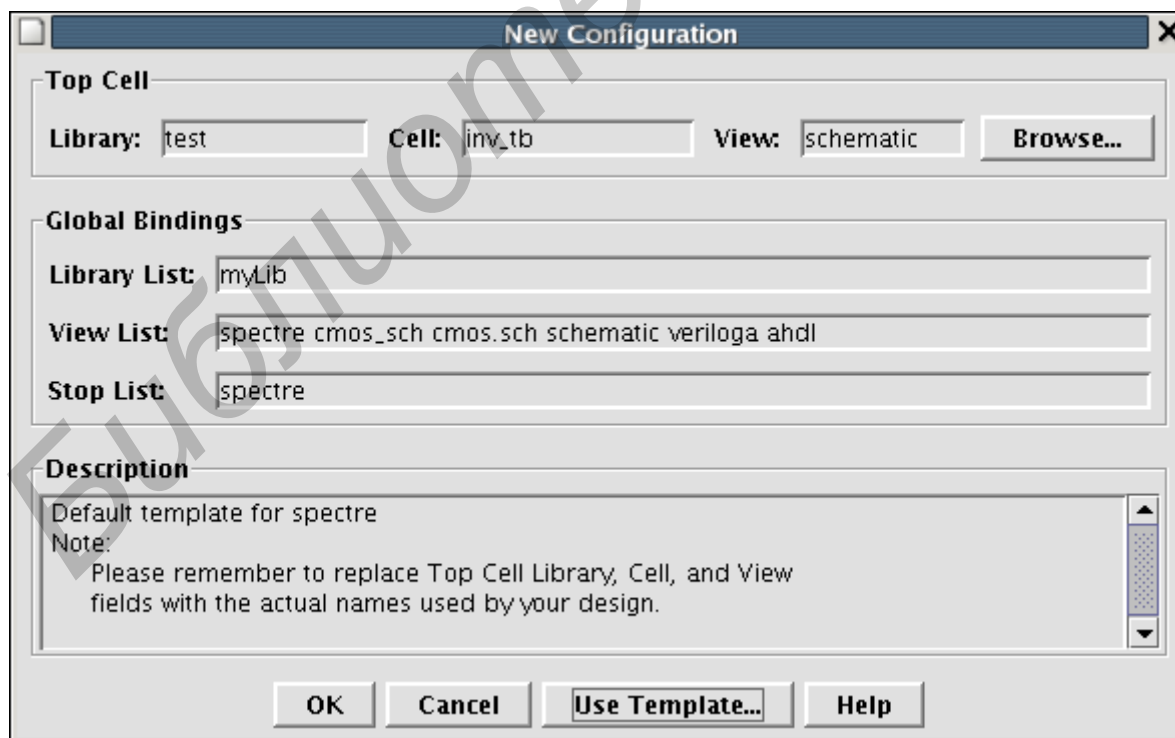


Рис. 3.15. Пример создания новой конфигурации

Затем выбирается параметр *View to Use* для ячейки инвертора *schematic*, обновляется конфигурация (рис. 3.16) и закрывается *Cadence hierarchy editor*.

В менеджере библиотек в колонке *View* необходимо открыть представленные *config*, в появившемся окошке выбрать *yes* для всех полей. После этого откроется схема и редактор иерархии *Cadence hierarchy editor*, в котором можно изменять представления для моделирования: *schematic*, *extracted* и другие имеющиеся.

В данном примере рекомендуется провести моделирование представлений *schematic*, *extracted\_c*, *extracted\_rc*, вычислить задержку распространения сигнала и проанализировать влияние паразитных компонентов. По возможности провести оптимизацию топологии с целью снижения задержки сигнала.

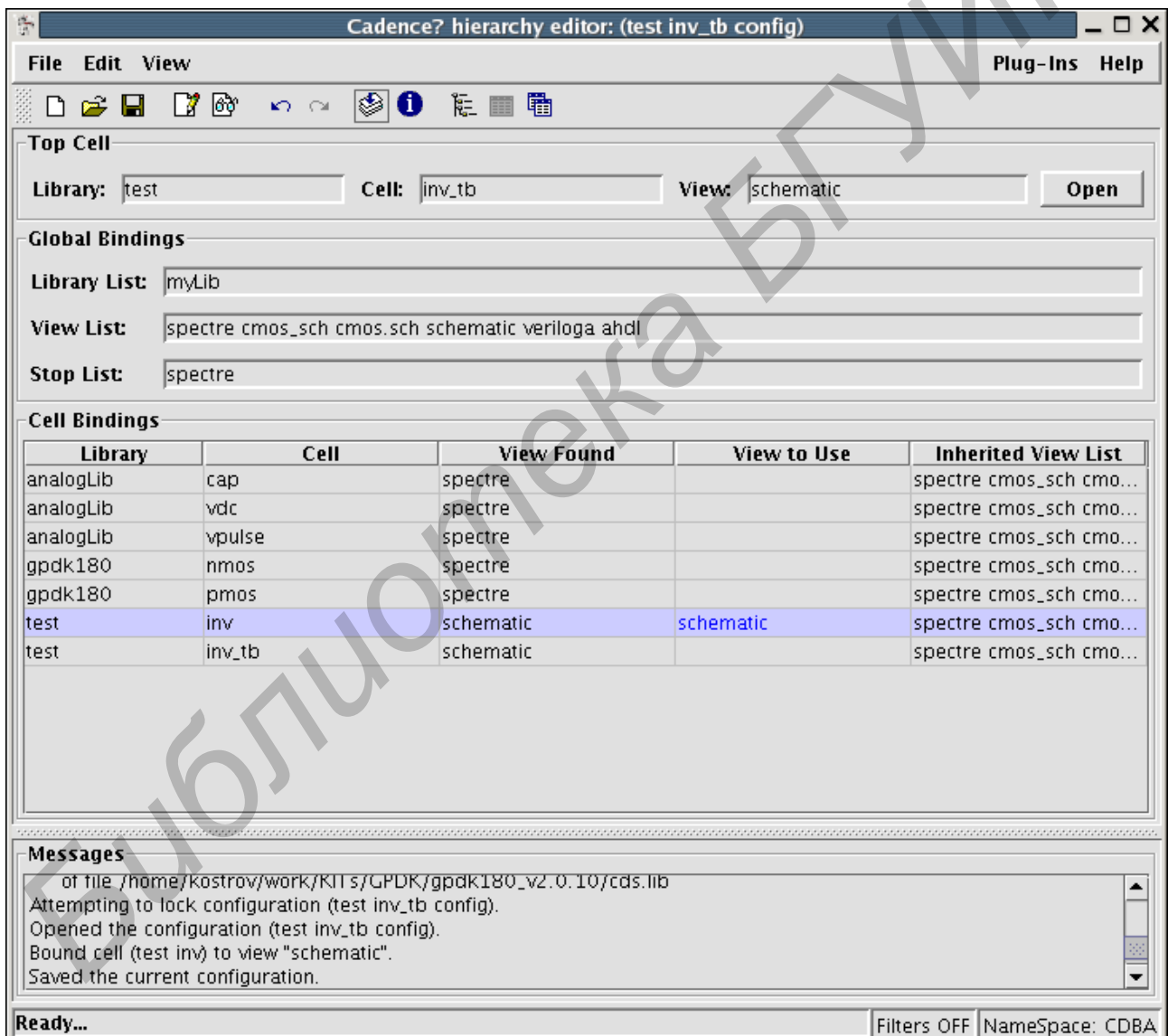


Рис. 3.16. Настройка конфигурации проекта с использованием Cadence hierarchy editor



## 4. ИНДИВИДУАЛЬНЫЕ ЗАДАНИЯ ДЛЯ ЛАБОРАТОРНЫХ РАБОТ

Порядок выполнения заданий.

1. Собрать электрическую схему и провести моделирование с вычислением ключевых параметров.
2. Разработать топологию электрической схемы.
3. Провести проверку конструкторско-технологических требований к проектированию топологии (DRC).
4. Провести экстракцию паразитных элементов.
5. Провести сравнение топологии с электрической схемой (LVS).
6. Провести моделирование схемы с учетом паразитных элементов (post-layout simulation).
7. Сравнить полученные результаты post-layout-моделирования с результатами моделирования электрической схемы.

Таблица 4.1

Аналоговые схемы, рекомендуемые для лабораторных работ и курсового проектирования

Схема (№ рис.)	R1, кОм	R2, кОм	R3, кОм	R4, кОм	R5, кОм	R6, кОм	R7, кОм	C1, пФ	C2, пФ
1	5,6	0,1	4,0	4,0	1,8	0,4	5,6	3000	–
2	4,0	4,0	1,2	4,0	1,7	–	–	1500	1000
3	4,0	1,8	4,0	4,0	1,7	5,6	–	1200	–
4	1,4	5,6	9,8	4,0	0,6	4,8	–	1500	–
5	4,0	5,0	1,8	4,0	2,0	1,5	–	560	–
6	2,0	5,0	0,2	0,1	5,0	0,2	2,0	580	–
7	4,0	5,0	1,5	0,2	2,0	1,0	–	–	680
8	10,0	4,0	2,0	10,0	1,5	1,0	–	1000	–
9	1,0	3,0	0,5	0,6	0,6	0,5	–	560	560
10	15,0	1,0	5,0	2,0	1,0	–	–	200	680

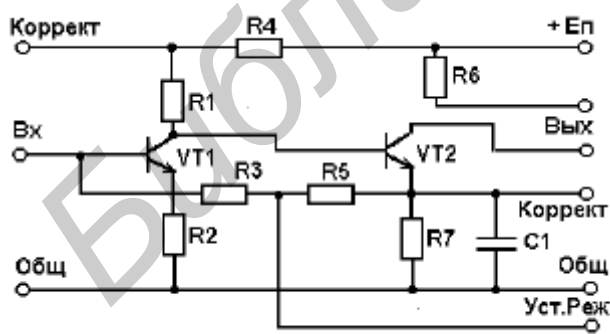


Рис. 1

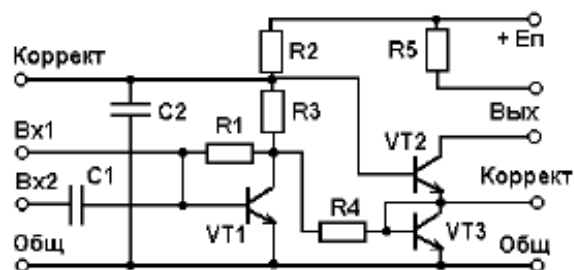


Рис. 2

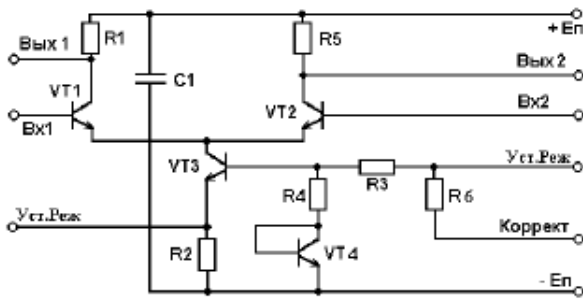


Рис. 3

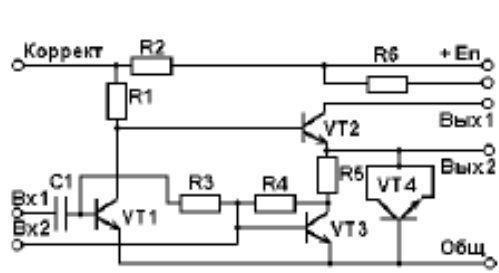


Рис. 4

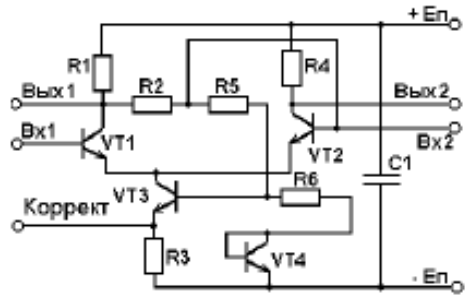


Рис. 5

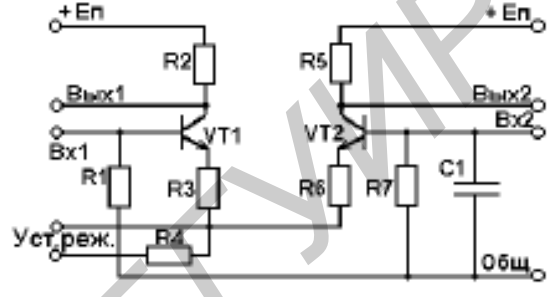


Рис. 6

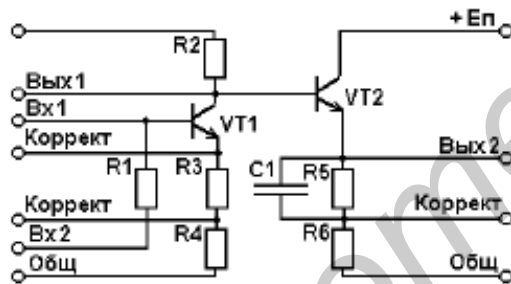


Рис. 7

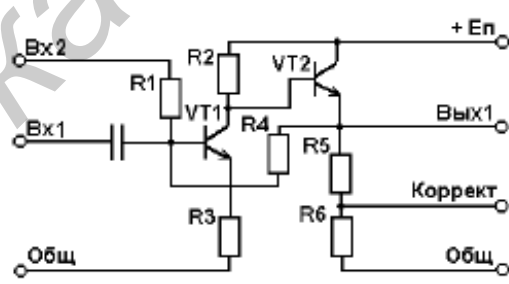


Рис. 8

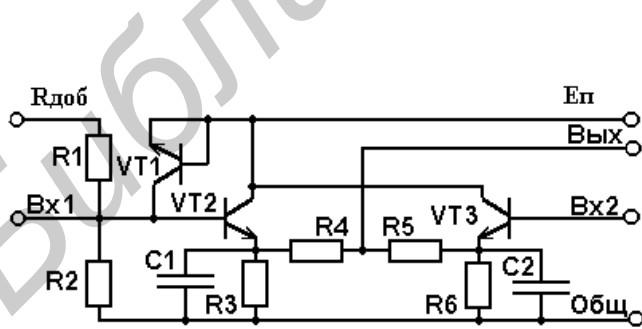


Рис. 9

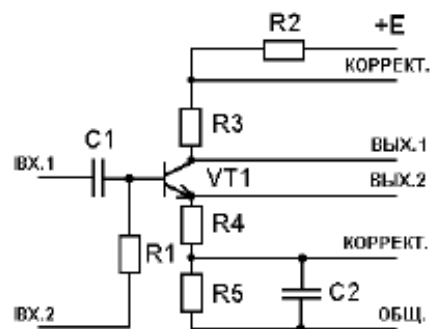


Рис. 10

## 5. КОНТРОЛЬНЫЕ ВОПРОСЫ

по дисциплине «Проектирование топологии ИМС»

1. Топология ИМС, этапы проектирования топологии аналоговых схем.
2. Маршрут проектирования топологии цифровых ИМС.
3. Маршрут проектирования и верификации топологии в платформе Virtuoso (Cadence).
4. Конструкторско-технологические требования к проектированию топологии.
5. Форматы представления топологии, спецификация слоев.
6. Особенности топологии КМОП-транзисторов.
7. Точность формирования топологических размеров и согласование параметров МОП-транзисторов.
8. Причины рассогласования параметров интегральных элементов и способы их устранения.
9. Правила размещения в топологии согласованных элементов в массиве с общим центром.
10. Топологические приемы уменьшения влияния температурного градиента на параметры ИМС.
11. Особенности трассировки резисторов с согласованными параметрами.
12. Правила согласования параметров интегральных резисторов.
13. Правила согласования параметров интегральных конденсаторов.
14. Топологические приемы для уменьшения влияния соседних структур на согласование параметров элементов ИМС.
15. Топологические методы экранирования схем от шумов по подложке.
16. Проектирование шин питания в цифроаналоговых схемах.
17. Компоновка топологии блоков в цифроаналоговых схемах.
18. Топологические методы защиты от тиристорного эффекта в КМОП.
19. Проектирование контактных площадок.
20. Правила проектирования комбинированной КМОП-топологии.
21. Топология интегральных конденсаторов, оптимизация параметров.
22. Проектирование высокоомных интегральных резисторов.
23. Проектирование интегральных резисторов с согласованным отношением номиналов.
24. Проектирование низкоомных интегральных резисторов.
25. Влияние паразитных элементов на характеристики ИМС.
26. Особенности проектирования топологии аналоговых ИМС.
27. Влияние погрешности формирования топологических размеров на характеристики элементов ИМС.
28. Проектирование топологии мощных биполярных транзисторов (увеличение рабочего напряжения и тока).
29. Тесты для контроля технологического процесса.
30. Тесты для контроля параметров рабочих элементов.

## ЛИТЕРАТУРА

1. Cadence Corporate Site [Электронный ресурс]. – 2011. – Режим доступа: <http://www.cadence.com>.
2. Нелаев, В. В. Основы САПР в микроэлектронике. Моделирование технологии и прибора : учеб. пособие / В. В. Нелаев, В. Р. Стемпицкий. – Минск : БГУИР, 2008. – 220 с.
3. Нелаев, В. В. Технологическое проектирование интегральных схем. Программа SSUPREM4 : учеб. пособие / В. В. Нелаев, В. Р. Стемпицкий. – Минск : БГУИР, 2003. – 101 с.
4. Нелаев, В. В. Проектирование ИС в среде системы Design Center : учеб. пособие / В. В. Нелаев, В. Р. Стемпицкий. – Минск : БГУИР, 2005. – 55 с.
5. Дворников, О. В. Учебно-методический комплекс по дисциплине «Системы автоматизированного проектирования топологии интегральных схем» / О. В. Дворников, В. Р. Стемпицкий [Электронный ресурс]. – 2006. – Режим доступа: <http://abitur.bsuir.by>.
6. Строгонов, А. В. Проектирование топологии КМОП заказных БИС // Компоненты и технологии. – 2007. – №3, №4.
7. Эннс, В. И. Проектирование аналоговых КМОП-микросхем. Краткий справочник разработчика / В. И. Эннс, Ю. М. Кобзев. – М. : Горячая линия – Телеком, 2005. – 454 с.
8. Казённов, Г. Г. Основы проектирования интегральных схем и систем / Г. Г. Казённов. – М.: БИНОМ. Лаборатория знаний, 2005. – 295 с.
9. CMOS Transistor Layout KungFu. The techniques for layout of CMOS transistor [Электронный ресурс]. – 2007. – Режим доступа : [http://www.eda-utilities.com/book\\_kungfu.htm](http://www.eda-utilities.com/book_kungfu.htm).
10. Hastings, A. Art of Analog Layout. 2nd edition / A. Hastings. – Prentice Hall, 2005. – 556 p.
11. Saint, C. IC Mask Design: Essential Layout Techniques / C. Saint, J. Saint. – McGraw-Hill, 2002. – 404 p.

*Учебное издание*

**Костров Александр Иванович**  
**Нелаев Владислав Викторович**  
**Стемпницкий Виктор Романович**  
**Трофимов Сергей Александрович**

# **ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ В ПРОГРАММНОМ КОМПЛЕКСЕ CADENCE**

Методическое пособие

по дисциплинам «Топологическое проектирование интегральных микросхем»  
и «Информационные технологии в проектировании интегральных микросхем»  
для студентов специальности

1-41 01 02 «Микро- и нанoeлектронные технологии и системы»  
всех форм обучения

Редактор Г. С. Корбут  
Корректор Е. Н. Батурчик

---

Подписано в печать 28.09.2011.  
Гарнитура «Таймс».  
Уч.-изд. л. 3,5.

Формат 60x84 1/16.  
Отпечатано на ризографе.  
Тираж 50 экз.

Бумага офсетная.  
Усл. печ. л. 3,72.  
Заказ 125.

---

Издатель и полиграфическое исполнение: учреждение образования  
«Белорусский государственный университет информатики и радиоэлектроники»  
ЛП №02330/0494371 от 16.03.2009. ЛП №02330/0494175 от 03.04.2009.  
220013, Минск, П. Бровки, 6