

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра микро- и наноэлектроники

А.С. Шматин

***МИКРОПРОЦЕССОРЫ
И МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ***

Учебное пособие
по дисциплине «Микросистемотехника»
для студентов специальности I-41 01 02
«Микро- и наноэлектронные технологии и системы»
дневной и заочной форм обучения

Минск 2005

УДК 004.383.6 (075.8)
ББК 32.973.26-04 я 73
Ш 71

Рецензент:
кандидат технических наук, доцент А.Н. Осипов

Шматин А.С.

Ш 71 Микропроцессоры и микропроцессорные системы: Учеб. пособие по дисц. «Микросистемотехника» для студ. спец. I-41 01 02 «Микро- и нано-электронные технологии и системы» дневной и заочной форм обуч. / А.С. Шматин. – Мн.: БГУИР, 2005. – 82 с.
ISBN 985-444-830-4

В учебном пособии изложен материал по микропроцессорной технике и интерфейсным системам. Рассмотрены структуры процессоров и микропроцессорных систем, отмечены этапы развития микропроцессоров и систем на их основе. Показаны сравнительные характеристики архитектурных решений гарвардских и фон-неймановских процессоров, их достоинства и особенности организации.

Пособие может быть полезно для студентов других специальностей.

УДК 004.383.6 (075.8)
ББК 32.973.26-04 я 73

ISBN 985-444-830-4

© Шматин А.С., 2005
© БГУИР, 20

Содержание

Введение

1. Тенденции развития микропроцессоров и систем на их основе

- 1.1. Повышение степени интеграции
- 1.2. Повышение тактовой частоты
- 1.3. Увеличение разрядности МП
- 1.4. Процесс обработки данных
- 1.5. Использование сопроцессоров
- 1.6. Использование кэш-памяти

2. Этапы развития микропроцессоров

- 2.1. Процессоры первого и второго поколений
- 2.2. Процессоры третьего поколения
- 2.3. Процессоры четвёртого поколения
- 2.4. Процессоры пятого поколения
- 2.5. Процессоры шестого поколения
- 2.6. Процессоры седьмого поколения

3. Типовой микропроцессор

- 3.1. Структура типового микропроцессора
- 3.2. Функциональная схема, принцип её работы, назначение

элементов структуры

4. Современные микропроцессоры

4.1. Архитектура и структура современных микропроцессоров, их функциональная классификация

- 4.1.1. Архитектура и структура современных МП
- 4.1.2. Классификация современных МП
- 4.1.3. Микроконтроллеры на 8 разрядов
- 4.1.4. Микроконтроллеры на 16 разрядов
- 4.1.5. Микроконтроллеры на 32 разряда
- 4.1.6. Цифровые процессоры сигналов

- 4.2. Структура процессора с гарвардской архитектурой
 - 4.2.1. Достоинства и недостатки архитектуры фон Неймана
 - 4.2.2. Необходимость и преимущества гарвардской архитектуры
- 4.3. Структура процессора Intel P6, функционирование
 - 4.3.1. Особенности МП семейства P6 фирмы Intel
 - 4.3.2. Суперскалярная архитектура и организация конвейера команд 33
 - 4.3.3. Режимы работы МП и организация памяти
- 5. Микропроцессорные системы
 - 5.1. Типовая микропроцессорная система
 - 5.2. Логическая организация микропроцессорных систем
 - 5.3. Сосредоточенные микропроцессорные системы
 - 5.4. Распределенные микропроцессорные системы
- 6. Интерфейсы микропроцессорной техники
 - 6.1. Интерфейс микропроцессоров
 - 6.2. Интерфейсы микропроцессорных систем
 - 6.2.1. Магистраль VME
 - 6.2.2. Магистраль VXI
 - 6.2.3. Магистраль PCI. Комплекс МП и периферийных устройств
 - 6.3. Шина USB
 - 6.3.1. Основные сведения о шине USB
 - 6.3.2. Топология USB-шины
 - 6.3.3. Основные режимы работы

Литература

ВВЕДЕНИЕ

Появление в 1971 г. первого микропроцессора (МП) и последующие 30 лет развития МП привели к постепенному замещению и вытеснению устройств, реализованных на «жесткой логике». Вполне очевидно то, что микропроцессорная техника (МПТ) активно входит в нашу повседневную жизнь благодаря гибкости, универсальности, возможности реализации усложненных алгоритмов функционирования средств и систем.

Традиционной цифровой техникой остаются только узлы и устройства, требующие максимального быстродействия, и устройства с простыми алгоритмами реализации. На сегодняшний день цифровая техника применяется для увеличения возможностей микропроцессорных систем (МПС), для их сопряжения с внешними устройствами.

Необходимо отметить, что в основе современного IBM-PC-совместимого компьютера заложена фон-неймановская архитектура вычислительной машины, которая была предложена еще в 40-х годах прошлого столетия Джорджем фон Нейманом. Безусловно, за последние 60 лет классическая архитектура прошла длинный путь развития и претерпела различные видоизменения, и, конечно же, эта архитектура – не единственный вариант построения электронной вычислительной машины (ЭВМ). Тем не менее персональный компьютер можно схематично представить в виде совокупности: центрального процессора, памяти, устройств ввода-вывода.

Каждая из указанных систем, благодаря интенсивному развитию микроэлектроники, представляет собой отдельные объемные развитые направления микропроцессорной техники и её элементной базы.

Введем некоторые определения.

Микропроцессорная техника – включает технические и программные средства, используемые для построения различных микропроцессорных систем, устройств и персональных ЭВМ.

Микропроцессорная система – функционально законченное изделие, состоящее из одного или нескольких устройств, главным образом микропроцессорных: микропроцессора и /или микроконтроллера.

Микропроцессор (МП) – программно-управляемое устройство, осуществляющее процесс цифровой обработки информации и управления им и построенное на одной БИС.

Микропроцессорное устройство (МПУ) – функционально и конструктивно законченное изделие, состоящее из нескольких микросхем, в состав которых входит МП; оно предназначено для выполнения определенного набора функций: получения, обработки, передачи, преобразования информации и управления.

Микроконтроллер (МК) – устройство, имеющее законченную структуру МПС, реализованную в виде одной БИС, и предназначенное для решения задач управления техническими устройствами и системами.

Операнд – исходный элемент данных, над которыми выполняется операция.

Магистраль – универсальная шина для обмена информацией между различными элементами структуры МП, МПС и периферийными устройствами.

Шина (данных, управления, адресов) – линия связи одного или нескольких источников с одним или несколькими приемниками информации.

Центральный процессор – микропроцессор, осуществляющий наряду с обработкой данных управление другими микропроцессорами системы.

Программа – последовательность предписаний, которые определяют порядок выполнения операций при реализации заданного алгоритма.

В пособии приводятся типовые структуры микропроцессора, микропроцессорных систем и принципы их работы, рассматриваются особенности тенденций их развития, а также интерфейсы микропроцессорной техники (МПТ).

1. ТЕНДЕНЦИИ РАЗВИТИЯ МИКРОПРОЦЕССОРОВ И СИСТЕМ НА ИХ ОСНОВЕ

Более 30 лет тому назад появился первый МП (Intel 4004), за этот период времени произошел стремительный скачок в области технологии и производительности микропроцессоров.

В разделе рассмотрены тенденции их развития, которые в свою очередь оказали существенное влияние на развитие микропроцессорных систем.

1.1. Повышение степени интеграции

Степень интеграции определяет, сколько транзисторов может поместиться на полупроводниковом кристалле. Например: микропроцессор фирмы Intel 4004 был выполнен по 10-микронной технологии и содержал только 2300 транзисторов. МП Pentium был выполнен по 0,8-микронной технологии и содержал 3,1 млн транзисторов. Самые последние разработки МП выполняются по 0,18-микронной технологии и содержат десятки миллионов транзисторов. По мнению специалистов Intel, вполне возможно, что к 2011 г. МП Intel будут содержать до 1 млрд. транзисторов.

1.2. Повышение тактовой частоты

Одним из способов повышения производительности МП является увеличение тактовой частоты. Для первых МП тактовая частота составляла сотни кГц, для современных МП составляет сотни мГц и единицы гГц.

1.3. Увеличение разрядности МП

У самых первых МП разрядность обрабатываемых слов составляла 8 бит. Развитие интегральной технологии повысило степень интеграции БИС, что в свою очередь позволило создать 16-разрядные МП. Следует отметить, что начиная с появления МП Intel 80386 разрядность обрабатываемых слов составила 32 бита, что в полной мере достаточно на сегодняшний день для большинства сфер применения МП и в микропроцессорных системах, и в персональных

компьютерах. В перспективе ожидается повышение разрядности до 64 бит у сверхвысокопроизводительных однокристальных микропроцессоров.

Для микропроцессорной техники очень важное значение имеет разрядность адресов, с которыми может работать МП. В свою очередь это определяет объем адресуемой памяти системы и, следовательно, возможность работы с большим объемом программ и обрабатываемых данных, а значит с более производительными и удобными для пользователя программным обеспечением и операционными системами.

1.4. Процесс обработки данных

Для МП Intel 8080 процесс выполнения команды растягивался во времени на большое число тактов. Команда сначала считывалась из программной памяти, причем сам МП в это время бездействовал, и только после этого команда исполнялась. Таким образом, время выполнения самой примитивной программы было значительным.

Уже в следующем МП Intel 8086 процесс считывания команды и ее исполнения возлагались на разные устройства МП – шинный интерфейс и операционное устройство. Такое решение позволило распараллелить процессы выполнения команды и ее выборки. В дальнейшем совершенствование архитектуры микропроцессоров позволило реализовать процесс выполнения команд в конвейерной структуре МП.

Процесс исполнения команды при этом разбивается на несколько ступеней, а каждой ступени соответствует свой модуль в структуре МП.

С очередным тактовым импульсом команды продвигаются на следующую ступень. Выполненная команда покидает конвейер, а новая поступает в него. Таким образом, процессор одновременно осуществляет обработку нескольких команд, хотя каждая команда, взятая в отдельности, проходит несколько ступеней обработки. Необходимо отметить, что суперскалярные процессоры – это процессоры, имеющие несколько ступеней, а процессоры, имеющие несколько конвейеров, принято считать суперконвейерными.

1.5. Использование сопроцессоров

Общеизвестно, что МП выполняет множество различных команд, которые являются элементарными действиями. Однако более сложные действия, например операции умножения и деления, выполняются программно. Но любое сложное вычисление может быть выполнено чисто аппаратным путем за гораздо меньшее время. Поэтому можно добиться существенного повышения производительности МПС, если параллельно с основным процессором будет работать математический сопроцессор. Такие сопроцессоры имеют специальную систему команд, ориентированную на выполнение математических операций, таких, как умножение, деление, вычисление трансцендентных функций, операции с вещественными числами и т.п. Следует отметить, что сопроцессоры не осуществляют выборку команд – такую функцию выполняет основной процессор. Но при появлении специальных команд, предназначенных для сопроцессора, он активизируется и выполняет требуемую операцию. Команды и данные он получает по системной шине данных, а результат операции может быть передан в основной процессор или в память. Нельзя не отметить, что во время работы основной процессор и сопроцессор обмениваются управляющими сигналами, в соответствии с которыми сопроцессор принимает требуемые команды и оповещает основной процессор о своем состоянии.

Кроме математических сопроцессоров имеются сопроцессоры ввода-вывода, которые освобождают основной процессор от непроизводительных затрат времени, связанных с обслуживанием обмена данными с внешними устройствами.

Первоначально сопроцессоры выполнялись как отдельные БИС, которые получали команды от основного процессора и выдавали ему результаты операции. В настоящее время основной процессор и сопроцессоры реализованы в одном кристалле БИС.

1.6. Использование кэш-памяти

Основными причинами снижения производительности МПС являются затраты времени, связанные с обращением к памяти. Динамические ЗУ, на основе которых осуществляется построение оперативной памяти в большинстве МПС, имеют существенно меньшее быстродействие, чем процессоры.

По этой причине для сокращения временных затрат, связанных с обращениями к оперативной памяти, используют более быстродействующую кэш-память, которая реализуется на быстродействующих триггерных элементах (статических ЗУ).

В ней содержатся копии данных, хранящихся в ОЗУ, которые были считаны процессором ранее и параллельно занесены в кэш-память. Поэтому, если к данным уже было обращение, то их копия, отмеченная соответствующим адресом, будет храниться в кэш-памяти.

При чтении данных МП выдает адрес, который поступает в ОЗУ и кэш-память (рис.1.1). Если эти данные имеются в кэш-памяти, тогда формируется сигнал Hit-попадание и данные из кэш-памяти выдаются на шину данных, выдача данных из ОЗУ при этом блокируется сигналом Hit.

В случае, когда копии данных в кэш-памяти отсутствуют, тогда осуществляется обычный цикл чтения из ОЗУ и данные поступают на шину данных (ШД) и параллельно заносятся в кэш-память.

Эффективность использования кэш-памяти обусловлена тем, что программы, исполняемые процессором, как правило, являются циклическими, поэтому происходит многократное обращение к одним и тем же данным или командам программы.

Вполне очевидно, что степень повышения производительности МПС при этом зависит от характера программы, ее цикличности.

Также следует отметить, что кэш-память имеет небольшой объём и любое слово, которое заносится в кэш-память, должно сопровождаться дополнительными данными, определяющими, копией какой ячейки памяти оно является.

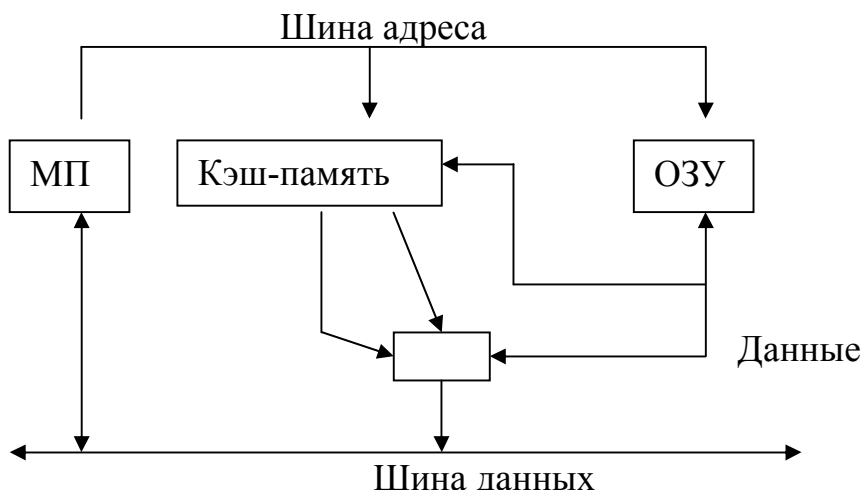


Рис.1.1 Структура МПС с кэш-памятью

Рассмотренная структура характерна для внешней кэш-памяти, которая подключается к внешним шинам адреса и шинам данных.

В современных МП имеется внутренняя кэш-память, которая располагается внутри кристалла процессора. Внутренняя кэш-память разделена на кэш-память данные и кэш-память команды. В процессе работы такого процессора сначала осуществляется обращение к внутренней кэш-памяти; если нет требуемой информации, то осуществляется обращение к внешней кэш-памяти МПС; если и в этом случае отсутствует информация, то выполняется обращение к ОЗУ. Производительность современных микропроцессоров во многом определяется объемами кэш-памяти.

2. ЭТАПЫ РАЗВИТИЯ МИКРОПРОЦЕССОРОВ

В истории развития микропроцессорной техники выделяют семь поколений МП.

2.1. Процессоры первого и второго поколений

К этим процессорам относятся МП Intel 8080, 8086/8088 и 80286.

Первым МП, на основе которого стали создавать персональные компьютеры, был МП 8080. Он был 8-разрядным, имел тактовую частоту 2 Мгц и содержал 6 тыс. транзисторов. Производительность такого компьютера была не-

высокой, однако её оказалось достаточно для успешного применения в качестве контроллера различных приборов, устройств и систем автоматики. В настоящее время этот МП не используется, но вместо него широко применяется 8-разрядный МП 8085, отличающийся значительно меньшей потребляемой мощностью.

Фирмой Intel был разработан МП 80186, не получивший распространения, а в 1982 г. – МП 80286, который стал основой персонального компьютера (ПК) PCAT, появившегося на рынке в 1984 г.

Если МП 8086 содержал 29 тысяч транзисторов, то МП 80286 – уже 134 тыс. транзисторов. Этот МП имел ту же разрядность, но более высокие тактовую частоту и объем адресуемой памяти (до 16 Мбайт). Кроме того, МП позволял работать с так называемой виртуальной памятью и поддерживал мультизадачный режим. Если физическая память оказывалась полностью загруженной, то данные, не поместившиеся в память, располагались на жестком диске, т.е. процессор работал уже не с реальными, а с виртуальными адресами, которые формировались с помощью специальных таблиц, хранящихся во внутренней регистровой памяти МП.

Нельзя не отметить то, что в мультизадачном режиме процессор выполнял различные программы в отведенные отрезки времени, при этом у пользователя формировалось впечатление, что они выполняются одновременно. Следует заметить, что производительность МП 80286 более чем в 6 раз превышает производительность МП 8086.

2.2. Процессоры третьего поколения

В 1985 г. был представлен 32-разрядный МП 80386, который с учётом более совершенных модификаций базового МП выпускался до 1992 г. Этот МП содержал 275 тыс. транзисторов. Процессор работал с более высокой тактовой частотой (последние модификации – до 33 МГц). Заметим, что удвоение разрядности адресов обеспечивало адресацию физической памяти до 4 Гбайт, а виртуальной – до 64 Гбайт. Повышение производительности МП потребовало и более быстродействующей памяти, и у МП 80386 впервые была обеспечена ра-

бота с внешней кэш-памятью, которая была выполнена на основе быстродействующих статических ЗУ. Для этого на материнской плате компьютера кроме обычных динамических ЗУ размещались микросхемы кэш-памяти и кэш-контроллер. Выпуском МП 80386 занимались не только фирма Intel, но и многие другие, такие, как Chips&Technologies, Texas Instruments, Cyrix. А фирма AMD разработала и выпустила в 1991 г. МП, работающий с тактовой частотой 40 МГц.

2.3. Процессоры четвёртого поколения

МП 80486 появился в 1989 г., содержал 1,2 млн транзисторов и в течение долгого времени являлся стандартом для высококлассных компьютеров. Различия между процессорами 80386 и 80486 существенны. Преимущество в производительности нового МП перед предшественником определялось не столько более высокой тактовой частотой, сколько усовершенствованиями в архитектуре. МП 80486 имел расширенный набор из шести команд. В микросхему МП была встроена внутренняя кэш-память для данных и команд, управляемых внутренним контроллером. МП 80486 имел встроенный в микросхему математический сопроцессор, который обеспечивал эффективные вычисления с вещественными числами. Также в МП была реализована конвейеризация вычислений, при которой каждая последующая команда начинала выполняться сразу же после прохождения первой ступени конвейера предыдущей команды.

Фирма Intel последовательно совершенствовала этот МП, выпустив несколько модификаций, в которых работа самого МП осуществлялась с вдвое, а затем и вчетверо большей частотой, чем частота работы в материнской плате (такую возможность обеспечивает внутренняя кэш-память).

2.4. Процессоры пятого поколения

В 1993 г. был выпущен МП под кодом P5, который должен был называться Intel 80586, но назвали его Pentium. Он содержит 3,1 млн транзисторов.

Повышение производительности МП пятого поколения связано со следующими усовершенствованиями в архитектуре:

- применена «технология предсказания переходов», которая заключается в том, что МП обеспечивает хранение адресов последних 256 условных и безусловных переходов, в результате чего осуществляется быстрое формирование адреса следующей команды, которая подлежит исполнению;

- развита конвейеризация вычислений, а именно: увеличено количество конвейеров до двух, число ступеней каждого конвейера до пяти;

- вдвое увеличена разрядность шины данных (ШД): 64 бита у МП 80586, 32 бита у МП 80486;

- существенно изменена архитектура кэш-памяти, т.е. проведено её разделение для команд и данных объемом по 8 Кбайт для каждой. У МП 80486 кэш-память общая;

- МП имеет более совершенный математический сопроцессор, который обеспечивает 3-4-кратный выигрыш в скорости выполнения операций.

Следует также отметить, что были разработаны модификации МП Pentium, у которых внутренняя тактовая частота в 1,5; 2 и 2,5 раза больше, чем тактовая частота работы материнской платы. Отметим совершенствование технологии, а именно: если первый МП был изготовлен по 0,8-микронной технологии, последующие модификации – по 0,35-микронной технологии, то последние модели – по 0,25-микронной технологии.

Наивысшим достижением фирмы Intel в разработке МП пятого поколения был МП Pentium MMX, выпущенный в 1997 г.

Такой МП ориентирован на решение задач мультимедиа, которые требуют интенсивных операций с целыми числами. Эти задачи решают коммуникационные, игровые, обучающие программы, которые используют графику, аудио, трехмерное изображение, мультипликацию и т.п. В сравнении с первым МП пятого поколения он отличается следующими изменениями архитектуры:

- увеличен в два раза размер внутренней кэш-памяти команд и данных, соответственно по 16 Кбайт.

- длина конвейера увеличена на один шаг, т.е. шесть ступеней;

- увеличен в два раза буфер записи данных;

- введен новый блок формирования адресов переходов.

Фирмы-конкуренты AMD, Cyrix, SGS-Thomson разрабатывали собственные МП пятого поколения, в том числе и по технологии MMX.

2.5. Процессоры шестого поколения

В 1995 г. фирмой Intel были представлены первые образцы МП 80686, которые получили название Pentium PRO. Этот МП содержал 5,5 млн. транзисторов, а также в нем были усовершенствованы старые и применены новые приемы повышения производительности.

В отличие от МП Pentium новый МП имеет не пять, а четырнадцать ступеней конвейера. Число самих конвейеров возросло с двух до трёх.

Применены также новые приемы заблаговременного определения адреса переходов.

МП обладает двухуровневой кэш-памятью. Кэш-память второго уровня, которая размещалась ранее на материнской плате, теперь встроена в МП и может работать с тактовой частотой МП, в несколько раз превышающей тактовую частоту материнской платы. При реализации многозадачного режима работы значительное увеличение производительности МП осуществляется благодаря наличию кэш-памяти второго уровня.

Благодаря дальнейшему совершенствованию МП шестого поколения, в 1997 г. появился МП Pentium II, который сочетает в себе преимущества технологии Pentium PRO и MMX. Одной из особенностей этого МП является то, что в нём кэш-память второго уровня не связана жестко с ядром МП, а сконструирована на индивидуальной 64-разрядной шине, которая жестко связана с ядром. Кэш-память и МП размещены на одной процессорной плате, которая помещается в общий корпус.

Проводились интенсивные работы по совершенствованию технологии, что позволило выпустить целый ряд МП серии Pentium II, которые отличались друг от друга всё более высокой тактовой частотой. Если первый МП имел так-

товую частоту 233 МГц, то последний МП из этого ряда работал уже на частоте 450 МГц. Одновременно проводилась работа по повышению тактовой частоты материнской платы. Если изначально эта частота для всего семейства МП Pentium составляла 60...66 МГц, то последние модификации МП серии Pentium II работали уже на материнских платах с тактовой частотой 100 МГц.

В 1999 г. был представлен МП фирмы Intel Pentium III, основное отличие которого заключается в существенном расширении набора специальных команд, предназначенных для обработки целочисленных данных, что расширило возможности МП при обработке изображений.

Следует отметить, что постоянное совершенствование технологий, в частности переход от 0,25-микронной технологии к 0,18-микронной, привел к появлению ряда модификаций с более высокими тактовыми частотами – от 450 МГц для Pentium II и до 733 МГц для Pentium III.

Фирмой Intel были также разработаны МП семейства Celeron, более дешевые и предназначенные для домашнего использования. По этой причине у данных процессоров отсутствовала кэш-память второго уровня, которая дает значительный выигрыш в производительности в многозадачном режиме, при использовании профессиональных операционных систем, таких, как Windows NT, Unix, OS/2. Однако все процессоры семейства Celeron поддерживают технологию MMX.

Нельзя не отметить и такой факт, что конкурирующие с корпорацией Intel фирмы в области разработки МП шестого поколения добились впечатляющих результатов, а именно: некоторые МП не только соответствовали МП семейства Pentium III по производительности, но и превосходили их. Это МП семейств AMD K6-2, AMD K6-3 AMD. У них имеется дополнительный модуль для обработки трехмерных изображений, а также набор специальных команд.

Последние разработки МП шестого поколения поддерживают работу системных плат с тактовой частотой 133 МГц.

2.6. Процессоры седьмого поколения

Первый МП этого поколения К-7 был представлен фирмой AMD в 1999 г. Он выполнен по 0,22-микронной технологии, работает с частотой 500 МГц и содержит 22 млн. транзисторов.

Отличительные особенности этого процессора следующие:

- новая системная шина работает с тактовой частотой до 400 МГц;
- расширен объем кэш-памяти первого и второго уровней: объем кэш-команд и данных первого уровня составляет по 64 Кбайта, а второго уровня - от 512 Кбайт до 8 Мбайт;
- расширен набор инструкций для работы с целыми числами и кэш-памятью;
- процессор содержит по три конвейерных блока для выполнения операций с целыми числами и операций с вещественными числами.

Число конвейеров, таким образом, возросло вдвое, а число операций, которые выполняются за один такт, – до девяти.

Все эти решения позволили повысить производительность МП этого семейства по сравнению с лучшими МП семейства Pentium III на 35–40 %.

Фирмой AMD ведутся работы по совершенствованию субмикронной технологии, что позволило повысить тактовую частоту МП и преодолеть барьер в 1 ГГц.

МП седьмого поколения корпорации Intel Pentium IV, имеющий также название Willamate, представляет собой серьезную модернизацию архитектуры процессора Pentium PRO. Направления модернизации были аналогичны МП AMD К-7. Это переход на новую системную шину, расширение объемов кэш-памяти и числа конвейеров. Тактовая частота последних модификаций МП превысила 3 ГГц.

Нельзя не привести мысль одного из основателей фирмы Intel, которая была высказана Г. Муром в 1965 г.: «Мощность процессора удваивается каждые полтора года при сохранении его стоимости» [3].

3. ТИПОВОЙ МИКРОПРОЦЕССОР

3.1. Структура типового микропроцессора

Общеизвестно, что в самом общем виде структура типового МП, независимо от принадлежности к какому-либо поколению, независимо от своих характеристик, а следовательно, и реализуемых возможностей включает в себя следующие элементы (рис 3.1).

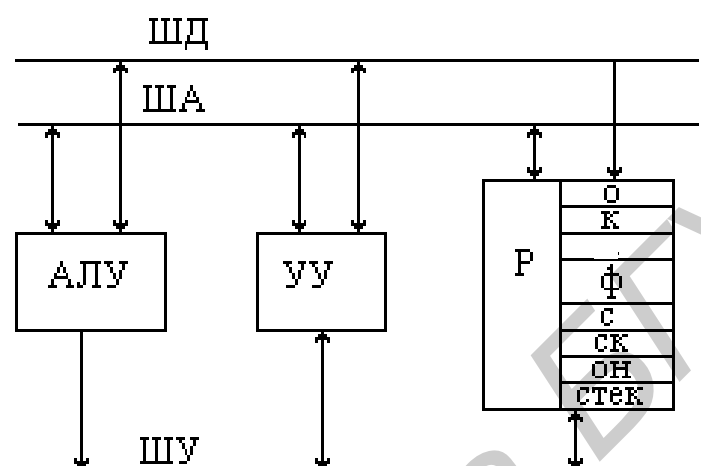


Рис. 3.1. Структура типового микропроцессора:

АЛУ – арифметико-логическое устройство; УУ – устройство управления;
Р – регистр; О – регистр операндов; К – регистр команд; А – регистр адреса;
Ф – регистр флажков; С – регистр состояний; СК – счетчик команд;
ОН – регистр общего назначения.

Рассмотрим кратко назначение каждого из приведенных элементов.

Арифметико-логическое устройство (АЛУ) необходимо для совершения различных арифметических и логических операций над числами и адресами, представленными в двоичном коде. Состав таких операций определяется набором команд АЛУ и составляет программное обеспечение микропроцессора. Например: арифметико-логическое сложение, команды сравнения, команды сдвига.

Арифметические операции выполняются в соответствии с правилами двоичной арифметики, а логические операции – в соответствии с правилами булевой алгебры.

Устройство управления (УУ) управляет работой АЛУ и всех других элементов структуры МП. Команды, которые поступают из памяти в УУ, пре-

образуются в двоичные сигналы, непосредственно воздействующие на все элементы структуры и стимулирующие выполнение данной команды.

Регистры (Р) представляют собой одинаковые ячейки памяти, которые предназначены для сверхоперативного хранения информации. Регистры разбиты по выполняемым функциям:

О – регистр операндов. Во время выполнения операции в АЛУ хранятся два числа, одно из них по окончании операции заменяется результатом. Содержимое второго заменяется в следующей операции другим операндом, взятым из регистра операндов;

К – регистр команд. Хранит разряды командного слова, представляющий код выполняемой операции в течение времени её выполнения;

А – регистр адреса. Предназначен для хранения адресной части командного слова;

Ф – регистр флажков. Предназначен для хранения значений увеличения разрядности результата по отношению к разрядности каждого из операндов после выполнения какой-либо операции;

С – регистр состояния. Фиксирует состояние микропроцессора в каждый момент выполнения программы;

СК – счётчик команд. Определяет количество выполняемых команд, при необходимости находит нужный адрес команды;

ОН – регистры общего назначения. Используются для хранения промежуточных результатов адресов и команд, возникающих в ходе выполнения программы;

СТЕК. Позволяет без обмена с памятью осуществить правильную последовательность выполнения различных операций.

Необходимо отметить, что скорость выполнения МП-программы прямо пропорциональна тактовой частоте. Частота синхронизации выбирается максимальной и ограничивается задержками прохождения сигналов, которые определяются технологией изготовления БИС (большая интегральная схема).

3.2. Функциональная схема, принцип её работы, назначение элементов структуры

Функциональная схема, типового МП представлена на рис.3.2. Можно выделить в этой схеме две основные части: УУ – устройство управления и ОУ – операционное устройство.

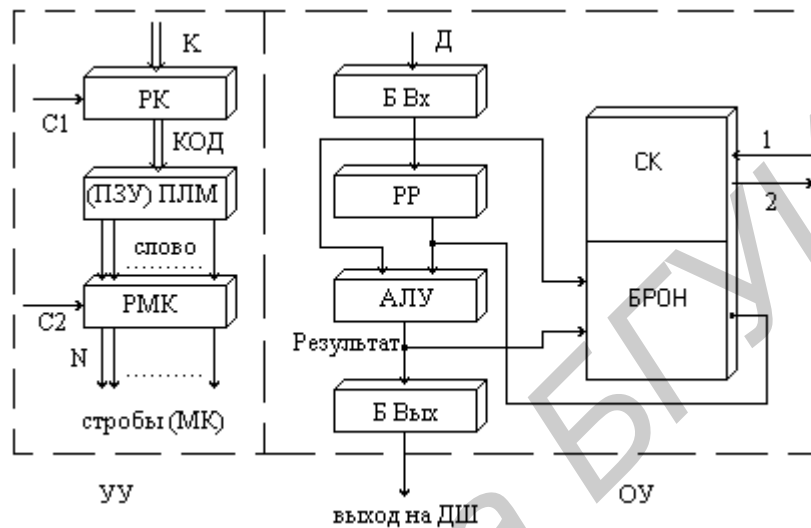


Рис. 3.2. Функциональная схема типового микропроцессора:

РК – регистр команд; БРОН – блок регистров общего назначения;
БВх – буферная схема входа; БВых – буферная схема выхода;
РР – рабочий регистр; РМК – регистр микрокоманд; СК – счётчик команд

Вполне очевидно, что каждое из приведенных устройств выполняет свою конкретную функцию. Однако, прежде чем перейти к рассмотрению принципа работы, отметим назначение каждого из элементов функциональной схемы .

Регистр команд (РК) предназначен для приёма внешней команды.

Блок регистров общего назначения (БРОН) предназначен для временного хранения промежуточных результатов, что позволило увеличить производительность работы микропроцессора.

Буферные схемы входа и выхода (БВх, БВых) предназначены для временного согласования и приёма данных, для электрического согласования внутренних и внешних сигналов МП.

Рабочий регистр (РР) и БРОН имеют возможность передачи данных в двух направлениях при необходимости передачи данных на вход АЛУ с выдачей результата на выходе АЛУ.

Принцип работы. На вход РК поступает код команды. По сигналу С1 он записывается в N-разрядный регистр. На выходе РК появляется фиксированный код, который в свою очередь поступает на вход ПЗУ. После поступления этого кода логическая матрица (ПЛМ) преобразует его во внутреннее N-разрядное слово микрокоманды.

Замечание. В процессе изготовления МП закон преобразования записывается в ПЗУ в виде массива программируемой матрицы, который предварительно разработан программистами и разработчиками.

Полученный код на выходе матрицы записывается в регистр микрокоманд (РМК) по сигналу С2. При отсутствии сигнала в С1 или в С2 РК и РМК не реагируют на внешнее воздействие. После появления на выходе РМК код команды, уже разбитый на поля, поступает на все блоки ОУ. Таким образом, все блоки ОУ настроены на выполнение какой-либо операции. Прежде всего настраивается АЛУ. Одновременно может быть выполнена перекоммутация информационных магистралей. Это означает, что данные могут быть выданы на внешнюю шину для какой-то внешней памяти или записаны во внутренний регистр блока РОН соответственно в зависимости от расшифрованного поля микрокоманды. Микрокоманда представляет собой набор стробов для магистралей.

Источником внешнего операнда могут быть данные внешней шины и выход внутреннего источника РК или РОН. Результат выполнения операции, появившийся на выходе АЛУ, в соответствии с расшифрованной микрокомандой будет записан в один из внутренних регистров или выдан на шину данных. В случае выдачи результата на шину данных буфер выхода выполняет функцию усиления сигнала. Одновременно с этим счётчик команд (СК) в момент окончания предыдущей команды формирует сигнал-адрес следующей команды. Принцип формирования заключается в том, что к содержимому СК прибавляется единица, если не предусмотрены другие действия в ходе микрокоманды.

4. СОВРЕМЕННЫЕ МИКРОПРОЦЕССОРЫ

4.1. Архитектура и структура современных микропроцессоров, их функциональная классификация

4.1.1. Архитектура и структура современных МП

Прежде чем перейти к классификации МП, введем понятия архитектуры и структуры этих устройств.

Архитектурой процессора принято считать комплекс его аппаратных и программных средств, предоставляемых пользователю. В это общее понятие входят: различные виды и способы обработки прерываний, программно-доступные регистры и регистры устройств исполнения; системы основных команд и способов адресации, объем адресуемой памяти. Все модификации процессоров Pentium, Celeron, i 486 и i 386 имеют архитектуру IA-32 (Intel Architecture – 32 bit), для которой характерны:

- одинаковая реализация защиты памяти и обслуживания прерываний;
- стандартный набор регистров, предоставляемых пользователю;
- общая система основных команд и способы организации и адресации памяти.

Структура микропроцессора определяет состав и взаимодействие основных устройств и блоков. Сюда входят:

- внутренняя память (кэш-память, блоки оперативной и постоянной памяти);
- периферийные устройства (специализированные контроллеры, таймеры, аналого-цифровые преобразователи);
- интерфейсный блок, который обеспечивает выход на системную шину и обмен данными с внешними устройствами через последовательные или параллельные порты ввода/вывода;
- центральный процессор (ЦП), который состоит из устройства управления (УУ), одного или нескольких операционных устройств (ОУ);
- различные вспомогательные схемы (схемы для выполнения отладки и тестирования, генератор тактовых импульсов и т.п.).

Структура и архитектура микропроцессора тесно взаимосвязаны. Реализация архитектурных особенностей обусловлена введением в структуру МП необходимых аппаратных средств (устройств и блоков) и обеспечения соответствующих механизмов их совместного функционирования.

В настоящее время в МП реализуются следующие варианты архитектур.

CISC (Complex Instruction Set Computer) – архитектура реализована во многих типах МП, выполняющих большой набор команд разного формата с использованием многочисленных способов адресации. Такая архитектура процессоров появилась и начала развиваться при возникновении первых компьютеров, можно считать её классической. Примером CISC-процессоров являются микропроцессоры семейства Pentium. Они выполняют более 200 команд разной степени сложности, которые имеют размер от 1 до 15 байт и обеспечивают более 10 различных способов адресации. Нельзя не отметить, что такое многообразие выполняемых команд и способов адресации дает возможность программисту эффективно реализовать сложные алгоритмы решения различных задач. Но это приводит к увеличению размеров и стоимости кристалла, следствием чего является снижение производительности, так как существенно усложняется структура микропроцессора, особенно его устройство управления. Одновременно с этим многие команды и способы адресации используются достаточно редко.

По этой причине интенсивное развитие получила архитектура процессоров с сокращенным набором команд (RISC-процессоры).

RISC (Reduced Instruction Set Computer) – такая архитектура отличается использованием ограниченного набора команд, причём фиксированного формата около 100 команд длиной 4 байта. Значительно сокращено число используемых способов адресации. Обычно все команды обработки данных выполняются только с регистровой или непосредственной адресацией. Однако для сокращения количества обращений к памяти эти процессоры имеют увеличенный объем внутреннего РЗУ – от 32 до нескольких сотен регистров, тогда как в CISC-процессорах число регистров общего назначения обычно составляет 8–16.

Обращение к памяти в RISC-процессорах используется только в операциях загрузки данных в РЗУ или пересылке результатов из РЗУ в память. При этом используется большое число наиболее простых способов адресации: косвенно-регистравая, индексная и некоторые другие. В результате существенно упрощается структура микропроцессора, сокращаются его размеры и стоимость, значительно повышается производительность.

VLIW (Very Large Instruction Word) – эта архитектура появилась в 90-х годах прошлого века. Использование очень длинных команд (до 128 бит и более), отдельные поля которых содержат коды, обеспечивает выполнение различных операций. Вследствие этого одна команда вызывает выполнение сразу нескольких операций параллельно в различных операционных устройствах, входящих в структуру микропроцессора. Данная архитектура реализована в нескольких типах современных микропроцессоров (Itanium – разработка фирмы «Intel» и «Hewlett-Packard») и является весьма перспективной для создания нового поколения сверхвысокопроизводительных процессоров.

4.1.2. Классификация современных МП

Теперь перейдём к рассмотрению классификации современных микропроцессоров по функциональному признаку.

Необходимо учесть то, что МП является универсальным средством для цифровой обработки информации, однако отдельные области применения требуют реализации определенных специфических вариантов их структуры и архитектуры. Поэтому по функциональному признаку можно выделить: микропроцессоры общего назначения и специализированные микропроцессоры (рис. 4.1).

Отметим, что специализированные микропроцессоры подразделяются на цифровые процессоры сигналов (ЦПС), которые ориентированы на реализацию процедур, обеспечивающих необходимое преобразование аналоговых сигналов, представленных в цифровой форме, и микроконтроллеры (МК), предназначенные для выполнения функций управления различными объектами системы.

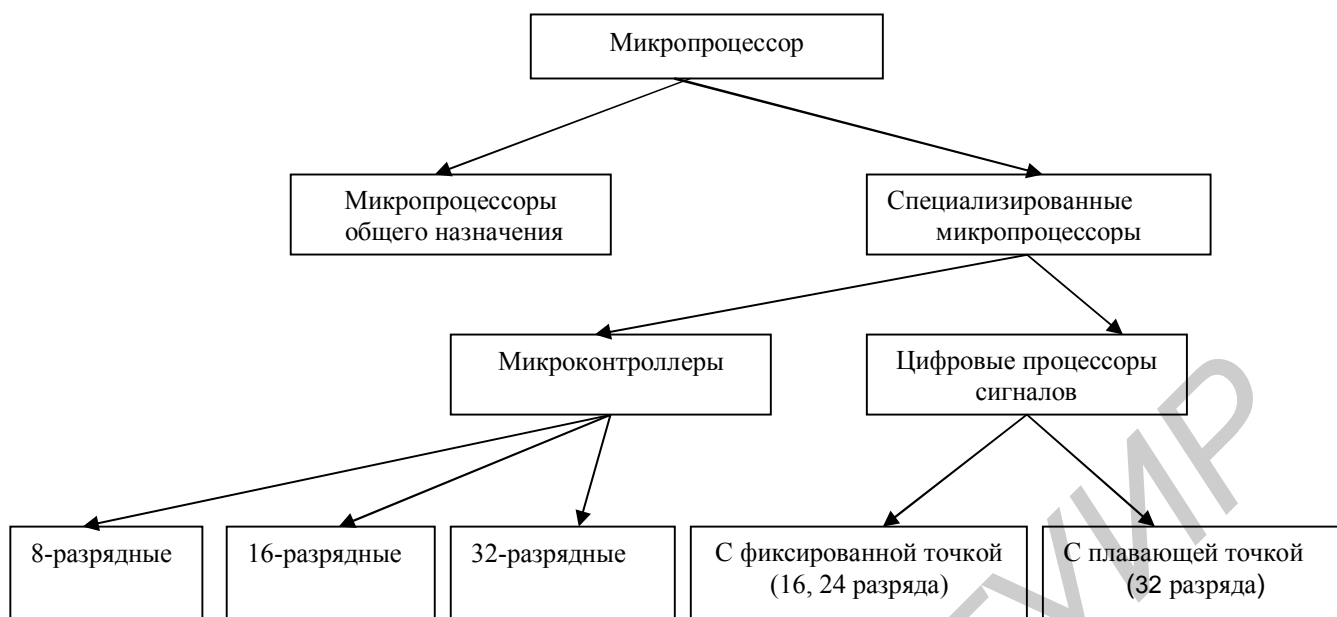


Рис.4.1. Классификация современных микропроцессоров по функциональному признаку

Но МП общего назначения предназначены для решения широкого круга задач обработки разнообразной информации. Они используются главным образом рабочими станциями, серверами и цифровыми системами различного назначения, а также персональными компьютерами.

К этому классу относятся CISC-процессоры Pentium компании «Intel», K7 – компании «Advanced MicroDevices» (AMD), 680x0 – компании «Motorola», RISC-процессоры PowerPC, выпускаемые компаниями «Motorola» и IBM, SPARC – компании «Sun Microsystems».

Расширение области применения таких микропроцессоров достигается главным образом путем роста производительности, благодаря чему увеличивается круг задач, который можно решать с их использованием. Поэтому повышение производительности является магистральным направлением развития этого класса МП. Обычно это 32-разрядные микропроцессоры (микропроцессоры этого класса имеют 64-разрядную или 128-разрядную структуру), которые изготавливаются по самой современной промышленной технологии, обеспечивающей максимальную частоту функционирования.

Ряд наиболее популярных микропроцессоров этого класса (Pentium, AMD-K7 и некоторые другие) следует отнести к CISC-процессорам, так как они выполняют большой набор разноформатных команд с использованием многочисленных способов адресации. Однако в их внутренней структуре содержится RISC-процессор, который выполняет поступившие команды после их преобразования в последовательность простых RISC-операций. Ряд других микропроцессоров этого класса непосредственно реализует RISC-архитектуру. Поэтому можно считать, что использование RISC-архитектуры характерно для большинства этих микропроцессоров. Однако в ряде последних разработок (Itanium, PA8500) некоторых ведущих производителей успешно применяются принципы VLIW-архитектуры, которая может составить конкуренцию RISC-архитектуре в соревновании за достижение наивысшей производительности.

Практически все современные микропроцессоры этого класса используют гарвардскую внутреннюю архитектуру, где разделение потоков команд и данных реализуется с помощью отдельных блоков кэш-памяти. В большинстве случаев они имеют суперскалярную структуру с несколькими исполнительными конвейерами (до 10 в современных моделях), которые содержат до 20 ступеней [9].

Благодаря своей универсальности микропроцессоры общего назначения используются также в специализированных системах, где требуется высокая производительность. На их основе реализуются одноплатные компьютеры и промышленные компьютеры, которые применяются в системах управления различными объектами. Одноплатные компьютеры содержат на плате необходимые дополнительные микросхемы, которые обеспечивают их специализированное применение, и предназначены для встраивания в аппаратуру различного назначения.

Однако МК являются специализированными микропроцессорами, ориентированными на реализацию устройств управления, которые могут устанавливаться в аппаратуру различного применения.

Особенностью структуры МК является размещение на одном кристалле с центральным процессором внутренней памяти и большого набора периферийных устройств. В состав периферийных устройств входят один или два последовательных порта, несколько 8-разрядных параллельных портов ввода-вывода данных (до 8), аналого-цифровой преобразователь – блок таймеров, а кроме того, МК может содержать блок формирования сигналов с широтно-импульсной модуляцией в виде дополнительного специализированного устройства. Благодаря использованию внутренней памяти и периферийных устройств реализуемые на базе МК системы управления содержат минимальное количество дополнительных устройств.

В связи с широким диапазоном решаемых задач управления требования, предъявляемые к производительности процессора, объему внутренней памяти команд и данных, набору необходимых периферийных устройств, оказываются весьма разнообразными. Для удовлетворения запросов потребителей выпускается большая номенклатура микроконтроллеров, которые принято подразделять на 8-, 16- и 32-разрядные.

4.1.3. Микроконтроллеры на 8 разрядов

Восьмиразрядные микроконтроллеры представляют наиболее многочисленную группу этого класса МП, которые имеют производительность относительно низкую, однако вполне достаточную для решения широкого круга задач управления различными объектами. Это простые и дешевые МК, которые ориентированы на использование в относительно несложных устройствах массового выпуска. Основными областями их применения являются бытовая и измерительная техника, промышленная автоматика, автомобильная электроника, теле-, видео- и аудиоаппаратура, средства связи.

Для этих МК характерна реализация гарвардской архитектуры, где используется отдельная память для хранения программ и данных. Для хранения программ в различных типах МК применяется либо масочно-программируемое ПЗУ (ROM), либо однократно программируемое ПЗУ (PROM), либо электрически репрограммируемое ПЗУ (EPROM, EEPROM или Flash). Внутренняя па-

мять программ обычно имеет объем от нескольких единиц до десятков килобайт. Для хранения данных используется регистровый блок, организованный в виде нескольких регистровых банков, или внутреннее ОЗУ. Объем внутренней памяти данных составляет от нескольких десятков байт до нескольких килобайт. Нужно заметить, что ряд МК этой группы позволяет в случае необходимости дополнительно подключать внешнюю память команд и данных объемом до 64–256 Кбайт.

МК этой группы обычно выполняют относительно небольшой набор команд (50-100), использующих наиболее простые способы адресации.

В ряде последних моделей этих микроконтроллеров реализованы принципы RISC-архитектуры, что позволяет существенно повысить их производительность. В результате такие микроконтроллеры обеспечивают выполнение большинства команд за один такт машинного времени.

4.1.4. Микроконтроллеры на 16 разрядов

Шестнадцатиразрядные микроконтроллеры во многих случаях являются усовершенствованной модификацией своих 8-разрядных прототипов. Они характеризуются не только увеличенной разрядностью обрабатываемых данных, но и расширенной системой команд и способов адресации, увеличенным набором регистров и объемом адресуемой памяти, а также рядом других дополнительных возможностей, использование которых позволяет повысить производительность и обеспечить новые области применения. Обычно эти микроконтроллеры позволяют расширить объем памяти программ и данных до нескольких мегабайт путем подключения внешних микросхем памяти. Во многих случаях реализуется их программная совместимость с более младшими 8-разрядными моделями. Основная сфера применения таких микроконтроллеров — сложная промышленная автоматика, телекоммуникационная аппаратура, медицинская и измерительная техника.

4.1.5. Микроконтроллеры на 32 разряда

Тридцатидвухразрядные микроконтроллеры содержат высокопроизводительный процессор, соответствующий по своим возможностям младшим моделям микропроцессоров общего назначения. В ряде случаев процессор, исполь-

зубый в этих микроконтроллерах, аналогичен CISC- или RISC-процессорам, которые выпускаются или выпускались ранее в качестве микропроцессоров общего назначения. Например, в 32-разрядных микроконтроллерах компании Intel используется процессор i386, в микроконтроллерах компании Motorola широко применяется процессор 680x0, в ряде других МК в качестве процессорного ядра служат RISC-процессоры типа PowerPC. На базе данных процессоров были реализованы различные модели персональных компьютеров. Введение этих процессоров в состав микроконтроллеров позволяет использовать в соответствующих системах управления огромный объем прикладного и системного программного обеспечения, созданный ранее для соответствующих персональных компьютеров.

Кроме 32-разрядного процессора на кристалле микроконтроллера размещается внутренняя память команд емкостью до десятков килобайт, память данных емкостью до нескольких килобайт, а также сложнофункциональные периферийные устройства: таймерный процессор, коммуникационный процессор, модуль последовательного обмена и ряд других. Микроконтроллеры работают с внешней памятью объемом до 16 Мбайт и выше. Они находят широкое применение в системах управления сложными объектами промышленной автоматизации (двигатели, робототехнические устройства, средства комплексной автоматизации производства), в контрольно-измерительной аппаратуре и телекоммуникационном оборудовании.

Во внутренней структуре этих микроконтроллеров реализуется принстонская или гарвардская архитектура. Входящие в их состав процессоры могут иметь CISC- или RISC-архитектуру, а некоторые из них содержат несколько исполнительных конвейеров, образующих суперскалярную структуру.

4.1.6. Цифровые процессоры сигналов

Цифровые процессоры сигналов (ЦПС) представляют класс специализированных микропроцессоров, ориентированных на цифровую обработку поступающих аналоговых сигналов. Специфической особенностью алгоритмов обра-

ботки аналоговых сигналов является необходимость последовательного выполнения ряда команд умножения-сложения с накоплением промежуточного результата в регистре-аккумуляторе. Поэтому архитектура ЦПС ориентирована на реализацию быстрого выполнения операций такого рода. Набор команд этих процессоров содержит специальные команды MAC (Multiplication with Accumulation), реализующие эти операции.

Значение поступившего сигнала может быть представлено в виде числа с фиксированной или «плавающей» точкой. В соответствии с этим ЦПС делятся на процессоры, обрабатывающие числа с фиксированной или плавающей точкой. Более простые и дешевые ЦПС с фиксированной точкой обычно обрабатывают 16-разрядные операнды, представленные в виде правильной дроби. Однако ограниченная разрядность в ряде случаев не позволяет обеспечить необходимую точность преобразования. В ЦПС с фиксированной точкой, выпускаемых компанией «Motorola», принято 24-разрядное представление операндов. Наиболее высокая точность обработки обеспечивается в случае представления данных в формате с «плавающей» точкой. В ЦПС, обрабатывающих данные с «плавающей» точкой, обычно используется 32-разрядный формат их представления.

Для повышения производительности при выполнении специфических операций обработки сигналов в большинстве ЦПС реализуется гарвардская архитектура с использованием нескольких шин для передачи адресов, команд и данных. В ряде ЦПС нашли применение некоторые черты VLIW-архитектуры: совмещение в одной команде нескольких операций, обеспечивающих обработку имеющихся данных и одновременную загрузку в исполнительный конвейер новых данных для последующей обработки.

4.2. Структура процессора с гарвардской архитектурой

Необходимо отметить, что помимо способов адресации и выполняемых команд важной особенностью МП является используемый вариант реализации памяти и организация выборки команд и данных. По этим признакам различаются процессоры с принстонской и гарвардской архитектурой. Такие архитек-

турные варианты были предложены для разрабатываемых моделей компьютеров в конце 40-х годов специалистами соответственно Принстонского и Гарвардского университетов США.

Принстонская архитектура, часто называется архитектурой фон Неймана, характеризуется использованием общей оперативной памяти для хранения программ, данных, а также для организации стека. Для обращения к этой памяти используется общая системная шина, по которой в процессор поступают и команды и данные.

4.2.1. Достоинства и недостатки архитектуры фон Неймана

Эта архитектура имеет ряд важных достоинств. Наличие общей памяти позволяет оперативно перераспределять ее объем для хранения отдельных массивов команд, данных и реализации стека в зависимости от решаемых задач. Таким образом, обеспечивается возможность более эффективного использования имеющегося объема оперативной памяти в каждом конкретном случае применения МП. Использование общей шины для передачи команд и данных значительно упрощает отладку, тестирование и текущий контроль функционирования системы, повышает ее надежность. Поэтому принстонская архитектура в течение долгого времени доминировала в вычислительной технике. Однако она имеет и существенные недостатки. Основным из них является необходимость последовательной выборки команд и обрабатываемых данных по общей системной шине. При этом общая шина становится так называемым «узким местом», которое ограничивает производительность цифровой системы. Постоянно возрастающие требования к производительности микропроцессорных систем (МПС) вызвали в последние годы более широкое применение гарвардской архитектуры при создании многих типов современных микропроцессоров.

4.2.2. Необходимость и преимущества гарвардской архитектуры

Гарвардская архитектура характеризуется физическим разделением памяти команд (программ) и памяти данных. В ее оригинальном варианте использовался также отдельный стек для хранения содержимого программного счетчи-

ка, который обеспечивал возможности выполнения вложенных программ. Каждая память соединяется с процессором отдельной шиной, что позволяет одновременно с чтением-записью данных при выполнении текущей команды производить выборку и декодирование следующей команды. Благодаря такому разделению потоков команд и данных и совмещению операций их выборки реализуется более высокая производительность, чем при использовании принстонской архитектуры.

Недостатки гарвардской архитектуры связаны с необходимостью наличия большего числа шин, а также с фиксированным объемом памяти, выделенной для команд и данных, назначение которой не может оперативно перераспределяться в соответствии с требованиями решаемой задачи.

В качестве примера на рис. 4.2 показана типичная суперскалярная структура процессора с гарвардской архитектурой, которая реализована в высокопроизводительных 32-разрядных МП семейства PowerPC, выпускаемых компаниями Motorola и IBM. Гарвардская архитектура обеспечивается разделением потоков команд и данных во внутренней структуре процессора путем использования отдельных блоков кэш-памяти IC (кэш-команд) и DC (кэш-данных). Каждая кэш-память имеет отдельный блок управления MMU (Memory Management Unit). В процессоре реализуется шестиступенчатый конвейер выполнения команд. Устройство управления содержит три первые ступени конвейера, реализующие выборку, декодирование и распределение команд по параллельно работающим исполнительным устройствам. Команды условных ветвлений поступают на выполнение в блок предсказания ветвлений BPU (Branch Prediction Unit), который обеспечивает загрузку в конвейер следующих команд с наиболее вероятным направлением хода команды.

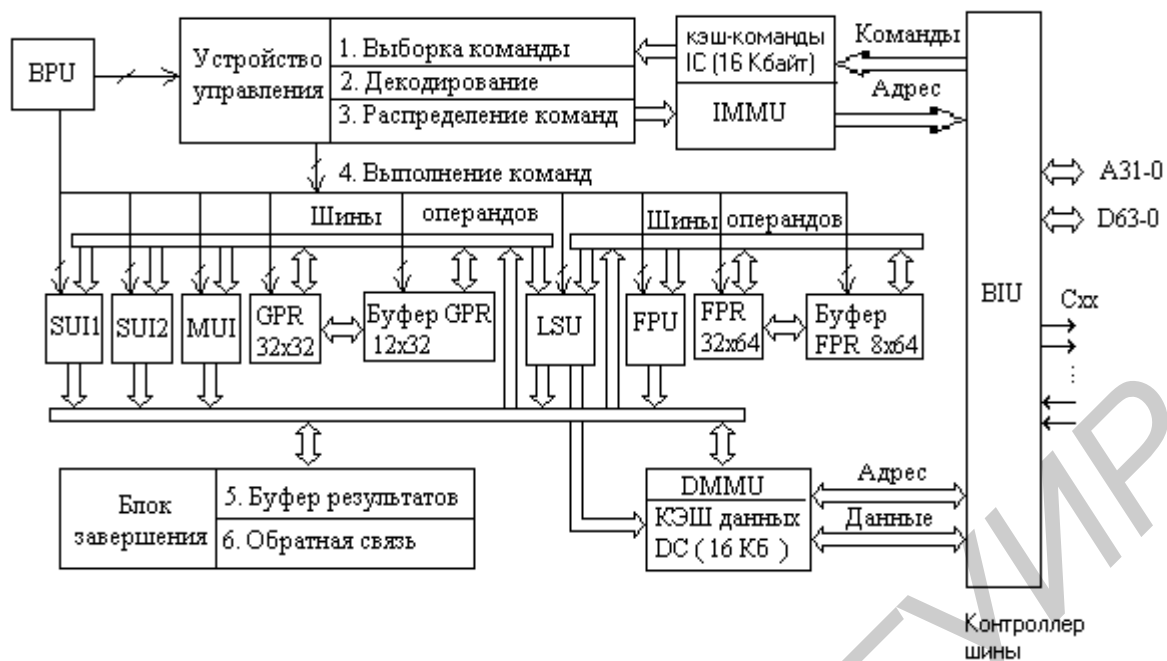


Рис.4.2. Типичная суперскалярная структура процессора с гарвардской внутренней архитектурой

Исполнительные устройства сгруппированы в два блока. Блок целочисленных операций содержит два исполнительных устройства – SIU1 и SIU2 (Single Instruction Unit) – для простых операций, выполняемых за один такт, и одно устройство для выполнения сложных операций MIU (Multiple Instruction Unit), которые занимают несколько тактов. Эти устройства обслуживаются блоком из 32 регистров общего назначения GPR (General Purpose Registers). Блок FPU (Floating Point Unit) выполняет операции с плавающей точкой за несколько тактов. Он обслуживается отдельным блоком из 32 регистров FPR (Floating Point Registers), которые имеют по 64 разряда. Каждый из регистровых блоков имеет набор дублирующих регистров (буферы GPR и FPR), которые обеспечивают возможность «переименования» регистров в случае их одновременного использования несколькими командами, находящимися на стадии исполнения. Блок LSU (Load-Store Unit) производит операции загрузки регистров из памяти и записи содержимого регистров в память. После выполнения операций полученные результаты поступают в блок завершения, где они накапливаются в специальной буферной памяти, а затем записываются в кэш-данных или основную память в соответствии с исходной последовательностью команд программы (процедура обратной записи, восстанавливающая нормальную после-

довательность выдачи результатов). Контроллер шины BIU (Bus Interface Unit) обеспечивает обращение к системной шине, она содержит 32-разрядную шину адреса A31-0, 64-разрядную шину данных D63-0 и многочисленные линии для передачи управляющих сигналов Cxx.(3,10)

4.3. Структура процессора Intel P6, функционирование

4.3.1. Особенности МП семейства P6 фирмы Intel

МП семейства P6 по сравнению с предыдущими моделями микропроцессоров фирмы «Intel» ряда 80x86 имеют ряд архитектурных и структурных особенностей. Наиболее характерными из них являются:

- **гарвардская структура** – отличается разделением потоков команд и данных при помощи введения отдельных внутренних блоков кэш-памяти для хранения команд и данных, а также наличием шин для их передачи;

- **суперскалярная архитектура** – обеспечивается одновременное выполнение нескольких команд в параллельно работающих исполнительных устройствах;

- **динамическое исполнение команд** – осуществляется реализация изменения последовательности команд, используется расширенный регистровый файл (переименование регистров), имеется возможность эффективного предсказания ветвлений;

- **двойная независимая шина** – содержит отдельную шину для обращения к кэш-памяти 2-го уровня (выполняется с тактовой частотой процессора) и системную шину для обращения к памяти и внешним устройствам (выполняется с тактовой частотой системной платы).

Процессоры семейства P6 имеют следующие характеристики:

- раздельная внутренняя кэш-память 1-го уровня (L1) для команд и данных емкостью по 16 Кбайт;

- использование системной шины с 36 разрядами адреса и 64 разрядами данных;

- наличие внутренних средств, обеспечивающих самотестирование, отладку и мониторинг производительности;

- поддержка реализации мультипроцессорных систем;

- ускоренное выполнение операций с плавающей точкой;
- предсказание направления программного ветвления с высокой точностью;
- поддержка общей кэш-памяти команд и данных 2-го уровня (L2) емкостью до 2 Мбайт;
- конвейерное исполнение команд с реализацией 12 ступеней конвейера;
- приоритетный контроль при обращении к памяти (защищенный режим);
- 32-разрядная внутренняя структура.

Наличие таких характеристик позволяет процессорам P6 эффективно работать с разнообразным программным обеспечением, в том числе под управлением операционных систем OS/2, MS-DOS, Windows, NextStep 486, UNIX SVR4, Solaris 2,0 и др. Следует отметить, что исполняемый код для этих процессоров полностью совместим с кодом предыдущих моделей микропроцессоров семейства Intel 80x86 (8086, 8088, 80186, 80188, 80286, 80386, 80486, Pentium, Pentium MMX, Pentium Pro), поэтому ими и системами на их основе может быть использован весь объем ранее разработанного программного обеспечения.

Теперь можно перейти к более подробному рассмотрению реализации структуры МП P6.

4.3.2. Суперскалярная архитектура и организация конвейера команд

Общая структура процессоров семейства P6 показана на рис.4.3.

Как было отмечено выше, гарвардская структура реализуется путем разделения потоков команд и данных, поступающих от системной шины через блок внешнего интерфейса в отдельные кэш-память команд и кэш-память данных, расположенные на кристалле процессора (кэш-память 1-го уровня, L1).

Блок внешнего интерфейса (BID – Bus Interface Unit) реализует протоколы обмена процессора с системной шиной, к которой подключаются память, контроллеры ввода-вывода, другие активные устройства системы, и шиной кэш-памяти 2-го уровня (L2), реализованной в виде отдельной микросхемы, которая размещается в общем корпусе с МП. Обмен по системной шине осуществляется с помощью 64-разрядной двунаправленной шины данных,

41-разрядной шины адреса (33 адресных линии A35-3 и 8 линий выбора байтов BE7-0#) и ряда линий для передачи сигналов управления.

Внутренняя кэш-память команд и данных 1-го уровня (L1) емкостью по 16 Кбайт каждая служит для размещения наиболее часто используемых команд и данных. Доступ к ним выполняется с частотой, соответствующей тактовой частоте процессора (сотни мегагерц). Благодаря этому существенно повышается производительность процессора за счет значительного сокращения числа обращений к внешней памяти, которые выполняются с частотой, определяемой возможностями системной шины (десятки мегагерц).

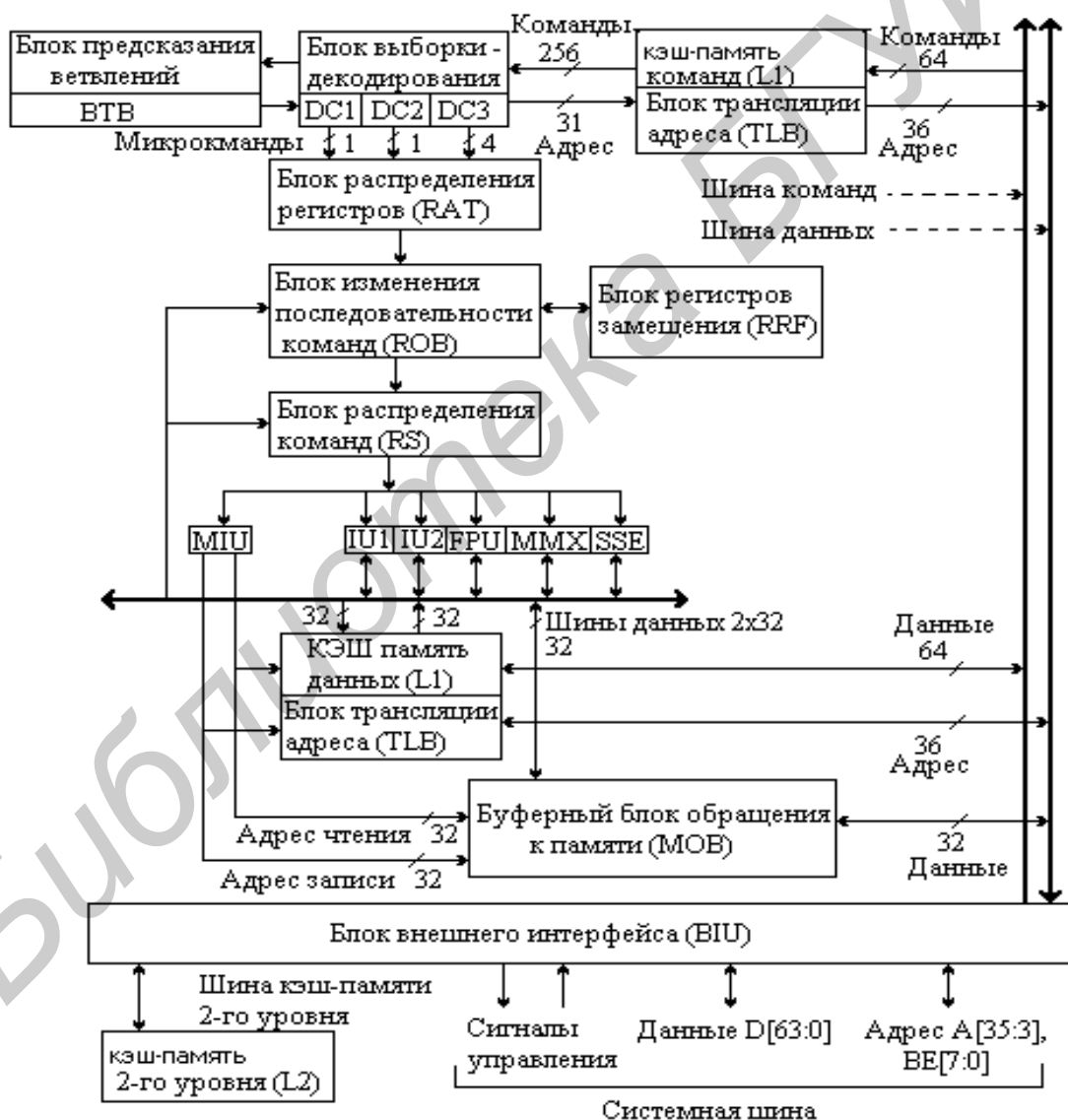


Рис. 4.3. Структура процессоров семейства Intel P6

Процессоры семейства P6 содержат также кэш-память 2-го уровня (L2) емкостью 256 Кбайт, 512 Кбайт или 1 Мбайт, которая изготавливается на отдельном кристалле, но размещается в общем корпусе с процессором. Ее применение позволяет дополнительно повысить производительность.

Процессор содержит блок выборки-декодирования, который выбирает из кэш-памяти команды 32 байта командного кода (строка длиной 256 бит), затем производит разделение и декодирование команд. При этом из выбранных команд выделяются простые команды, для выполнения которых достаточно одной микрооперации, и сложные команды, требующие выполнения нескольких микроопераций. К числу простых относятся, например, команды сложения, вычитания, сравнения, логических операций и ряд других, использующие регистровую адресацию операндов. Декодирование этих команд производят декодеры DC1, DC2, формирующие соответствующие микрокоманды. Декодер DC3 декодирует сложные команды (например, сложение, вычитание, сравнение, логические операции с выборкой операнда из памяти), выполнение которых требует до четырех микроопераций. Соответствующие микрокоманды формируются на выходах этого декодера. Более сложные команды (умножение, деление, операции с плавающей точкой и ряд других) требуют формирования последовательности нескольких микрокоманд. Для их реализации используется устройство микропрограммного управления с ПЗУ (постоянное запоминающее устройство) микропрограмм, которое обеспечивает на выходе DC3 необходимую последовательность микрокоманд. Таким образом, блок выборки-декодирования формирует шесть потоков микрокоманд, обеспечивающих параллельное выполнение трех команд программы [9, 3].

Если в потоке команд оказывается команда условного перехода, то включается блок предсказания ветвления, который формирует адрес следующей выбираемой команды до того, как будет определено условие выполнения перехода. После формирования потоков микрокоманд производится выделение регистров, необходимых для выполнения декодированных команд. Указанная процедура реализуется блоком распределения регистров (RAT), который выделяет

для каждого указанного в команде логического регистра один из 40 физических регистров, входящих в блок регистров замещения (RRF). Это позволяет выполнять команды, использующие одни и те же логические регистры, одновременно или с изменением их последовательности.

Блок изменения последовательности команд (ROB) обеспечивает реализацию эффективного выполнения потока декодированных команд.

Этот блок реализован в виде буфера, в который поступают микрокоманды, реализующие выполнение ряда декодированных команд. Одновременно в буфере могут содержаться до 40 микрокоманд, которые затем направляются в исполнительные устройства по мере готовности операндов, поступающих из блока регистров RRF или выбираемых из памяти. При этом команды выполняются не в порядке их поступления, а по мере готовности соответствующих операндов и исполнительных устройств. В результате команды, поступившие позже, могут быть выполнены до ранее выбранных команд. Таким образом, естественный порядок следования команд нарушается, чтобы обеспечить более полную загрузку параллельно работающих исполнительных устройств и повысить производительность процессора.

Микрокоманды поступают в исполнительные устройства через блок распределения (RS), который направляет их в соответствующее устройство после его освобождения. Блок распределения имеет пять выходных портов и обеспечивает в среднем выполнение трех команд одновременно.

Суперскалярная архитектура реализуется путем организации исполнительного ядра процессора в виде ряда параллельно работающих блоков. Исполнительные блоки IU1, IU2 производят обработку целочисленных операндов, блок FPU выполняет операции над числами с плавающей точкой, блок MMX реализует одновременную обработку нескольких упакованных символов, блок SSE, введенный в процессорах Pentium III, обеспечивает выполнение операций над потоком чисел с плавающей точкой. Один из целочисленных блоков выполняет также проверку условий ветвления для команд условных переходов и

выдает сигналы перезагрузки конвейера команд в случае неправильно предсказанного ветвления.

Адреса операндов, выбираемых из памяти, вычисляются блоком MIU, который реализует интерфейс с кэш-памятью данных или внешней памятью. В его состав входят устройства генерации адреса AGU, которые в соответствии с заданными в декодированных командах способами адресации одновременно формируют адреса двух операндов: один для операции чтения, второй - для операции записи. При этом MIU может формировать адреса и производить предварительное чтение операндов для команд, которые еще не поступили на выполнение. Такая процедура предварительного чтения данных для последующей их обработки в исполнительных блоках называется *спекулятивной* выборкой. Если команда, для которой проведена спекулятивная выборка операнда, не поступает на исполнение, то считанные данные теряются. Такой случай имеет место, например, для выбранных и декодированных команд, которые оказываются в нереализуемой ветви программы.

При выборке операнда из памяти производится обращение к кэш-памяти данных, которая имеет отдельные порты для чтения и записи. Таким образом, обеспечивается одновременная выборка операндов для двух команд. При отсутствии адресуемого операнда в кэш-памяти данных (кэш-промах) с помощью буферного блока обращения к памяти MOB осуществляется обращение к кэш-памяти 2-го уровня или основной памяти (по системной шине). Данный блок реализует спекулятивную выборку при чтении операнда. Для промежуточного хранения данных, записываемых в основную память, в составе блока MOB имеется буфер данных записи. Эта буферная память емкостью 32 байта позволяет задержать запись результата до момента, когда системная шина завершит выполнение других циклов обмена, например, выборки команд или чтения процессором новых операндов. Запись результатов производится, когда процессор выполняет команды, не требующие обращения к системной шине. Таким образом, обеспечивается дополнительное повышение производительности системы. Отметим, что буферизация не выполняется при обращении процессо-

ра к устройствам ввода-вывода с помощью команды OUT. Вывод данных в этом случае реализуется в очередном цикле шинного обмена.

Обмен с основной памятью при использовании кэш-памяти производится с помощью пакетных циклов обращения, которые позволяют за один цикл переслать содержимое целой строки кэш-памяти (32 байта). Внешняя шина данных (64 разряда) позволяет выполнить такую пересылку за 5 тактов машинного времени: первый такт служит для установки адреса строки, а в течение следующих четырех тактов идет передача данных. При этом необходимые сигналы управления обменом устанавливаются только один раз, а изменение младших разрядов адреса в тактах передачи осуществляется автоматически основной памятью.

В процессорах P6 реализован конвейер команд с 12 степенями их выполнения. При прохождении первых семи ступеней, а именно до блока изменения последовательности ROB, сохраняется исходный порядок следования команд, на трех исполнительных ступенях последовательность команд может быть нарушена, две заключительные ступени обеспечивают запись полученных результатов в память или регистры с восстановлением исходного порядка их следования. Такое восстановление выполняется буферным блоком MOB при записи результатов в память или блоками изменения последовательности и распределения команд (ROB и RS) при записи результатов в регистр (блок RRF).

Последовательная работа конвейера команд нарушается при поступлении команд условных переходов, так как в случае выполнения условия перехода, которое проверяется в исполнительном устройстве, потребуется перезагрузка конвейера – очистка всех предыдущих ступеней и выборка команды из новой ветви программы. Чтобы сократить или исключить потери времени, связанные с перезагрузкой длинного 12-ступенчатого конвейера, используется блок предсказания ветвлений. Его основной частью является ассоциативная память, называемая буфером адресов ветвлений, в которой хранятся 512 адресов ранее выполненных переходов. Кроме того, она содержит 4 бита предыстории ветвления, которые указывают, выполнялся ли переход при четырех предыдущих

выборках данной команды. При поступлении очередной команды условного перехода указанный в ней адрес сравнивается с содержимым буфера адреса ветвлений. Если этот адрес не содержится в нём, т.е. ранее не производились переходы по данному адресу, то предсказывается отсутствие ветвления. В этом случае продолжают выборку и декодирование команд, следующих за командой перехода. При совпадении указанного в команде адреса перехода с каким-либо из адресов, хранящихся в буфере адреса ветвлений, производится анализ предыдущих действий. В процессе анализа определяется чаще всего реализуемое направление ветвления, а также выявляются чередующиеся переходы. Если предсказывается выполнение ветвления, то выбирается и загружается в конвейер команда, размещенная по предсказанному адресу. Одновременно в блоке выборки-декодирования сохраняется декодированная следующая команда. Если после анализа условия ветвления выясняется, что предсказание было неправильным, эта декодированная команда поступает из устройства управления в исполнительное устройство, обеспечивая сокращение потерь времени на перезагрузку конвейера.

4.3.3. Режимы работы МП и организация памяти

Процессоры Р6, как и предыдущие модели микропроцессоров Intel 80286, 80386, 80486, Pentium, имеют три основных режима функционирования:

- режим реальных адресов (реальный режим);
- режим защищенных виртуальных адресов (защищенный режим);
- режим системного управления.

В **реальном режиме** процессор работает как очень быстрый МП 8086, выполняющий обработку 16-разрядных операндов и адресующий 1 Мбайт оперативной памяти при 20-разрядной шине адреса. При этом процессор реализует расширенный набор команд семейства Р6. Допускается также увеличение разрядности операндов и адресов до 32.

В **защищенном режиме** могут одновременно выполняться несколько отдельных программ, которые защищены одна от другой и от операционной системы процессора. Специальный механизм обеспечивает переключение задач,

которые реализуются при выполнении программ. В этом режиме процессор может также выполнять программы, написанные для микропроцессора 8086, если реализуется модификация защищенного режима – **режим виртуального 8086**. При работе в режиме виртуального 8086 процессор формирует 20-разрядный адрес, как и в реальном режиме, но может обрабатывать 32-разрядные операнды. В этом режиме обеспечивается, в случае необходимости, страничная организация памяти и защита системных программ, реализуемых процессором Р6, от пользовательских программ, выполняемых виртуальным процессором 8086, т.е., можно сказать, работает двухуровневый механизм привилегий.

В процессорах Р6, как и в предыдущих моделях 80286, 80386, 80486, Pentium, используется четыре уровня защищенности (0, 1, 2, 3), определяющих возможность доступа к различным сегментам памяти: уровень 0 – наибольшая защищенность сегмента, уровни 1 – 3 – более низкая степень защиты, которая уменьшается при возрастании номера уровня. Для каждой выполняемой задачи устанавливается один из четырех уровней привилегий, дающих право вызова сегментов: уровень 0 – максимальные привилегии, позволяющие вызывать сегменты с любым уровнем защищенности; уровень 3 – минимальные привилегии, допускающие вызов сегментов только с минимальным уровнем защищенности 3; уровни 1, 2 имеют соответственно промежуточные привилегии. Устанавливаемые с помощью этих уровней правила обращения обеспечивают эффективную защиту сегментов от несанкционированного доступа. Предусмотрены дополнительные возможности для управления доступом к устройствам ввода-вывода.

В защищенном режиме реализуется также **многозадачное функционирование**, когда процессор работает как несколько отдельных виртуальных или отдельных процессоров, переключающихся под управлением операционной системы (ОС) на решение различных задач. При этом для управления процессором должна использоваться многозадачная ОС, например Windows NT, которая осуществляет распределение во времени возможностей доступа к имею-

щимся ресурсам системы: памяти, устройствам ввода-вывода, обеспечивая наиболее эффективное выполнение нескольких заданий.

Режим системного управления (SMM) используется для реализации специальных системных функций, например для перевода системы в режим пониженного энергопотребления. При этом процессор обращается к отдельному адресному пространству, где размещается системное ОЗУ. Переход в режим системного управления осуществляется путем подачи специального внешнего сигнала прерывания SMI, при этом процессор сохраняет в памяти контекст прерванной программы. В режиме SMM процессор функционирует как в реальном режиме с запрещенной обработкой прерываний. Выход из режима SMM производится с помощью команды, при этом восстанавливается контекст прерванной программы.

После включения питания или повторного запуска процессор начинает работу в реальном режиме. Переход процессора в защищенный режим реализуется с помощью специальных команд.

МП может выполнять обращение к памяти, использующей два способа организации – сегментацию и разбиение на страницы.

Сегментация памяти обеспечивается при любом режиме работы процессора. Сегментация реализуется путем разбиения адресного пространства на отдельные блоки – сегменты, доступ к которым производится в соответствии с определенными правилами. Сегментированная память представляет собой набор блоков, который характеризуется определенными свойствами, такими, как расположение, размер, тип (стек, программа, данные), характеристика защиты. В системе на основе процессора P6 каждой задаче доступны до 8192 сегментов величиной до 4 Гбайт каждый. Таким образом, обеспечивается возможность использования до 64 Тбайт виртуальной памяти. Для обращения к ячейке сегментированной памяти используется составной или логический адрес. Арифметическое сложение базового и относительного адреса дает физический адрес байта или информационного слова. Правила определения базового адреса сег-

мента зависят от режима работы МП (реальный или защищенный). Формирование относительного адреса определяется заданным методом адресации [6, 10].

Страничная организация памяти обеспечивается только в защищенном режиме. Для ее реализации с помощью специальной команды устанавливается значение бита страничной адресации например: $PG = 1$. При этом сегменты делятся на отдельные страницы емкостью 4 Кбайт или 4 Мбайт, размещаемые в различных позициях адресного пространства ОЗУ. Страницы могут группироваться в разделы.

Страничная трансляция позволяет расширить объем адресуемой памяти до 64 Гбайт, при использовании 36-разрядной шины адреса, размер страниц может составлять 4 Кбайт или 2 Мбайт.

5. МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ

5.1. Типовая микропроцессорная система

Прежде чем мы рассмотрим логическую организацию микропроцессорной системы (МПС), целесообразно познакомиться с её типовой структурой (рис 5.1).

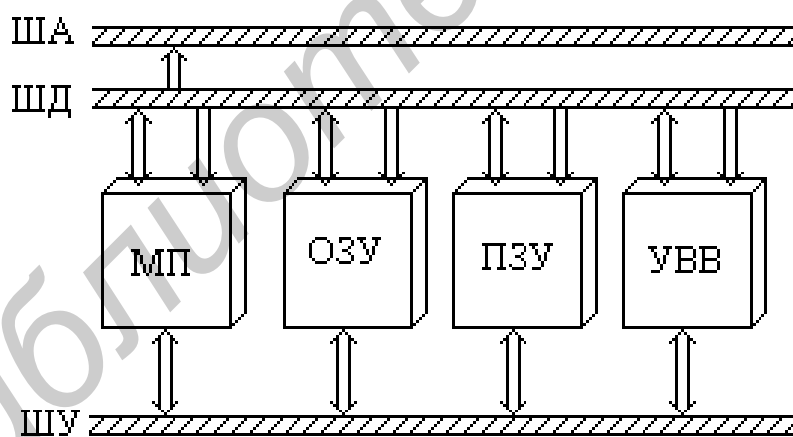


Рис. 5.1. Типовая структура микропроцессорной системы:

МП – микропроцессор; ОЗУ – оперативное запоминающее устройство;
ПЗУ – постоянное запоминающее устройство;
УВВ – устройство ввода-вывода

Типовая структура МПС или модель любой МПС состоит из микропроцессора (МП), оперативного запоминающего устройства (ОЗУ), постоянного запоминающего устройства (ПЗУ) и устройства ввода-вывода (УВВ); все эти

компоненты соединены между собой информационными магистралями или шинами соответственно адресов, данных и управления. Рассмотрим назначение каждого из устройств .

МП – устройство арифметико-логического преобразования данных. Он генерирует последовательности синхронизирующих и логических сигналов, которые в свою очередь определяют последовательность срабатывания всех устройств и компонентов системы. МП задаёт и последовательно осуществляет микрооперации извлечения команд программы из памяти системы, производит их расшифровку и их исполнение (принцип микропрограммного управления).

Замечание. В состав любой МПС входит система ввода-вывода информации, система памяти, система сопряжения с объектом управления или контроля.

ПЗУ предназначено для хранения ранее записанных данных и используется в режиме чтения информации. ПЗУ энергонезависимы.

ОЗУ предназначено для работы в режиме оперативной записи и чтения данных с темпами работы МП. ОЗУ энергозависимы.

Устройство ввода данных предназначено для передачи данных извне во внутренние регистры МП или в память системы. Устройство вывода данных представляет собой технические средства, способные воспринимать данные, которые передаются из регистров МП или ячеек памяти к внешней шине данных. Для подключения этих технических средств к системе необходимо провести согласование интерфейсов, т.е. подвести все сигналы и связи к стандарту интерфейса ввода-вывода.

5.2. Логическая организация микропроцессорных систем

Любая система обработки информации, построенная на основе микропроцессора, содержит большое число функциональных устройств, главным из которых является микропроцессор. Все устройства должны иметь стандартный интерфейс для подключения к информационной магистрали.

В любой МПС микропроцессор выполняет роль центрального устройства управления и устройства арифметико-логического преобразования данных.

В состав любой МПС входят система памяти, система ввода-вывода информации и система сопряжения с объектом управления или контроля (рис. 5.2).

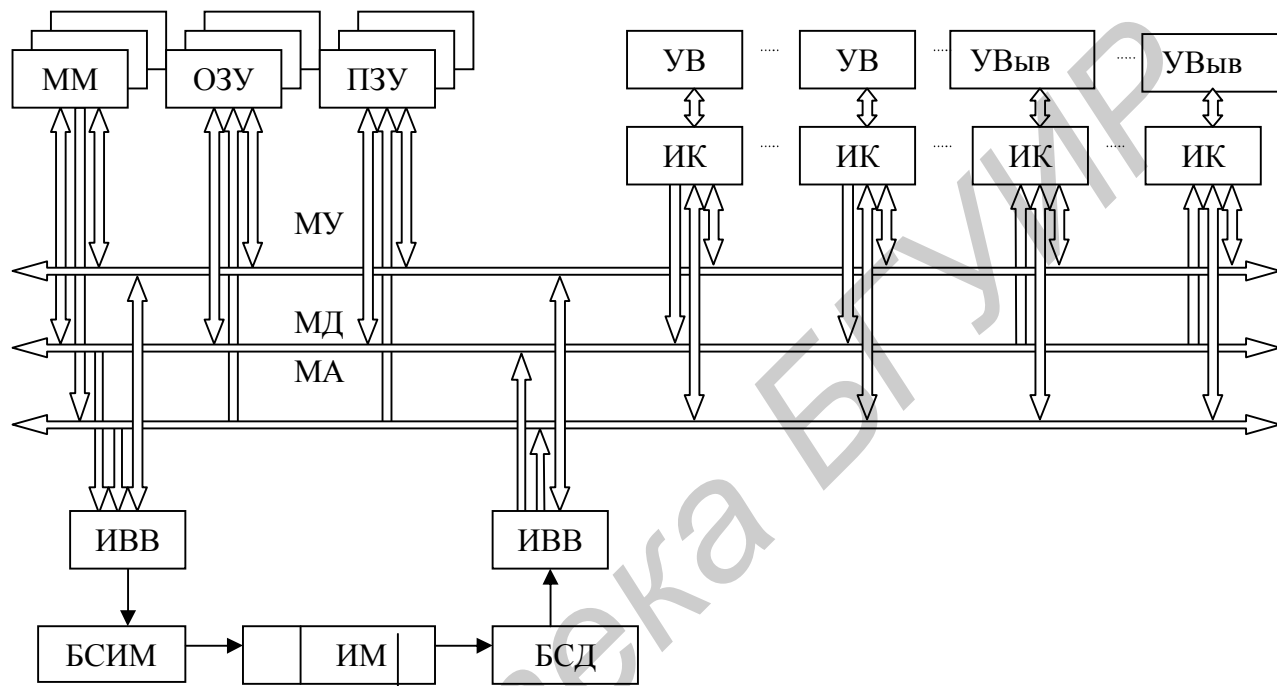


Рис. 5.2. Логическая структура МПС

Память МПС физически реализуется в виде иерархической системы, состоящей из ряда уровней. Верхние уровни памяти строятся на основе полупроводниковых постоянных и оперативных запоминающих устройств, а нижние уровни памяти – на основе магнитных внешних запоминающих устройств.

Полупроводниковые постоянные запоминающие устройства (ПЗУ) предназначены для хранения заранее записанных данных и используются только в режиме чтения информации. Они энергонезависимы, т.е. сохраняют информацию при выключении питания, и имеют высокую скорость работы. Полупроводниковые оперативные запоминающие устройства (ОЗУ) работают в режимах оперативной записи и чтения данных в темпе работы МП. Полупроводниковые ОЗУ энергозависимы, т.е. теряют информацию при выключении питания.

Устройства ввода данных (УВ) — технические средства, предназначенные для передачи данных извне в регистры МП или в память (клавиатура пульта управления, внешние ЗУ на оптических дисках, дисплеи и т.д.). Устройства вывода данных (УВыв) – технические средства, способные воспринимать данные, передаваемые из регистров МП или ячеек памяти (дисплеи, печатающие устройства, внешние ЗУ, пульт управления, графопостроители и т.д.). Для подключения устройств ввода-вывода необходимо привести все их связи и сигналы к стандартному виду, т.е. провести согласование интерфейсов. Для этого используют специальный блок — интерфейс ввода-вывода (ИВВ), имеющий стандартный интерфейс со стороны подключения информационной магистрали и нестандартный интерфейс со стороны устройств ввода-вывода.

Для сопряжения объекта управления или контроля (технологического процесса, радиотехнической системы и др.) с МПС в состав объекта должны входить датчики состояния (Д) и исполнительные механизмы (ИМ); при этом датчики выступают в качестве источников вводимой в МПС информации, а ИМ – в качестве приемников выводимой информации. Для согласования интерфейсов подключение датчиков и исполнительных механизмов в системе осуществляется через блоки сопряжения датчиков (БСД) и исполнительных механизмов (БСИМ).

Практика использования микропроцессоров позволяет выделить четыре основных направления в их применении:

- встроенные системы управления и контроля;
- локальные системы накопления и обработки информации;
- распределенные системы управления сложными объектами;
- распределенные высокопроизводительные системы параллельных вычислений.

Встраивание микропроцессора в любую систему принципиально изменяет качество функционирования всех ее компонентов (агрегатов технологической линии, отдельных устройств и т. д.). Встраивание микропроцессоров позволяет оптимизировать режимы работы управляемых объектов или процессов. За счет этого получается технико-экономический эффект и существенно снижаются требования к персоналу, работающему на оборудовании. Микропроцессоры, встраиваемые в обо-

рудование, как правило, не комплектуются внешними устройствами и содержат только ПЗУ управляющих программ и специализированный пульт управления.

Локальные системы накопления и обработки информации технически просто и экономически доступно осуществляют информационное обеспечение специалистов непосредственно на их рабочих местах.

Распределенные системы управления сложными объектами предназначены для обработки информации в местах ее возникновения и для сбора обработанной информации с целью выработки управляющих воздействий. В распределенных системах достигается значительная экономия в количестве и распределении линий связи, повышается живучесть системы.

Распределенные высокопроизводительные системы параллельных вычислений состоят из множества однотипных или специализированных на решении определенных задач МП, которые ведут параллельную обработку информации.

С точки зрения территориально-пространственного построения МПС подразделяются на рассредоточенные территориально и на сосредоточенные в одном месте.

Территориально распределенные МПС для повышения живучести системы и эффективности обработки информации содержат микропроцессоры, рассредоточенные по всему объекту управления. Сосредоточенные МПС содержат множество одновременно работающих МП, действующих по принципу параллельной обработки данных. Такие системы обеспечивают высокую производительность за счет параллельного выполнения отдельных частей задачи и высокую живучесть за счет резервирования однотипных МП и распределения функций между отдельными МП. Рассмотрим основные структуры сосредоточенных и распределенных МПС.

5.3. Сосредоточенные микропроцессорные системы

К МПС такого типа относятся: магистральные, матричные, конвейерные системы.

Структуры сосредоточенных МПС. Сосредоточенные МПС используются, как правило, в системах параллельной обработки информации и состоят из ряда

вычислительных модулей, решающих элементарные задачи, и каналов взаимобмена информацией между модулями. Все множество структур сосредоточенных МПС можно разбить на следующие структурные реализации или их комбинации.

Магистральные МПС. В МПС с магистральной структурой все устройства (микропроцессорные модули, секции ОЗУ и ПЗУ, устройства ввода-вывода) подключаются к магистралям данных, адреса и управления (рис. 5.3).

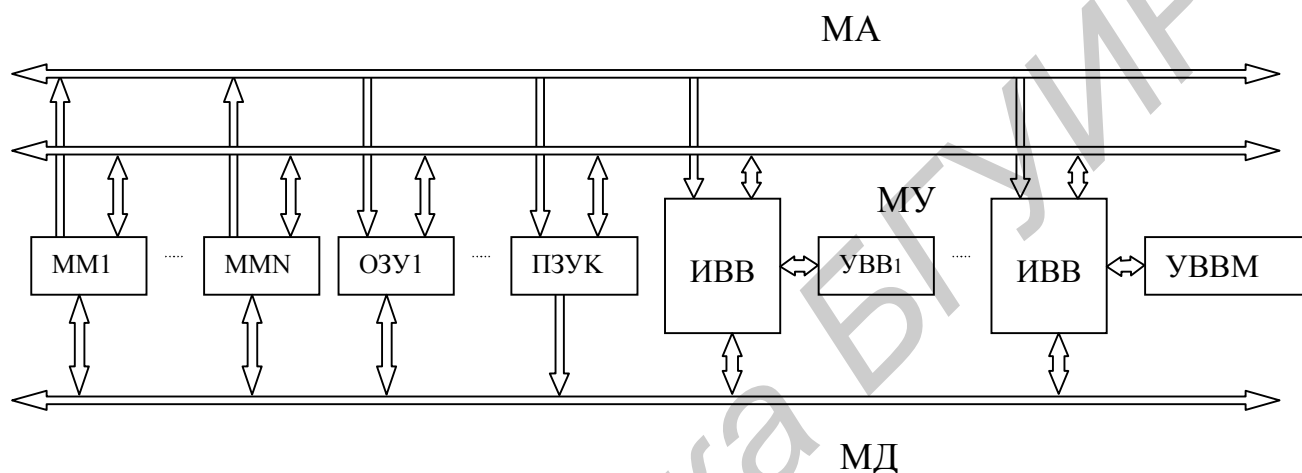


Рис.5.3. Структурная схема магистральной МПС

Микропроцессорный модуль (ММ) — типовая легко заменяемая часть микропроцессорного устройства (МПУ), как правило, конструктивно выполненная на одной плате и проблемно-ориентированная на решение определенных задач. Каждый ММ обычно содержит МП и локальную память, регистры и вспомогательные логические схемы для обеспечения передачи данных и управляющих сигналов, а также для осуществления связей между ММ. Производительность МПС с магистральной структурой ограничивается пропускной способностью магистралей. В МПС с магистральной структурой возможно наличие управляющего ММ.

Матричные МПС. Системы этого типа являются регулярными МПС с изменяемой структурой, в которых одинаковые ММ соединяются между собой с помощью координатного (коммутирующего) искателя К (рис.5.4). В процессе функцио-

нирования ММ одновременно выполняют один и тот же поток команд над различными потоками данных под управлением управляющего контроллера (МПС).

Один из вариантов матричной МПС представляет собой двухмерный массив ММ, каждый из узлов которого соединен с четырьмя соседними ММ. При этом каждый промежуточный ММ определяет, который из соседних ММ будет следующим адресатом.

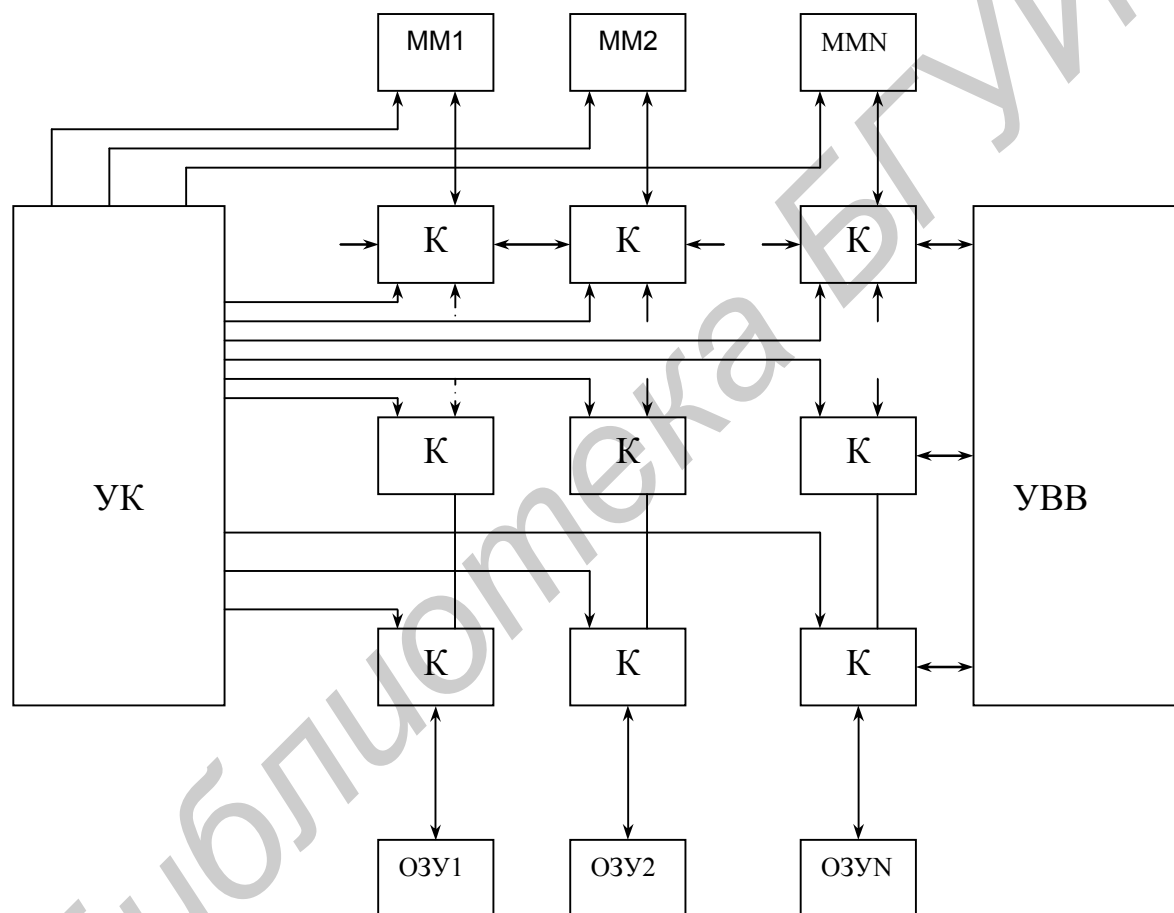


Рис.5.4. Структурная схема матричной МПС:

УВВ – устройство ввода-вывода; УК – управляющий контроллер;
ОЗУ – оперативное запоминающие устройство; К – коммутатор;
ММ – микропроцессорный модуль

Частным случаем такой структуры являются МПС, в которых отдельные ММ объединяются через запоминающие устройства (рис. 5.5). При этом каждый ММ соединен со своими ЗУ и ЗУ соседних ММ односторонними линиями связи.

Матричную МПС можно рассматривать как некоторый массив ММ и ЗУ, позволяющий построить график для оптимального решения данной задачи. При этом выделяют блоки, решающие части задач параллельно и последовательно, и составляют оптимальную структурную схему МПС в виде графа, вершинам которого соответствуют параллельные ветви алгоритма, а дугам — связи между ними. В подобной структуре можно одновременно выделить несколько конфигураций (подсистем), предназначенных для решения различных задач. Планирование размещения задач на массиве ММ и присвоение задачам приоритетов осуществляют программно. Систему можно программировать так, чтобы формировать произвольную комбинацию связей и динамически перестраивать ее в процессе работы МПС.

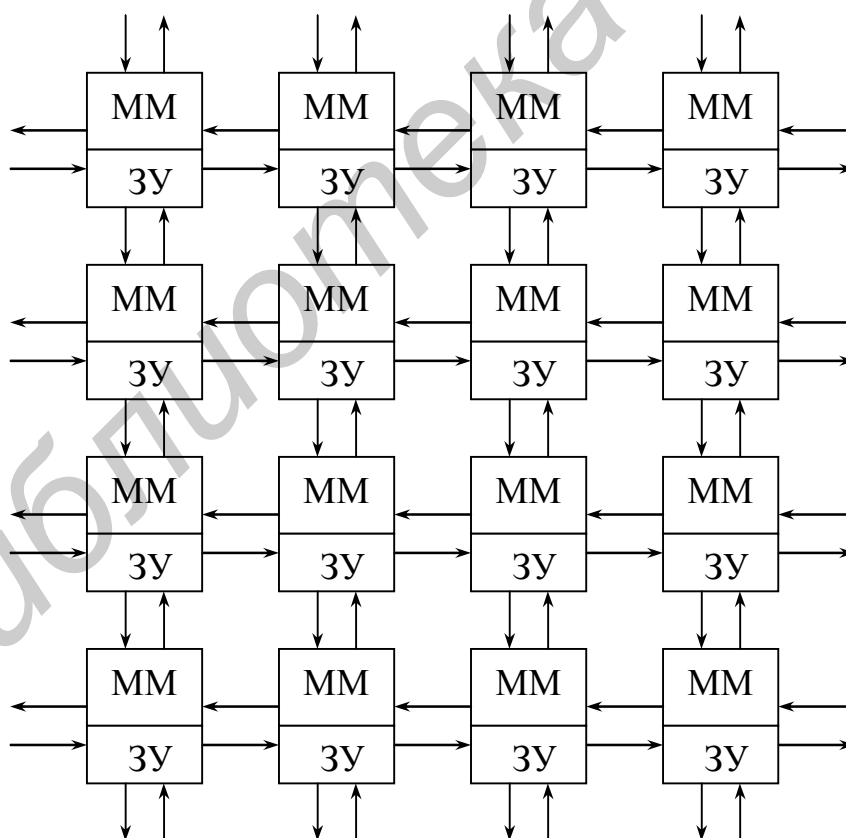


Рис.5.5. Структурная схема двумерной матричной МПС:

ММ – микропроцессорный модуль; ЗУ – запоминающие устройство

Преимущества матричных МПС: высокая производительность решения задач, допускающих высокую степень параллелизма; малое отношение «стоимость – производительность» за счет высокой степени модульности МПС; простота расширения системы за счет увеличения только количества коммутаторов; высокая степень однородности и большая живучесть. Основные недостатки: трудность программной организации работы системы; фиксированность связей между отдельными ММ; большая избыточность аппаратных средств при решении нерегулярных задач.

Конвейерные МПС. В конвейерной МПС (рис. 5.6) поток данных проходит последовательно через одновременно работающие ММ, каждый из которых выполняет некоторую часть преобразований из общего преобразования и полученный частичный результат передает следующему ММ. Конвейерные МПС являются специализированными и ориентированными на реализацию однообразных операций Y_n в каждом $ММ_n$ над поступающим потоком данных.

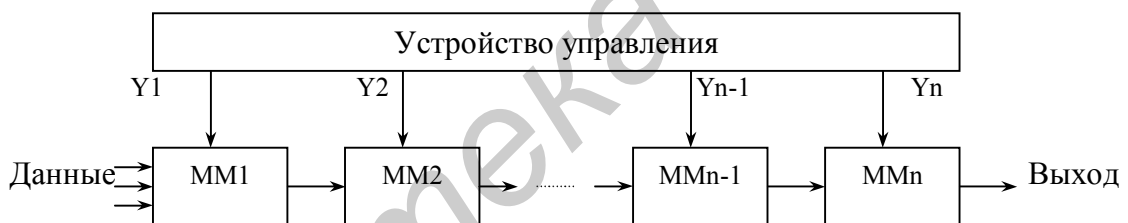


Рис. 5.6. Структурная схема конвейерной МПС

5.4. Распределенные микропроцессорные системы

Следует отметить, что к распределенным МПС относятся радиальные и кольцевые системы.

Структуры распределенных МПС. Принципы построения МПС обработки и управления процессами с распределенной архитектурой основываются на функциональной и топологической децентрализации. Целью **функциональной децентрализации** является снижение сложности управляющей системы путем декомпозиции (разделения, расчленения) сложного процесса или функции на составные части — подпроцессы или подфункции, с тем чтобы обеспечить повышенную надежность

и эффективность системы. Оптимальная функциональная децентрализация подразумевает разбиение процесса на минимально связанные между собой подпроцессы.

Топологическая децентрализация предполагает пространственное распределение датчиков, исполнительных механизмов и аппаратуры обработки информации (МПУ-микропроцессорное устройство и др.). Одним из критериев оптимальности при топологической децентрализации может служить критерий минимизации суммарной длины кабеля. Следует отметить, что, как правило, оптимальная функциональная децентрализация может совпадать с оптимальной топологической децентрализацией. В этих случаях при выборе окончательного решения оценивают экономические факторы.

Распределенные МПС имеют следующие базовые структурные конфигурации: звездообразную (радиальную), кольцевую и смешанную. В настоящее время находит широкое применение реализация распределенных МПС в виде локальных вычислительных сетей.

Радиальные МПС. Системы подобного типа (рис. 5.7) содержат центральный ММ (ЦММ), к которому с помощью двунаправленных шин подключаются МПУ. Сообщения между периферийными МПУ передаются через ЦММ, обеспечивающий независимость процессов, происходящих в отдельных МПУ, от структуры сообщения, а также защиту устройств друг от друга. В этой системе реализуются принципы параллельности и частичной модульности (для периферийных устройств), поэтому ее живучесть при отказе отдельных МПУ высока. Однако наличие ЦММ, который выполняет функции коммутатора и отказ которого приводит к отказу всей системы, снижает живучесть и мобильность системы.

Кольцевые МПС. Системы этого типа имеют кольцевое (контурное) соединение МПУ, при котором каждое МПУ связано с двумя соседними (рис. 5.8). В кольце может одновременно циркулировать одно или несколько сообщений фиксированной либо переменной длины. Сообщение циркулирует по кольцу от источников к адресатам на основании заданных критериев управления. Промежуточное МПУ выполняет несколько функций: транслирует сообщения к нужному МПУ, распознает и обрабатывает сообщения, направленные к нему самому, и т.п.

При расширении системы дополнительные МПУ включаются в контур системы. Живучесть системы в целом определяется надежностью отдельного МПУ, хотя при правильной организации ее структуры отказ одного МПУ не приводит к отказу всей системы, а лишь ухудшает её функциональные характеристики (система становится линейной).

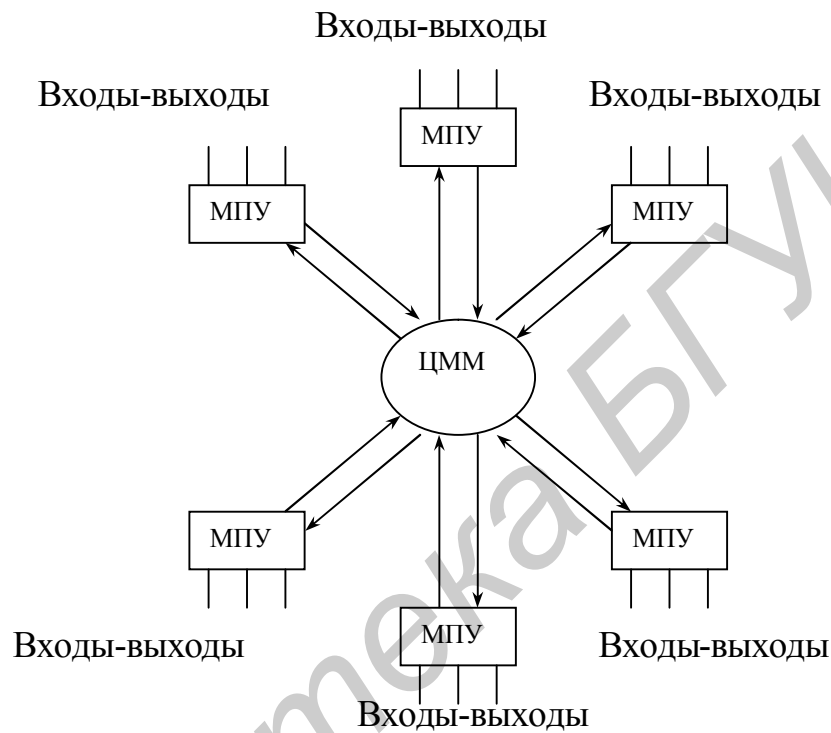


Рис.5.7. Структурная схема радиальной МПС:

МПУ – микропроцессорное устройство;
 ЦММ – центральный микропроцессорный модуль

Кольцевая архитектура МПС использует свойства параллельности и модульности.

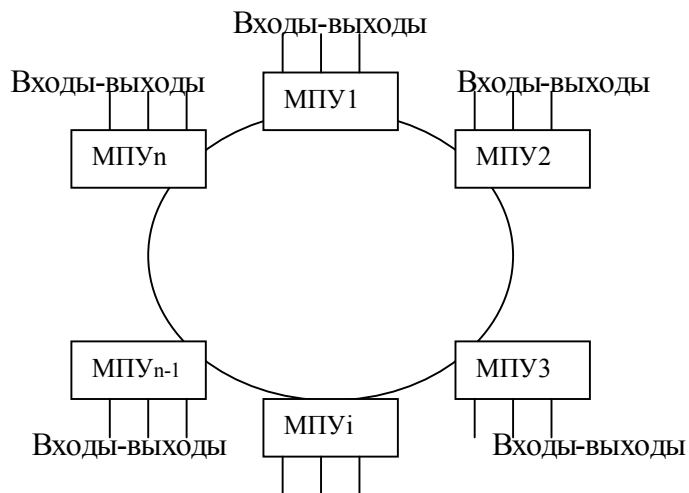


Рис.5.8. Структура кольцевой МПС
(МПУ – микропроцессорное устройство)

Недостатками кольцевых МПС являются снижение их пропускной способности при росте числа сообщений в системе и сложность программного обеспечения, вызываемая сложностью протоколов взаимодействия. Следует отметить, что смешанная структура МПС представляет собой комбинацию радиальной и кольцевой структур.

6. Интерфейсы микропроцессорной техники

Прежде чем перейти к рассмотрению конкретных типов магистралей интерфейсов микропроцессорных систем, нам следует рассмотреть основные понятия и определения, назначения магистралей, а также структуры интерфейсных схем, микропроцессоров, которые функционируют в режиме прерывания, и прямого доступа к памяти. Таким образом, мы сначала рассмотрим интерфейс микропроцессоров, а затем интерфейс микропроцессорных систем.

6.1. Интерфейс микропроцессоров

Для включения микропроцессора в любую систему необходимо установить единые принципы и средства его сопряжения с остальными устройствами системы, т.е. выбрать унифицированный интерфейс.

Унифицированный интерфейс – совокупность правил, устанавливающих единые принципы взаимодействия устройств МПС. В состав интерфейса входят аппаратные средства соединения устройств (разъем и связи), номенклатура и характер связей, программные средства, описывающие характер сигналов интерфейса и их временную диаграмму, а также описание электрофизических параметров сигналов.

Связь между устройствами МПС осуществляется через информационные магистрали, функционально состоящие из магистралей адресов, данных и управления.

Магистраль адресов. В простых МПС, в которых все устройства, кроме микропроцессора, являются пассивными, только МП может вырабатывать адреса передаваемой в системе информации. Поэтому в таких МПС магистраль адресов

(МА) – однонаправленная: микропроцессор генерирует сигналы кода адреса, а остальные устройства, подключенные к МА, могут только воспринимать их, выполняя непрерывно микрооперацию опознавания кода адреса. Количество линий связи в МА совпадает с разрядностью передаваемого кода адреса.

Магистраль данных. По магистрали данных (МД) передаются данные, которыми обмениваются устройства МПС (МП, ОЗУ и др.). Для обеспечения обмена данными между различными устройствами системы МД реализуется двунаправленной. Разрядность МД определяется разрядностью микропроцессора. Если в МП обрабатываются данные по программам двойной разрядности, то слово двойной длины пересылается за два цикла, т.е. имеется временное мультиплексирование.

Магистраль управления. По магистрали управления (МУ) передаются управляющие сигналы, предназначенные для синхронизации и определения операций в устройствах МПС. Эти сигналы передаются по совокупности линий связи, в целом образующих магистраль сигналов управления. Все сигналы управления в МПС согласованы с системными сигналами синхронизации. Эти сигналы задают начало и последовательность срабатывания различных устройств системы, а также различных блоков и узлов внутри всех кристаллов БИС. Для задания главной последовательности синхронизирующих импульсов применяется внешний кварцевый генератор. Выдаваемые микропроцессором сигналы синхронизации бывают однофазными, реже двухфазными. Каждый МП имеет уникальную систему сигналов управления. Поэтому конкретное описание всех шин МУ, так же как и выводов корпуса, дается в технической документации на конкретный МП.

Интерфейсные схемы. Для подключения внешних устройств к центральной части МПУ (МП и ОЗУ) и организации обмена информацией между ними служат интерфейсные схемы. Эффективность и производительность МПУ в значительной степени зависят от возможностей схем сопряжения. В МПУ интерфейсные схемы выполняют следующие функции:

- буферизацию данных, адресов и команд, что необходимо для синхронизации обмена информацией;

- дешифрацию адресов, выбор внешнего устройства (ВУ) при работе в МПУ с несколькими ВУ;

- дешифрацию команд при работе с такими ВУ, которые, кроме собственно передачи данных, выполняют и другие действия;

- синхронизацию и формирование управляющих сигналов, необходимых для правильной реализации любой из упомянутых функций.

Помимо перечисленных каждая конкретная интерфейсная схема может выполнять также ряд специфичных функций.

Обмен информацией между МП, ОЗУ и ВУ реализуется через интерфейсные схемы с помощью:

- программно-управляемого обмена (по инициативе МП), при котором задача интерфейсной схемы состоит в организации обмена информацией между МП и ВУ параллельным, последовательным либо параллельно-последовательным способом;

- обмена в режиме прерывания (по инициативе ВУ), при котором интерфейсная схема осуществляет организацию запроса и выдачу начального адреса подпрограммы обслуживания прерывания;

- обмена в режиме прямого доступа к памяти (по инициативе ВУ), при котором интерфейсная схема осуществляет организацию запроса на прямой доступ к памяти и передачу данных, минуя МП.

Программно-управляемый обмен данными. В этом виде обмена МП программным путем должен определить, готово ли периферийное устройство (ПУ) к выполнению операций ввода-вывода до того, как начнется программная передача данных. Внешнее устройство должно иметь аппаратные средства для выработки информации о внутреннем состоянии устройства. МП считывает эту информацию, передает ее во внутренний регистр – аккумулятор, анализирует и на основе результата анализа принимает решение о готовности устройства. Обобщенная структура интерфейсной схемы при программно-управляемом обмене данными представлена на рис. 6.1, на котором показаны варианты подключения ВУ четырех типов: двух устройств ввода информации параллельными и последовательными кодами и двух устройств вывода информации также параллельными и последовательными кодами.

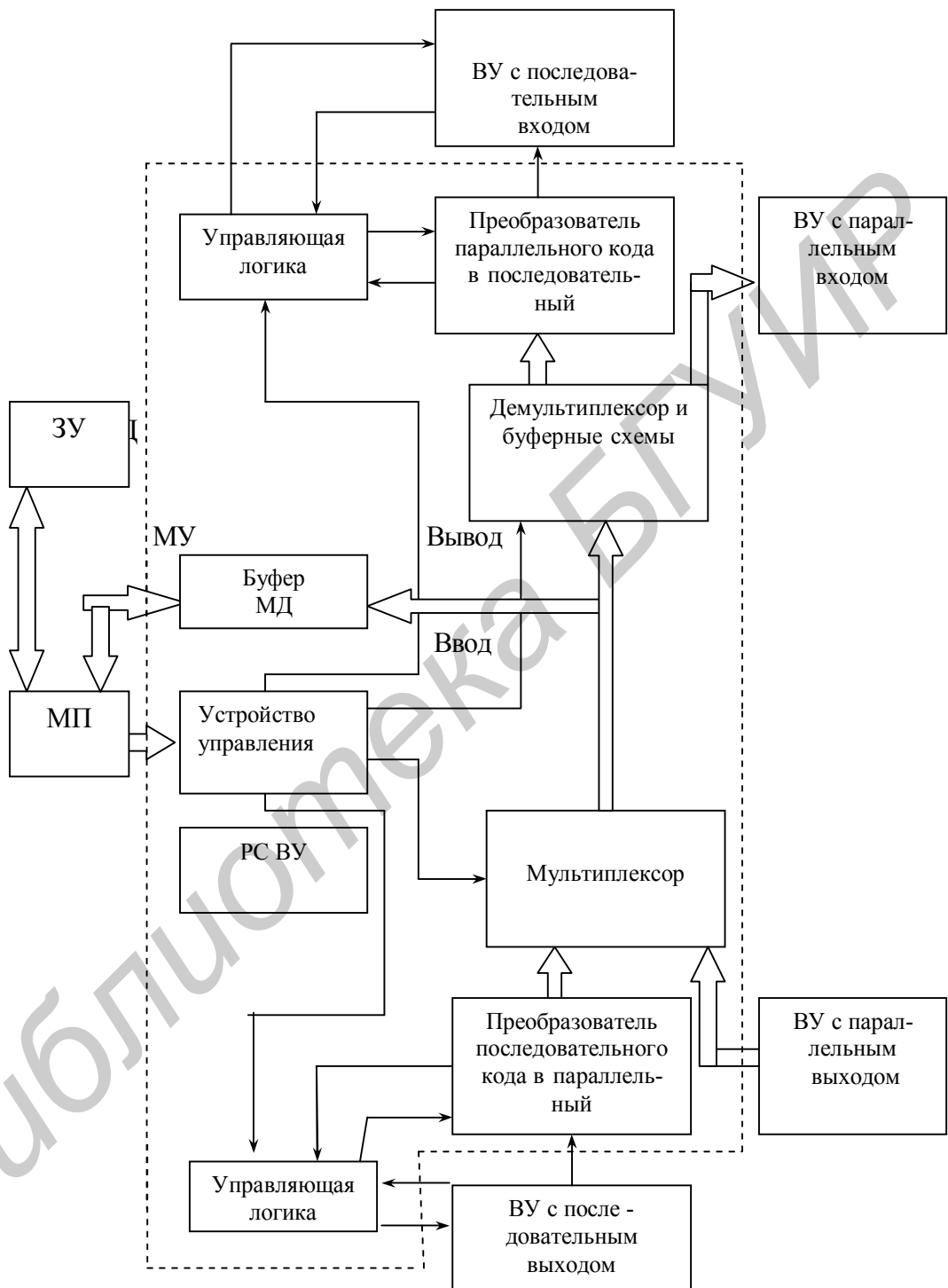


Рис. 6.1. Структура интерфейсной схемы

На рис.6.1 изображена единая интерфейсная схема для подключения ВУ при программно-управляемом обмене, однако на практике для управления ВУ с парал-

лельной и последовательной передачей данных, как правило, используются различные интерфейсные схемы. Естественно, что при построении МПУ число используемых ВУ может варьироваться в достаточно широких пределах.

Обмен в режиме прерывания. При обмене данными по сигналам прерывания внешние устройства являются сами инициаторами обмена. Микропроцессор работает параллельно с ними над выполнением основной программы и не занимается анализом состояния внешних устройств. Для организации обмена по прерываниям в МП предусматриваются специальные аппаратные средства для анализа состояния ВУ, которые сигнализируют блоку управления микропроцессора о поступлении сигналов готовности к обмену какого-либо ВУ. При поступлении сигнала прерывания МП завершает текущую операцию, передает на хранение в память всю информацию внутренних регистров данных и управления и осуществляет переход к подпрограмме обслуживания прерывания. После осуществления процедуры обмена информацией по прерыванию происходит восстановление состояния микропроцессора, которое существовало к началу прерывания [3].

Структура типичной интерфейсной схемы для организации обмена информацией в режиме прерывания показана на рис.6.2. В качестве входной информации на интерфейсную схему поступают запросы на прерывание от ВУ и приоритет текущей программы. На выходе схемы формируются запрос на прерывание на МП и адрес первой ячейки подпрограммы обслуживания прерывания.

Обмен в режиме прямого доступа к памяти. Для осуществления обмена информацией между внешним устройством и памятью нет необходимости пересылать данные через МП. Обычно обмен данными между ОЗУ и ВУ заключается в пересылке массивов информации. Если проводить обмен массивов информации через МП, используя при этом регистр – аккумулятор АЛУ, то затраты времени МП будут очень большими. Поэтому в состав МПУ вводят контроллер прямого доступа к памяти (ПДП), который берет на себя управление передачей, освободив от этих функций основную МП. Прямой доступ к памяти при выполнении операций ввода-вывода значительно увеличивает скорость передачи данных и повышает эффективность использования средств МП. Построение канала ПДП и процедура обмена с

помощью дополнительной аппаратуры упрощает программное обеспечение, значительно сокращает затраты времени на выполнение функций по сравнению с их программной реализацией, но требует дополнительных аппаратурных затрат с соответствующим увеличением стоимости, габаритов и потребляемой мощности системы и снижением ее надежности.

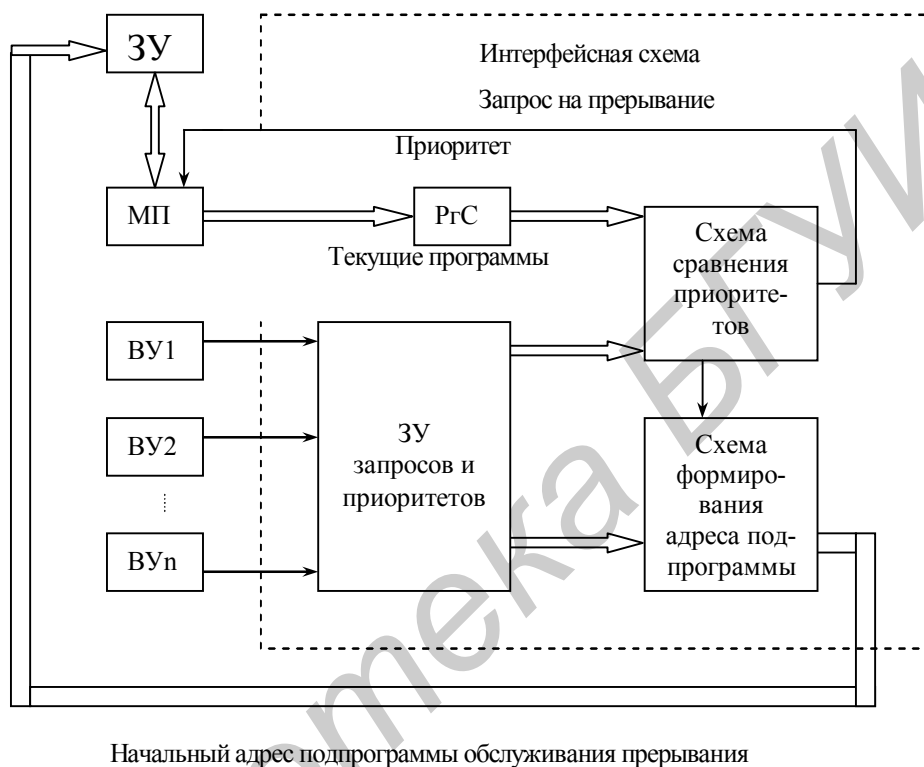


Рис.6.2. Структура интерфейсной схемы для организации обмена информацией в режиме прерывания

Структура интерфейсной схемы для организации обмена информацией в режиме прямого доступа к памяти (на примере ВУ, работающего в параллельном коде) приведена на рис.6.3. В состав интерфейсной схемы входят два регистра для промежуточного хранения адресов и данных РrА и РrD, устройство управления передачей данных, а также триггер фиксации запроса ПДП от ВУ. При обмене информацией с ВУ, работающими в последовательном коде, в состав схемы входят блоки преобразования кодов из последовательного кода в параллельный и обратно.

Средства прямого доступа к памяти подключаются параллельно процессору, причем в любой момент времени работает либо канал обмена ВУ–МП–ОЗУ, либо ВУ–канал ПДП–ОЗУ. Разделение этих каналов производится посредством

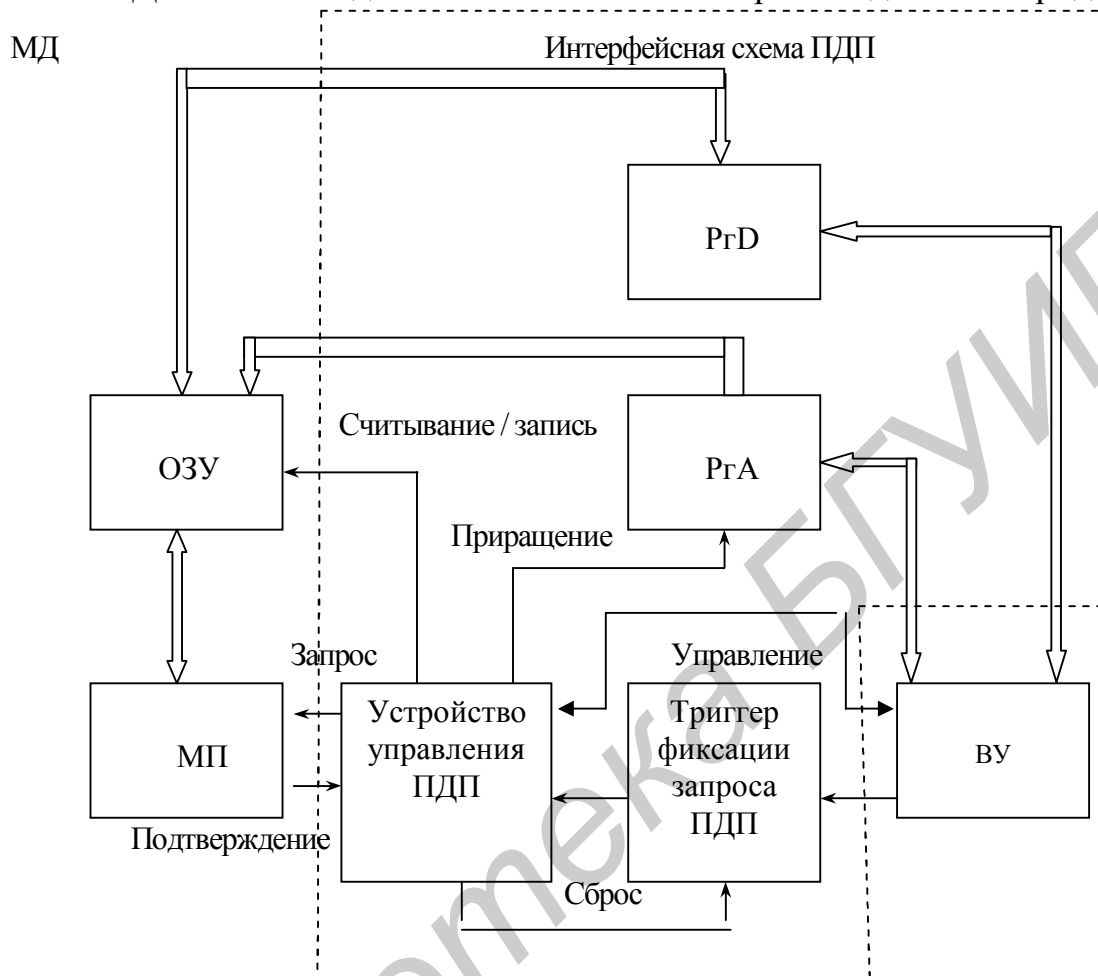


Рис.6.3. Структура интерфейсной схемы для организации обмена информацией в режиме прямого доступа к памяти

использования свойств трехуровневого состояния информационных подмагистралей МА, МД и МУ. Микропроцессор во время передачи информации по каналу ПДП переводит выходные схемы управления магистралями данных, адресов и управляющих сигналов в высокоимпедансное состояние и тем самым изолируется от остальной части системы, что аналогично обрыву его информационного канала. При этом состояние внутренних регистров МП «замораживается», т.е. МП в режиме ожидания сохраняет то информационное состояние, которое возникло в нем к моменту удовлетворения запроса канала прямого доступа.

Существует много способов реализации ПДП, и все они обеспечивают более высокую скорость ввода-вывода по сравнению с методами программно-

управляемого обмена. Наиболее распространенными являются методы организации ПДП с остановом МП и захватом цикла МП.

Напомним, что **машинный цикл** – это время, требуемое для извлечения одного байта информации из памяти или выполнения команды, определяемой одним машинным словом. Машинный цикл состоит из нескольких машинных тактов. **Машинный такт** – период сигналов синхронизации (интервал между двумя соседними моментами дискретного времени).

Метод останова основан на том, что в состоянии «останов» МП отключается от магистралей адресов и данных на время передачи всего массива данных. Поскольку МП должен завершить выполнение текущей команды перед переходом в состояние останова, может возникнуть задержка на несколько машинных тактов до того, как шины освободятся, т.е. до начала выполнения режима ПДП. При использовании метода останова из-за отключения МП от системных шин он не реагирует на сигналы прерывания, что может оказаться неприемлемым для некоторых режимов работы МПС.

Метод захвата цикла основан на пословном обмене данными. Если быстродействующие ВУ должны обмениваться с МП данными по одному слову, то их запрос на обслуживание может быть удовлетворен путем задержки исполнения текущей команды на один машинный цикл в то время, когда МП находится в процессе перехода от одного машинного цикла к другому. В режиме ПДП с захватом цикла работа МП приостанавливается только на один машинный цикл при передаче каждого слова данных, после чего управление опять возвращается МП.

6.2.Интерфейсы микропроцессорных систем

Следует ввести некоторые понятия и определения, а после перейти к рассмотрению основных интерфейсов МПС.

Как было упомянуто выше, МПС содержат основные устройства, подразделяемые на четыре класса: процессоры, память, периферийные устройства (дисплеи, принтеры, сканеры, клавиатура, мышь и т.п.) и интерфейсы. Интерфейсы объединяют различные устройства в систему.

В вычислительной технике под интерфейсом понимается логическая или физическая структура, соединяющая устройства с разными логическими протоколами или конструкциями и служащая для передачи информации между устройствами, нередко разнородными. Интерфейс может быть определен более кратко как совокупность средств, обеспечивающих взаимодействие компонентов системы или сети.

Логический протокол – совокупность правил передачи кодированной информации между устройствами, узлами или элементами системы.

Логический интерфейс – термин, охватывающий все логические протоколы.

Физический интерфейс – термин, определяющий совокупность механических и электрических средств, а также физических сред. Такая совокупность служит физической основой для создания логического интерфейса.

Канал связи – совокупность передатчика, линии связи и приемника, обеспечивающая передачу информации в одном направлении.

Линия связи – техническое устройство (например, пара проводов, кабель, оптоволокно) или луч в физической среде, используемые для пропускания сигналов.

Группа линий – набор линий, служащих для выполнения родственных функций.

Крейт – каркас для установки модулей, неотъемлемой частью которого являются магистраль или каналы, предназначенные для передачи данных и управляющих сигналов, а также проводники питания.

Магистраль – совокупность групп линий, служащих для передачи данных и управляющих сигналов. Магистраль соединяет все станции в крейте.

Параллельная магистраль – магистраль, к которой обслуживаемые устройства присоединены параллельно и в которой передача битов происходит параллельно во времени во всех линиях.

Последовательная магистраль – состоит из одной линии с последовательной во времени передачей бит. Обслуживаемые устройства могут быть присоединены параллельно.

Передатчик – устройство, начинающее передачу запросом магистрали или посылкой запроса в канал.

Приемник – устройство, принимающее задание от передатчика и отвечающее ему.

Модуль – сменный блок, использующий линии магистрали или канала в соответствии со стандартом и занимающий в крейте одну или более станций.

Станция – позиция в крейте для разъема, служащего для соединения модуля с магистралью или каналом.

6.2.1. Магистраль VME

Шина VME появилась в 1981 г. и стала одним из популярных стандартов для встраиваемых МПС реального времени. В настоящее время аппаратно- и программно-независимая VME-архитектура сопряжения различных устройств, принятая в качестве стандартов IEEE, ANSI, IEC, поддерживается более чем 400 фирмами, производящими аппаратуру.

Нельзя не отметить, что успех этой шины определяет то обстоятельство, что заложенные в ее архитектуру идеи не только не претерпели никаких изменений, но при этом и несколько не устарели. В соответствии с требованиями стандарта IEEE-1014 шина имеет разрядность адресов и данных до 32 бит и обеспечивает возможность адресации до 4 Гбайт и скорость обмена до 40 Мбайт/с. Конструктивно платы VME соответствуют стандарту Eurocard на платы одинарной (160x100 мм) и двойной (160x234 мм) высоты. Наличие двух типоразмеров плат позволяет создавать как малые, экономичные по габаритам и стоимости, так и высокопроизводительные системы. Благодаря удачному сочетанию в стандарте VME многих достоинств и поддержке этого стандарта широким кругом производителей аппаратура с шиной VME находит широкое применение в самых различных отраслях – от медицины до аэрокосмических исследований.

Для VME-систем разработано и поставляется несколько операционных систем (ОС). Наиболее перспективными из них являются UNIX-совместимые ОС, а для применений реального времени – OS-9.

Сегодня VMEbus – ведущий стандарт на магистральные шины. Его будущее надежно, несмотря на появления применений, требующих большей производительности, предоставляемой шинами следующего поколения типа FUTUREbus+, SCI.

Распределение рынка VME по областям применения, %:

- автоматизация промышленности – 46;
- военные, правительственные, аэроприменения – 25;
- разработки: наука, медицина – 14;
- телекоммуникации – 4;
- другие применения – 11.

Магистрально-модульная архитектура VMEbus используется для построения вычислительных систем различного диапазона производительности, от настольных компьютеров до многопроцессорных суперЭВМ, от промышленных контроллеров до систем управления тысячами аналоговичных и дискретных каналов [9].

VMEbus находит широкое применение в следующих системах и устройствах:

- измерительные приборы и диагностическое оборудование;
- системы автоматизации производства, в том числе работающие в тяжелых климатических условиях и агрессивных средах;
- графические и информационные рабочие станции;
- наземная и бортовая аппаратура гражданского и военного назначения;
- системы связи и телекоммуникаций;
- системы автоматизации научных исследований;
- медицинская техника, а также многие другие приложения систем автоматизации.

VMEbus предоставляет практически неограниченные возможности наращивания всех ресурсов.

6.2.2. Магистраль VXI

В последние годы в области измерительных и управляющих систем реального времени наибольшее распространение получил стандарт VMEbus, который появился в 1987 г. Интерфейс VXI считается в настоящее время наиболее перспективным, он имеет на западном рынке наибольшую динамику роста выпускаемой и реализуемой продукции, устойчивую тенденцию к техническому совершенствованию и расширению области применения.

В настоящее время VXI-стандарт поддерживает около 200 зарубежных фирм, которые выпускают более 500 типов модулей в этом стандарте.

Стандарт на шину VXI как бы регламентирует правила объединения модульных или одноплатных измерительных приборов. Такой подход существенно снижает время и стоимость разработки новых функциональных блоков и создания на базе VXI прикладных измерительных систем.

Принципы построения интерфейса VXIbus. Интерфейс VXIbus разработан на базе двух широко используемых стандартов: VMEbus и приборного интерфейса IEEE-488, объединяя в себе все преимущества магистрально-модульных и приборных измерительных систем. Такое объединение позволило создать высокопроизводительный и в то же время высокоточный интерфейс, обеспечивающий широкие возможности для построения контрольно-измерительных систем различного назначения. На базе стандарта VXI можно реализовать системы с частотой измерений до 2 ГГц при погрешности до 5-7 % или высокоточные системы с погрешностью менее 0,005 % при частоте спроса до 10 кГц, при этом число каналов измерения и управления ограничивается лишь габаритными размерами и стоимостью.

При разработке стандартов на VXI-шину решены следующие технические вопросы:

- созданы возможности для самотестирования и диагностики отдельных модулей и системы в целом;

- строго определены и регламентированы уровни электрических помех в модулях и на шине;

- определены жесткие требования к конструкции крейта, к источнику питания и к системе охлаждения в целях обеспечения оптимальных условий работы модулей независимо от их количества в крейте;

- введены специальные функции управления и распределения ресурсами VXI-шины, позволяющие реализовать в командном блоке возможности контроллера и арбитра, а также обеспечить любое (необязательно нулевое) стартовое состояние системы после ее включения или перезапуска.

С точки зрения эксплуатационных характеристик VXIbus отличается от других измерительных стандартов, по мнению автора, следующими основными, преимуществами:

1. В качестве измерительных модулей VXI-систем используются много-разрядные мультиметры, позволяющие непосредственно (без дополнительных усилителей) подключать к VXI-системе датчики и сенсоры с различным уровнем сигналов (от единиц микровольт до сотен вольт). Путем программной настройки мультиметры могут производить измерение напряжения, тока, сопротивления в режиме цифрового прибора или в режиме АЦП с изменением точности измерения и соответствующим изменением времени преобразования.

2. Коммутация измерительных каналов в VXI-системах осуществляется по специальной измерительной трехпроводной схеме, при которой используется разрыв сразу трех измерительных сигнальных линий, включая линию «земля», что компенсирует помехи общего вида. Кроме того, в измерительных мультиплексорах предусмотрена термостабилизация входных измерительных цепей, обеспечивающая температурную компенсацию изменения уровня постоянной составляющей входного сигнала.

3. В модулях VXiBus стандартизована регистровая структура (назначение и адреса внутренних регистров) памяти, что позволяет иметь для всех модулей программные драйверы управления.

4. Наряду с регистровым управлением имеется возможность программирования модулей системы на уровне сообщений (в ASCII-кодах), что позволяет легко составлять исполнительные программы VXi-систем на языках высокого уровня.

5. VXi-системы имеют развитые средства коммуникации с другими интерфейсными системами, с различными типами компьютеров и приборов, в частности, имеются программно-аппаратные средства подключения VXi-крейтов к компьютерам класса IBM.

6. VXi-системы поддерживаются развитыми программными средствами, обеспечивающими минимизацию временных и материальных затрат на разборку прикладных пользовательских программ.

Реализация магистрали VXi. Основу шины VXi-системы составляет интерфейс межмодульного обмена информацией в рамках одного крейта.

Магистраль VXiBus включает в себя восемь шин:

- шину VMEbus многопроцессорных вычислительных систем;
- локальную шину обмена;
- радиальную шину запуска;
- шину идентификации модулей;
- триггерную шину запуска;
- аналоговую суммирующую шину;
- шину тактовой частоты и синхронизации;
- шину питания (+5V; +12V; ±24V; -5,2V; -2V).

Шина VMEbus объединяет все посадочные места и используется для организации быстрого обмена информацией между модулями.

Шина тактовой частоты и синхронизации является радиальной и используется для общей синхронизации всех модулей от центрального блока.

Радиальная шина запуска обеспечивает одинаковую для всех модулей задержку прохождения тактовых сигналов (временной сдвиг не более 2 нс).

По триггерной шине запуска реализуется синхронный, полусинхронный и асинхронный протоколы (ТТЛ- или ЭСЛ-логики).

Локальная шина может использоваться разработчиками модулей для организации, обмена данными между соседними модулями по автономным (недоступным для других модулей) линиям.

Аналоговая суммирующая шина используется для обмена по магистрали аналоговыми сигналами в виде согласованных значений сопротивлений и напряжений.

Шина идентификаций модулей применяется в качестве радиальной системы географической адресации и идентификации модулей.

Шина питания обеспечивает высокостабильное питание электронных схем ТТЛ- и ЭСЛ-логики.

6.2.3. Магистраль PCI. Комплекс МП и периферийных устройств

Развитие МП привело в 1982 г. к появлению настольного персонального компьютера (ПК). Существовавшие в то время магистрально-модульные системы VME и Multibus 1 были слишком громоздки, а их логические протоколы ориентированы на сбор информации от датчиков и ее микропроцессорную обработку в модулях. Интерфейс для ПК пришлось разрабатывать заново, при этом в первых ПК частные технические решения были слабо стандартизованы. Широкое распространение ПК, производимых разными фирмами, привело к необходимости создания такого стандарта на магистрали, который был бы приемлем для многих фирм. В конце 80-х годов прошлого века в США образовалась рабочая группа инженеров разных фирм, которая разработала и выдала первоначальную версию стандарта на синхронную магистраль Peripheral Component Interconnect Local Bus - PCIbus Revision 1.0.

Ведущие фирмы по инициативе «Intel» образовали PCI Special Interest Group (PCI SIG). Эта группа и в 1998 г. поддерживает и координирует все раз-

работки, связанные с PCI. Под эгидой PCI SIG 30 апреля 1993 г. была утверждена версия PCI 2.0 стандарта. Большинство ПК, эксплуатируемых в 1998 г., основано на этом стандарте. Однако локальная магистраль новых ПК, выпускаемых с 1996 г., выполняется по последнему стандарту PCI 2.1 с 1995 г. Отдельный стандарт PCI BIOS Specification Revision 2.1, датированный 1994 г., определяет протокол включения компьютерного комплекса в сеть.

Стандарт 2.1 является улучшением предыдущей версии и сохраняет основную логический протокол, нацеленный, на обеспечение большой пропускной способности. Максимальную тактовую частоту в магистрали удалось увеличить вдвое – до 66 МГц, а пропускную способность – до 528 Мбайт/с при 64 разрядах и питании всего +3,3 В. Кроме того, стандартом гарантирована возможность автоконфигурации систем (без вмешательства оператора) после подключения любого из устройств к магистрали через интерфейсную плату.

Сигналы в магистрали PCI. Общеизвестно, что синхронная магистраль PCI в 32-разрядном варианте содержит 49 информационных линий. При расширении до 64 разрядов добавляются еще 48 линий. В расширенной магистрали могут быть добавлены 5 линий порта для проверочного сканирования присоединенных устройств в соответствии со стандартом IEEE Std 1149.1 Test Access Port and Boundary Scan Architecture.

Конфигурация и инициализация систем. В компьютерной системе PCI могут быть скомпонованы периферийные устройства различного назначения, выполненные с разнообразными характеристиками разными производителями. Для удобства пользователей стандартом предусмотрена *автоконфигурация* систем: чтобы скомпоновать и задействовать систему, пользователю достаточно вставить в разъемы магистралей интерфейсные платы, присоединяющие нужные периферийные устройства. В другие разъемы можно добавить платы памяти, наращивая оперативную память до нужного объема. После вставления плат пользователю не требуется вводить или запускать какие-либо программы достаточно включить питание, и конфигурация завершится сама собой.

Информация о характеристиках подключаемых устройств, необходимая для выполнения алгоритмов конфигурации, содержится в зоне конфигурации основной памяти и в сверхбольших интегральных схемах (СБИС) или на платах устройств размещена в регистрах конфигурации. Для процессора обеспечен доступ к любым регистрам сразу после подключения устройств до введения в память системы каких-либо пользовательских программ.

В регистрах каждого устройства определен 8-разрядный код номера магистрали, к которой присоединено устройство, 5-разрядный номер самого устройства и 3 разряда отведены для возможных 8 функций устройства. Это не означает, что система может содержать 256 вторичных магистралей с 32 устройствами каждая, поскольку к основной магистрали PCI можно подключать не более 10 «нагрузок». Просто большой выбор номеров облегчает компоновку сложных систем. В регистрах хранятся коды-идентификаторы производителя изделия, типа изделия, его модификации, основного назначения и выполняемых функций. Эта и другая информация необходима для обеспечения оптимальной конфигурации системы и наилучшего использования устройств при ее программировании.

После выполнения собственно конфигурации следует инициализация системы. Функции, помещённые в памяти, позволяют предоставить устройствам потребные системные ресурсы, например зоны в основной памяти или в памяти ввода-вывода, необходимые для бесконфликтного функционирования каждого устройства. При инициализации присваиваются приоритеты прерываний и имена прерываемых устройств.

Стандарт предоставляет информацию, достаточную не только для выполнения указанной задачи, но и для компоновки конкретных систем. Алгоритмы, описанные в стандарте, предназначены для программирования операций, связанных с областями конфигурации устройств и систем. Эти программы выявляют наличие в системах тех или иных устройств и, обращаясь к ним, используют характеристики для конфигурации и инициализации.

Самые первые программы, начинающие работать после включения компьютера – это программы BIOS. Текущая информация об исполнении программ BIOS появляется на экране монитора в виде строк, сообщающих о наличии дисковой памяти, операционной системы, клавиатуры и других периферийных устройств. В случае отсутствия необходимых устройств или их неисправности выдается соответствующее извещение – так происходит самопроверка системы после включения. После окончания работы BIOS пользователь может вызвать свои программы и работать с ними.

Благодаря системе BIOS и строгому определению зон конфигурации впервые в персональных компьютерах в широких масштабах была реализована технология *Plug and Play*, использованная ранее в системе VXI.(10)

6.3. Шина USB

6.3.1. Основные сведения о шине USB

Одной из основных проблем дальнейшего развития компьютерных систем является отсутствие гибкости в реконфигурировании PC. Из-за небольших ограниченных возможностей портов ввода-вывода компьютера нельзя добавлять внешние, скоростные периферийные устройства, и по настоящее время это продолжает быть ограничением. Шина USB является промышленным расширением архитектуры компьютеров PC. USB быстрый, двунаправленный, дешевый, совместимый, динамически подключаемый последовательный интерфейс PC.

Основные отличительные особенности архитектуры шины USB:

- широкие возможности по подключению различных устройств со скоростями работы в пределах от нескольких Кбит/с до нескольких Мбит/с; поддержка скоростей передачи 12 и 1,5 Мбит/с;
- легкость в использовании для расширения числа периферийных устройств PC до 127;
- простота работы для конечного пользователя;

- поддержка как изохронных, так и асинхронных типов передачи данных по одним и тем же проводам;
- дешевизна контроллеров, кабелей и оборудования;
- полная поддержка для передачи в реальном масштабе времени голоса, звука и сжатого видео; при изохронных передачах обеспечивается гарантируемое требование по быстродействию и малое время отклика;
- встроенный в протокол механизм восстановления при ошибках и обработки неисправностей; поддержка обнаружения и отключения отказавших устройств.
- высокая степень загрузки шины;
- совместимость с различными конфигурациями РС и с существующими интерфейсами операционных систем;
- возможность динамически присоединять, идентифицировать и реконфигурировать периферийные устройства;
- широкий диапазон размеров пакета и встроенное в протокол управление потоком данных при буферной обработке;
- согласование скоростей передачи данных, размеров буферизируемого пакета и время отклика.

6.3.2. Топология USB-шины

На физическом уровне топологию USB можно представить в виде пирамиды (рис.6.4). Шина USB соединяет USB-устройства с USB-хостом (host). Однако в любой USB-системе может быть только один хост-контроллер (Host). Устройства USB могут подключаться непосредственно к хосту, в случае, когда число устройств может быть велико, предусмотрено подключение через специальные концентраторы (hubs), которые расположены в центре каждой пирамиды. Корневой концентратор обычно интегрирован внутрь хост-системы, чтобы обеспечивать одну или большее число точек подключения.

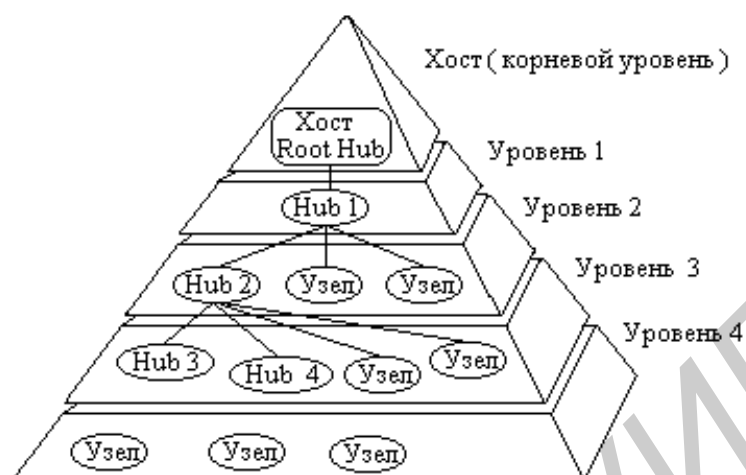


Рис. 6.4. Топология USB-шины

USB-хост взаимодействует с USB-устройствами через хост-контроллер и отвечает за следующие функции:

- обнаружение подключения и удаления USB-устройств;
- управление управляющим потоком между хостом и USB-устройствами;
- управление перенумерацией и конфигурирование подключенных USB-устройств;
- управление потоком данных между хостом и USB-устройствами;
- сбор статистики о состоянии и активности USB-устройств;
- обеспечение подачи питания ограниченной мощности на подключенные USB-устройства.

Существует два главных класса USB-устройств: устройства-концентраторы и устройства-функции [9].

Устройства-концентраторы (hubs) обеспечивают дополнительное присоединение USB-узлов, а **устройства-функции** (functions) – подключение функциональных устройств. В одном USB-устройстве могут объединяться возможности устройств-функций и устройств-концентраторов для подключения других функций (рис. 6.5).

Устройство-функция – устройство USB, которое способно передать или получить данные или управляющую информацию по шине. Функция обычно

выполняется как отдельное периферийное устройство с кабелем, который подключается в порт концентратора (например, мышь, клавиатура). Каждая функция содержит информацию о конфигурации, которая описывает ее параметры и требования к ресурсам. Прежде чем устройство-функция будет использовано, оно должно быть сконфигурировано хостом. Такая конфигурация включает в себя распределение пропускной способности USB-шины и выбор специфических настроек конфигурации функции.

Конечные точки устройства. Каждое логическое устройство USB состоит из набора независимо функционирующих конечных точек – endpoints (EP). Конечная точка – уникально идентифицируемая часть устройства USB, которая является конечным пунктом назначения потока связи между программным обеспечением хоста и устройством USB.

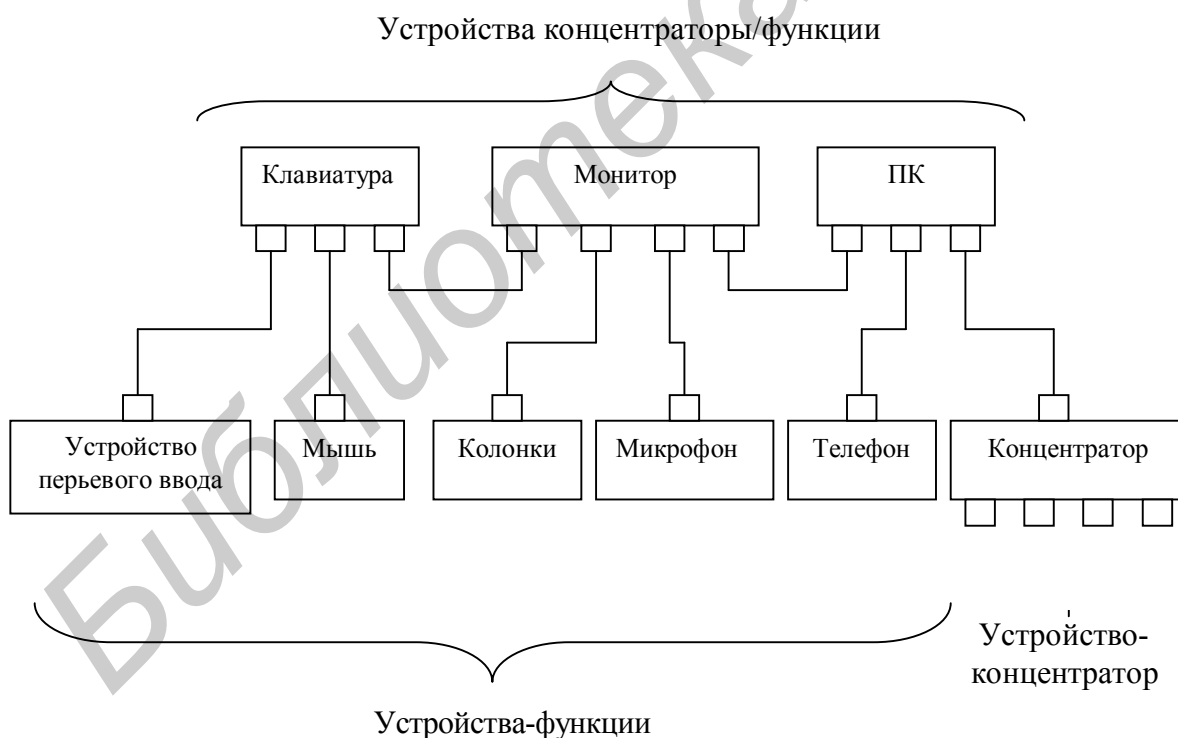


Рис. 6.5. Пример объединения концентраторов и функций

Каждая конечная точка создается во время разработки и имеет свой уникальный номер. Конечные точки находятся в неопределенном состоянии, и к

ним нельзя обратиться, пока они не будут сконфигурированы. Комбинация уникального адреса устройства, который присваивается USB-устройству при подключении его к шине, и номера конечной точки позволяет однозначно обращаться к каждой такой точке внутри USB-устройства. Каждая конечная точка имеет следующие характеристики, которые необходимо знать клиентскому ПО для определения типа соединения:

- требования к частоте доступа и времени отклика на USB-шине;
- требования к пропускной способности канала связи с этой точкой;
- уникальный номер конечной точки;
- особенности реакции при обнаружении ошибок;
- максимальный размер пакета, с которым работает конечная точка;
- тип передачи для данной конечной точки;
- направление передачи данных .

Все USB-устройства имеют конечную точку с номером «0» (Endpoint 0), через которую хост инициализирует, конфигурирует и управляет устройством USB. Конечная точка «0» обеспечивает доступ к информации о конфигурации USB-устройства, предоставляет возможность настраивать его режимы работы и всегда конфигурируется автоматически при подключении устройства к шине USB.

Пропускная способность USB-шины. Вся пропускная способность USB-шины распределяется среди множества различных потоков данных. Такое распределение позволяет присоединить к USB-шине устройства с различным быстродействием. USB-хост резервирует некоторую пропускную способность для конкретного канала только после его установления. Для USB-устройств, которые требуют большой пропускной способности, выделяются буферы, с учётом того что аппаратная задержка буферизации не должна превышать нескольких миллисекунд.

Если при распределении дополнительного канала произойдет нарушение существующей пропускной способности или изменение времен отклика, USB блокирует распределение пропускной способности и дальнейшее распределение каналов отклоняется или блокируется. Когда канал закрыт, выделенная ему

пропускная способность освобождается и может быть перераспределена на другой канал.

6.3.3. Основные режимы работы

В USB имеются два режима передачи сигналов: полноскоростной режим передачи информации по USB-шине со скоростью 12 Мбит/с и низкоскоростной режим передачи сигналов в 1,5 Мбит/с, которые могут использоваться на одной шине благодаря динамическому переключению скоростей. Низкоскоростной режим имеет ряд функциональных ограничений и позволяет работать при меньшем уровне защиты от электромагнитных помех. Он определен, чтобы поддерживать ограниченное число низкоскоростных устройств (типа мыши), потому что включение большого числа низкоскоростных устройств значительно снижает пропускную способность шины.

Основные принципы передачи данных. Передача данных и сигналов управления происходит между программным обеспечением хоста и особой конечной точкой в USB-устройстве. Хост USB обрабатывает связь с любой конечной точкой USB-устройства независимо от любой другой конечной точки. Такие соединения между программным обеспечением хоста и конечной точкой устройства USB называются каналами. Например, USB-устройство может иметь одну конечную точку, которая будет поддерживать канал для передачи данных в USB-устройство, и другую конечную точку, которая поддерживает канал для передачи данных из USB-устройства.

Стандарт USB определяет четыре типа передачи: Control, Interrupt, Bulk, Isochronous. Каждый тип передачи (табл. 6.1) определяет различные характеристики потока связи:

- свой формат кадров данных для обмена по USB;
- направление передачи;
- ограничения на размер пакета;
- ограничения на доступ к шине;
- требуемую последовательность пакетов данных.

Таблица 6.1

Параметры различных способов передачи

Тип передачи	Размер заголовка, байт	Размер поля данных (data payload), байт	Минимальная пропускная способность, байт/с	Максимальная пропускная способность, байт/с
Control, 12 Мбит/с	45(9-SYNC, 9-PID,6-EP+CRS, 6-CRS, 8-SetupData, 7-interpacked delay (EOP))	1, 2, 4, 8, 16, 32, 64	32 000	832 000
Control, 1,5 Мбит/с	45(9-SYNC, 9-PID,6-EP+CRS, 6-CRS, 8-SetupData, 7-interpacked delay (EOP))	1, 2, 4, 8	3000	24 000
Isochronous	9 (2-SYNC, 2-PID, 2-EP+CRS, 2-CRS, 1-SetupData)	1, 2, 4, 8, 16, 32, 64, 128, 256, 512, 1024	150 000	1 023 000
Interrupt, 12 Мбит/с	13(3-SYNC, 3-PID, 2-EP+CRS, 2-CRS, 3-SetupData)	1, 2, 4, 8, 16, 32, 64	107 000	1 216 000
Interrupt, 1,5 Мбит/с	13(3-SYNC, 3-PID, 2-EP+CRS, 2-CRS, 3-SetupData)	1, 2, 4, 8	13 000	64 000
Bulk	13(3-SYNC, 3-PID, 2-EP+CRS, 2-CRS, 3-SetupData)	1, 2, 4, 8, 16, 32, 64	107 000	1 216 000

Передача типа Управление (Control) – пакетная, непериодическая передача управляющих сигналов. Программное обеспечение хоста использует этот тип передачи в режиме запрос – ответ для инициализации, настройки конфигурации USB-устройства или получения информации о статусе USB-устройства. Control-данные доставляются без потерь, так как хост резервирует часть каждого USB-кадра для передачи control-информации.

Передача типа Bulk – применяется для обмена большими массивами информации для данных, которые могут использовать любую доступную пропускную способность, не используемую другими типами передач в данный момент, и могут быть задержаны, пока не будет доступна нужная пропускная способность. Надежный обмен данными обеспечивается на аппаратном уровне с использованием обнаружения ошибок на аппаратном уровне и автоматической повторной отправки поврежденных данных.

Передача типа Прерывание (Interrupt) – передача по прерыванию – низкочастотная передача небольших данных от USB-устройства, которая может быть произведена в любое время и будет передана по USB-шине со скоростью не меньшей, чем определено устройством. Данные прерывания обычно состоят из сообщений о произошедшем событии, символов или, например, координат из устройства управления, которые представляют собой один или несколько байт. Однако большая скорость синхронизации ответа не требует, интерактивные данные могут иметь ограниченное время отклика, который должна поддерживать USB-шина.

Изохронные (Isochronous) или потоковые (Streaming) передачи данных в реальном времени – занимают заранее оговоренную пропускную способность USB-шины с заранее оговоренным временем отклика. То есть это периодическая, непрерывная связь между хостом и устройством, которая обычно используется для передачи потоковой, критичной ко времени информации, такой как аудио- и видеоинформация [9].

Таким образом, изохронные данные могут быть чувствительны к скорости и задержкам доставки, так как их поток непрерывен и требует обработки и

передачи в реальном масштабе времени (например речевая информация). Чтобы поддержать необходимую синхронизацию, изохронные данные должны передаваться по шине со скоростью их поступления. Если скорость доставки потоков этих данных не поддерживается на определенном уровне, то в потоке произойдут сбои из-за переполнения или обнуления буферов.

USB разработана так, чтобы минимизировать задержки изохронных передач данных; для этого изохронные потоки данных в USB занимают выделенную часть пропускной способности USB-шины, а это гарантирует, что данные могут доставляться с нужной скоростью. При изохронной передаче любая ошибка на физическом уровне не исправляется. Эта проблема решается за счет того, что средняя частота передачи ошибочных бит в USB-шине достаточно мала. Определение ошибок происходит только на уровне согласования контрольной суммы.

Библиотека БГУИР

ЛИТЕРАТУРА

1. Шагурин И.И., Бердышев Е.М. Процессоры семейства Intel P6. Архитектура, программирование, интерфейс. М.: Горячая линия, Телеком, 2000. 248 с.
2. Угрюмов Е.П. Цифровая схемотехника. СПб.: БХВ – Санкт-Петербург, 2000. 538 с.
3. Эрглис К.Э. Интерфейсы открытых систем. М.: Горячая линия, Телеком, 2000. 256 с.
4. Корнеев В.В. Параллельные вычислительные системы. М.: Нолидж, 1999. 312 с.
5. Корнеев В.В., Кисилев А.В. Современные микропроцессоры. М.: Нолидж, 2000. 315 с.
6. Гук М., Юров В. Процессоры Pentium III, Athlon и другие. М.: Питер, 2000 . 478 с.
7. Рудометов Е., Рудометов В. Материнские платы и чипсеты. М.: Питер, 2000 . 255 с.
8. Гук М. Процессоры Intel: от 8086 до Pentium II. М.: Питер, 1998 . 224 с.
9. David E. Parallel Computer Architecture: A Hardware/ Software Approach/Inc. San Francisco, California, 1999. 1025 с.
10. Foster T. Designing and Building Parallel Programs: Concepts and Tools for Parallel Software Engineering / Inc. Ian. Addison-Wesley Publishing Company, 1998. 381 с.

Учебное издание

Шматин Александр Сергеевич

МИКРОПРОЦЕССОРЫ И МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ

Учебное пособие
по дисциплине «Микросистемотехника»
для студентов специальности I-41 01 02
«Микро- и нанoeлектронные технологии и системы»
дневной и заочной форм обучения

Редактор Т.А. Лейко
Корректор К.Е. Батурчик

Подписано в печать 6.09.2005.
Гарнитура «Таймс».
Уч.-изд. л. 4,3.

Формат 60x84 1/16.
Печать ризографическая.
Тираж 100 экз.

Бумага офсетная.
Усл. печ. л. 5,0.
Заказ 48.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
Лицензия на осуществление издательской деятельности № 02330/0056964 от 01.04.2004.
Лицензия на осуществление полиграфической деятельности № 02330/0131518 от 30.04.2004.
220013, Минск, П. Бровки, 6.