

ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 6593

(13) U

(46) 2010.10.30

(51) МПК (2009)

H 04L 1/00

(54)

УСТРОЙСТВО ИТЕРАТИВНОГО КОДИРОВАНИЯ И ДЕКОДИРОВАНИЯ СВЕРТОЧНЫХ КОДОВ

(21) Номер заявки: u 20100038

(22) 2010.01.19

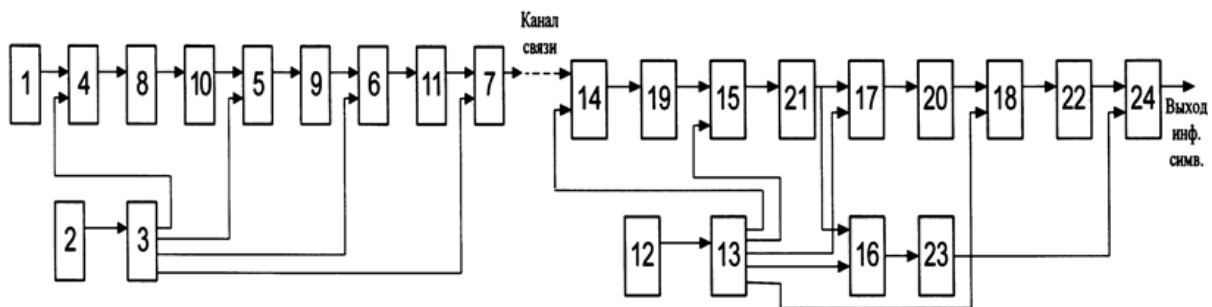
(71) Заявитель: Учреждение образования
"Белорусский государственный уни-
верситет информатики и радио-
электроники" (ВУ)

(72) Авторы: Королев Алексей Иванович;
Конопелько Валерий Константинович;
Аль-алем Ахмед Саид; Калашников
Геннадий Александрович (ВУ)

(73) Патентообладатель: Учреждение обра-
зования "Белорусский государственный
университет информатики и
радиоэлектроники" (ВУ)

(57)

Устройство итеративного кодирования и декодирования сверточных кодов, содержащее передатчик, в состав которого входят источник информации, кодер и генератор, выход которого одновременно подключен к источнику информации и к первому входу кодера, второй вход которого подключен к выходу источника информации, а два выхода кодера являются выходами кодера сверточного кода, а приемник содержит последовательно соединенные кодер и формирователь синдрома, второй вход которого и вход кодера являются входами итеративного декодера сверточного кода, а выход формирователя синдрома одновременно подключен к первому входу анализатора синдрома и через первый, второй дополнительные и основной регистры ко второму входу анализатора синдрома, третий и четвертый входы которого подключены к первым входам соответственно первого и второго дополнительных регистров, а вторые входы первого, второго дополнительных и основного регистров подключены к первому входу соответственно первого дополнительного порогового обнаружителя, двухпорогового обнаружителя и второго дополнительного порогового обнаружителя, а вторые входы данных пороговых обнаружителей подключены соответственно к первому, второму и третьему входам анализатора синдрома, а выходы первого, второго дополнительных пороговых обнаружителей и двухпорогового обнаружителя подключены одновременно к вторым входам первого, второго дополнительных



Фиг. 1

ВУ 6593 U 2010.10.30

и основного регистров и к первым входам последовательно соединенных первого, второго и третьего корректоров ошибок, вход первого корректора ошибок подключен к входу кодера, а выход третьего корректора ошибок является выходом итеративного декодера сверточного кода, **отличающееся** тем, что в передатчике введены второй кодер, четыре ключа управления, два оперативных запоминающих устройства и формирователь сигналов управления ключами передатчика, выходы которого подключены к первым входам ключей управления, а вход формирователя сигналов управления ключами передатчика подключен к выходу генератора, а выход источника информации подключен через первый ключ управления, первый кодер, первое оперативное запоминающее устройство, второй ключ управления, второй кодер, третий ключ управления и второе оперативное запоминающее устройство ко второму входу четвертого ключа управления, выход которого является выходом итеративного кодера сверточного кода, а в приемнике введены пять ключей управления, второй пороговый декодер, буферное устройство, первое и второе оперативные запоминающие устройства, мажоритарный элемент и формирователь сигналов управления ключами приемника, выходы которого подключены к первым входам ключей управления, а вход формирователя сигналов управления ключами приемника подключен к выходу генератора, а второй вход первого ключа управления является входом приемника устройства итеративного декодирования сверточного кода, а выход первого ключа управления подключен к входу первого оперативного запоминающего устройства, выход которого подключен через второй ключ управления, первый пороговый декодер, четвертый ключ управления, второе оперативное запоминающее устройство, пятый ключ управления и второй пороговый декодер к первому входу мажоритарного элемента, второй вход которого подключен через буферное устройство и третий ключ управления к выходу первого порогового декодера, а выход мажоритарного элемента является выходом итеративного порогового декодера сверточного кода.

(56)

1. А.с. СССР 58657, МПК Н 04L 1/10, 1978.
2. А.с. СССР 1185629, МПК Н 04L 1/10, 1985.
3. А.с. СССР 646451, МПК Н 04L 1/10, 1979.

Полезная модель относится к технике электросвязи и может быть использована в устройствах помехоустойчивого кодирования при передаче двоичной информации по каналам связи с группированием ошибок.

Известен пороговый декодер сверточного кода, содержащий кодер, формирователь синдрома, анализатор синдрома, пороговый обнаружитель, корректор ошибок, первый и второй блоки запрета коррекции, дополнительный пороговый обнаружитель и обнаружитель пакетов [1].

Однако известному пороговому декодеру сверточного кода присущи следующие недостатки:

возможность размножения ошибок при поступлении на вход декодера некорректируемых сверточным кодом ошибок;

низкая корректирующая способность к пакетным (группирующимся) ошибкам.

Известен пороговый декодер сверточного кода, содержащий кодер, корректор ошибок, формирователь синдрома, анализатор синдрома, три пороговых блока, корректор пакетов ошибок, мультиплексор импульсов коррекции, блок формирования тактовых импульсов, элемент совпадения, пороговый счетчик, формирователь временного интервала, D-триггер, инвертор, ключ и три блока коррекции информационных и синдромных символов [2].

Однако известный пороговый декодер сверточного кода обладает недостаточной помехоустойчивостью к группирующимся (пакетным) ошибкам, которая определяется тем,

BY 6593 U 2010.10.30

что пороговый декодер корректирует пакеты ошибок кратностью (длиной) $t_{п.корр.} \leq n_0$ кодовых символов (n_0 - длина миниблока кодовых символов, зависящая от скорости передачи кода R , определяемая выражением $R = k_0/n_0$, $k_0 = 1, 2, 3, \dots$, $n_0 = k_0 + 1$), а также исключается возможность коррекции ошибочных информационных символов при поступлении на вход порогового декодера одновременно пакетных и случайных (независимых) ошибок.

Известно устройство кодирования и декодирования сверточных кодов, содержащее на передающей стороне источник информации, кодер и генератор и на приемной стороне содержащее кодер, формирователь синдрома, анализатор ошибок, основной регистр, первый и второй дополнительные регистры, двухпороговый обнаружитель, первый и второй дополнительные пороговые обнаружители, первый, второй и третий корректоры ошибок [3].

Однако известное устройство кодирования и декодирования сверточных кодов обладает недостаточной помехоустойчивостью к группирующимся (пакетным) ошибкам, а также возможностью размножения ошибок, так как каждая не обнаруженная многопороговым декодером ошибка вводится через цепи коррекции анализаторов синдромов на входы пороговых обнаружителей в размноженном виде.

Задача данной полезной модели - повышение помехоустойчивости устройства итеративного кодирования и декодирования сверточных кодов при передаче двоичной информации по каналам связи с группированием ошибок.

Поставленная задача достигается тем, что в устройство кодирования и декодирования двоичной информации сверточным кодом, содержащее на передающей стороне источник информации, кодер и генератор, выход которого одновременно подключен к источнику информации и к первому входу кодера, второй вход которого подключен к выходу источника информации, а два выхода устройства кодирования являются выходами кодера сверточного кода, а на приемной стороне последовательно соединенные кодер и формирователь синдрома, второй вход которого и вход кодера являются входами итеративного декодера сверточного кода, а выход формирователя синдрома подключен одновременно к первому входу анализатора синдрома и через первый, второй дополнительные и основной регистры ко второму входу анализатора синдрома, третий и четвертый входы которого подключены к первым входам соответственно первого и второго дополнительных регистров, а вторые выходы первого, второго дополнительных и основного регистров подключены к первому входу соответственно первого дополнительного порогового обнаружителя, двухпорогового обнаружителя и второго дополнительного порогового обнаружителя, вторые входы данных пороговых обнаружителей подключены соответственно к первому, второму и третьему входам анализатора синдрома, а выходы первого, второго дополнительных пороговых обнаружителей и двухпорогового обнаружителя подключены одновременно к вторым входам первого, второго дополнительных и основного регистров и к первым входам последовательно соединенных первого, второго и третьего корректоров ошибок, вход первого корректора ошибок подключен к входу кодера, а выход третьего корректора ошибок является выходом итеративного декодера сверточного кода, на передающей стороне введены второй кодер, четыре ключа управления (Кл.1, Кл.2, Кл.3 и Кл.4), два оперативных запоминающих устройства (ОЗУ1 и ОЗУ2) и формирователь сигналов управления ключами передатчика (ФСУК_п), выходы которого подключены к первым входам ключей управления Кл.1 ÷ Кл.4, а вход ФСУК_п подключен к выходу генератора (Г), а выход источника информации (ИИ) подключен через первый ключ управления Кл.1, первый кодер, первое ОЗУ1, второй ключ управления Кл.2, второй кодер, третий ключ управления Кл.3 и второе ОЗУ2 ко второму входу четвертого ключа управления Кл.4, выход которого является выходом устройства итеративного кодирования сверточного кода, а на приемной стороне введены пять ключей управления (Кл.1 ÷ Кл.5), второй пороговый декодер, буферное устройство (БУ), первое и второе оперативные запоминающие устройства (ОЗУ1 и ОЗУ2), мажоритарный элемент (МЭ), генератор (Г) и формирователь сигналов управления ключами приемника (ФСУК_{пр}), выходы которого подключены к первым входам ключей

ВУ 6593 У 2010.10.30

управления Кл.1 ÷ Кл.5, а вход ФСУК_{пр.} подключен к выходу генератора, а второй вход первого ключа управления Кл.1 является входом порогового декодера итеративного сверточного кода, а выход первого ключа управления Кл.1 подключен к входу первого ОЗУ1, выход которого подключен через второй ключ управления Кл.2, первый пороговый декодер, четвертый ключ управления Кл.4, второе ОЗУ2, пятый ключ управления Кл.5 и второй пороговый декодер к первому входу мажоритарного элемента МЭ, второй вход которого подключен через буферное устройство БУ и третий ключ управления Кл.3 к выходу первого порогового декодера, а выход мажоритарного элемента МЭ является выходом устройства итеративного декодирования сверточного кода.

На фиг. 1 приведена структурная схема передатчика и приемника устройства итеративного кодирования и декодирования сверточных кодов, реализующих заявляемое устройство кодирования и декодирования итеративного сверточного кода; на фиг. 2 и 3 - временные диаграммы работы ключей управления передатчика (фиг. 2) и приемника (фиг. 3); на фиг. 4 - обобщенная структурная схема порогового декодера сверточного кода для скорости передачи кода $R = 1/2$; на фиг. 5 и 6 - функциональная схема мажоритарного элемента (фиг. 5) и алгоритм работы мажоритарного элемента (фиг. 6).

Устройство итеративного кодирования и декодирования сверточных кодов содержит передатчик (фиг. 1), состоящий из источника информации (1), генератора (2), формирователя (3) сигналов управления ключами передатчика, первого (4), второго (5), третьего (6) и четвертого (7) ключей управления, первого (8) и второго (9) кодеров, первого (10) и второго (11) оперативных запоминающих устройств, и приемник, состоящий из генератора (12), формирователя (13) сигналов управления ключами приемника, первого (14), второго (15), третьего (16), четвертого (17) и пятого (18) ключей управления, первого (19) и второго (20) оперативных запоминающих устройств, первого (21) и второго (22) пороговых декодеров, буферного устройства (23) и мажоритарного элемента (24).

Устройство работает следующим образом: в первоначальный момент времени первый (4) ключ управления открыт, а ключи 5, 6 и 7 управления закрыты; временные диаграммы работы ключей управления приведены на фиг. 2. Передаваемые информационные символы через первый (4) ключ управления поступают на вход первого (8) кодера, где осуществляется их кодирование сверточным кодом с параметрами: $R_{01} = k_{01}/n_{01}$, $k_{01} \geq 1$, $n_0 = k_0 + 1$, $d_0 = J_{01} + 1$, $t_{исп.} \leq J/2$ бит; R_{01} - скорость передачи кода, k_{01} - миниблок информационных символов, n_{01} - миниблок кодовых символов, d_0 - минимальное кодовое расстояние, J_{01} - число ортогональных проверок, $t_{исп.}$ - кратность (количество) исправляемых ошибочных символов.

Сформированные символы кодовых последовательностей длиной $n_{A1} = (m_1 + 1) \cdot n_{01}$ бит, где m_1 - максимальная степень порождающего полинома используемого сверточного кода, записываются по строкам в первое (10) оперативное запоминающее устройство; количество строк и столбцов данного устройства равно соответственно $(n_{A1} \cdot R_{01}) \times n_{A1}$.

После окончания записи кодовых символов по строкам первый (4) ключ управления закрывается, второй (5) и третий (6) ключи управления открываются, а четвертый (7) ключ управления остается в закрытом состоянии. Далее осуществляется посимвольное считывание кодовых символов по столбцам первого (10) ОЗУ1 на вход второго (9) кодера сверточного кода с параметрами, равными или отличными от параметров сверточного кода первого (8) кодера; далее рассматривается вариант использования сверточных кодов с равными (одинаковыми) параметрами. Сформированные символы кодовых последовательностей второго (9) кодера записываются через третий (6) ключ управления во второе (11) оперативное запоминающее устройство по столбцам. Ранг данной ОЗУ2 равен $n_{A1} \times n_{A1}$. По окончании записи $N = n_{A1}^2$ кодовых символов второй (5) и третий (6) ключи управления закрываются, а открывается четвертый (7) ключ управления, и далее осуществляется считывание по строкам символов кодовых последовательностей сформированного итеративного сверточного кода. Параметры итеративного сверточного кода в соответствии с

BY 6593 U 2010.10.30

методом кодирования передаваемой двоичной информации равны: $R_n = R_{01} \cdot R_{02}$, $J_n = J_{01} \cdot J_{02}$, $d_{0и} = J_n + 1$, $N_{и} = n_{A1} \cdot n_{A2} = n_{A1}^2$, $t_{исп.и} \leq \frac{d_{0и} - 1(2)}{2}$ ошибочных символов. По окончании считывания $N_{и}$ кодовых символов четвертый (7) ключ управления закрывается, а первый (4) ключ управления открывается, и далее аналогичным образом осуществляется формирование символов следующей кодовой последовательности итеративного сверточного кода.

Декодер итеративного сверточного кода работает следующим образом: в первоначальный момент времени первый (14) ключ управления работой декодера открыт, а второй (15), третий (16), четвертый (17) и пятый (18) ключи управления работой декодера закрыты; временные диаграммы, поясняющие принцип работы ключей управления, приведены на фиг. 3. Принятые символы кодовой последовательности итеративного сверточного кода записываются в течение $N = N_{Aи}$ тактов по строкам в первое (19) оперативное запоминающее устройство. По окончании записи n_{A1}^2 кодовых символов первый (14) ключ управления закрывается, а открываются второй (15), третий (16) и четвертый (17) ключи управления; пятый (18) ключ управления остается в замкнутом (закрытом) положении. В течение $N_{Aи}$ тактов осуществляется реализация первого этапа декодирования кодовых символов, сформированных вторым (9) кодером передатчика; считывание кодовых символов с первого (19) ОЗУ1 декодера осуществляется по столбцам. В процессе декодирования сформированные символы с выхода первого (21) порогового декодера одновременно поступают на входы второго (20) ОЗУ2 и буферного устройства (23); в буферное устройство (23) записываются информационные символы сверточного кода второго этапа кодирования, выполненного в передатчике, а в первое (20) ОЗУ1 записываются по строкам символы кодовых последовательностей первого этапа кодирования, выполненного в передатчике.

По окончании процедуры декодирования $N_{Aи}$ кодовых символов третий (16) и четвертый (17) ключи управления закрываются, пятый (18) ключ управления открывается, а первый (14) и второй (15) ключи управления приемного устройства остаются в закрытом состоянии. Далее осуществляется реализация второго этапа декодирования кодовых символов итеративного сверточного кода, а именно символов кодовых последовательностей, сформированных первым (8) кодером передатчика (фиг. 1). Для чего кодовые символы с выхода второго (20) ОЗУ2 считываются построчно и поступают на вход второго (22) порогового декодера. Первый (21) и второй (22) пороговые декодеры итеративного сверточного кода имеют одинаковый принцип построения; обобщенная структурная схема второго порогового декодера приведена на фиг. 4, содержащий:

DMX - демультиплексор кодовых символов;

ФПСд - формирователь проверочных символов декодера;

ФСС - формирователь синдромных символов;

АС - анализатор синдрома;

КО - корректор ошибок;

$I(D)$ - последовательность принятых информационных символов;

$P_{пер.}(D)$ - последовательность проверочных символов, сформированных кодером передатчика;

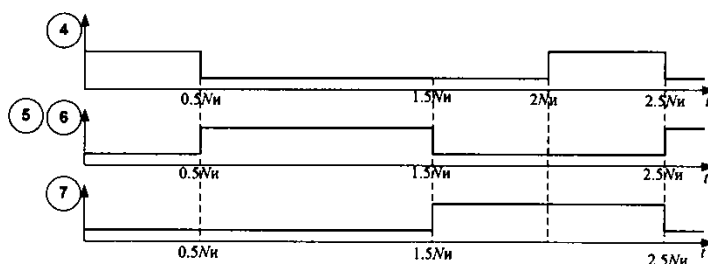
$P_{сф.}(D)$ - последовательность проверочных символов, сформированных ФПСд;

$S(D)$ - последовательность синдромных символов.

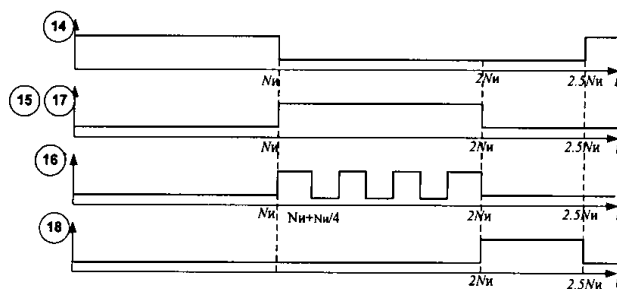
Информационные символы с выхода второго (22) порогового декодера поступают на первый вход мажоритарного элемента (24), на второй вход которого с выхода буферного устройства (23) поступают информационные символы, сформированные после первого этапа декодирования. Мажоритарный элемент (24) принимает решение по достоверности каждого принятого информационного символа по большинству одинаковых значений (полярности, уровней) входных информационных двоичных символов. На фиг. 5 приведена функциональная схема мажоритарного элемента (24), в качестве которого для данного

итеративного сверточного кода используется двухвходовая схема "И", а на фиг. 6 приведен алгоритм формирования мажоритарным элементом (24) выходных информационных символов. Максимальная кратность исправляемых ошибок заявляемого устройства итеративного кодирования и декодирования сверточных кодов определяется следующим равенством-неравенством: $t_{исп.и} \leq \frac{d_{0и} - 1(2)}{2} = \frac{J_{01} \cdot J_{02} - 1(2)}{2}$ двоичных символов. Максимальная кратность ошибок, исправляемых известным итеративным пороговым декодером сверточного кода, определяется следующим равенством-неравенством: $t_{исп.и} \leq \frac{J}{2} + 3$ - при трех итерациях (ступенях) декодирования. Расчеты показывают, что $t_{исп} < t_{исп.и}$.

Например, пусть при кодировании двоичной информации используется сверточный код с параметрами: $R = k_0/n_0 \geq 1/2$, $J = 4$, $m = 6$, $n_A = (m + 1) \cdot n_0 = (6 + 1) \cdot 2 = 14$ двоичных символов. Следовательно, кратность ошибок, исправляемых заявляемым двумерным итеративным пороговым декодером сверточного кода, равна: $t_{исп.и} \leq \frac{J_{01} \cdot J_{02}}{2} = \frac{4 \cdot 4}{2} = 8$ двоичных символов, а известный итеративный пороговый (многопороговый) декодер сверточного кода при трех ступенях итерации корректирует $t_{исп.} \leq \frac{J}{2} + 3 = \frac{4}{2} + 3 = 5$ двоичных символов. Следовательно, корректирующая способность по информационным символам заявляемого устройства итеративного кодирования и декодирования сверточных кодов в 1,6 раз выше известного. Кроме того, использование при кодировании способа записи кодовых символов по строкам, а считывание кодовых символов по столбцам (или наоборот) позволяет исправлять пакеты ошибок кратностью $t_{пак.исп.} \leq n_A \gg t_{исп.} \leq J/2 = 3$ двоичных символа. Для выбранного в качестве примера итеративного сверточного кода минимальная кратность корректируемого пакета ошибок составляет $t_{пак.мин.} \leq n_{A1} = 14$ двоичных символов; а известный многопороговый декодер сверточного кода не обеспечивает коррекцию пакетных ошибок.

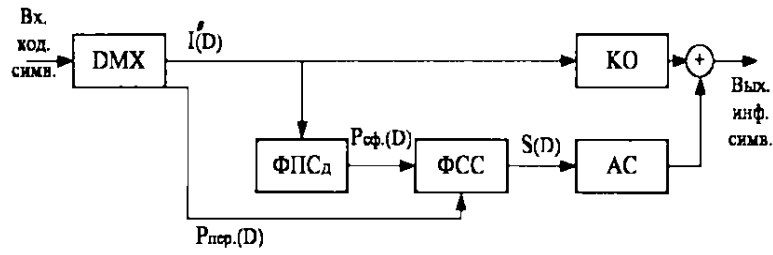


Фиг. 2

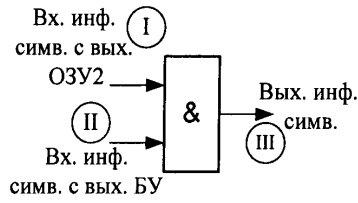


Фиг. 3

ВУ 6593 U 2010.10.30



Фиг. 4



Фиг. 5

Полярность входных и выходных информационных символов мажоритарного элемента		
I	II	III
1	1	1
1	0	0
0	1	0
0	0	0

Фиг. 6