

# ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР  
ИНТЕЛЛЕКТУАЛЬНОЙ  
СОБСТВЕННОСТИ

(19) ВУ (11) 8450

(13) U

(46) 2012.08.30

(51) МПК

H 04L 1/00

(2006.01)

## (54) ДЕКОДИРУЮЩЕЕ УСТРОЙСТВО ЦИКЛИЧЕСКОГО КОДА РИДА-СОЛОМОНА

(21) Номер заявки: u 20111031

(22) 2011.12.16

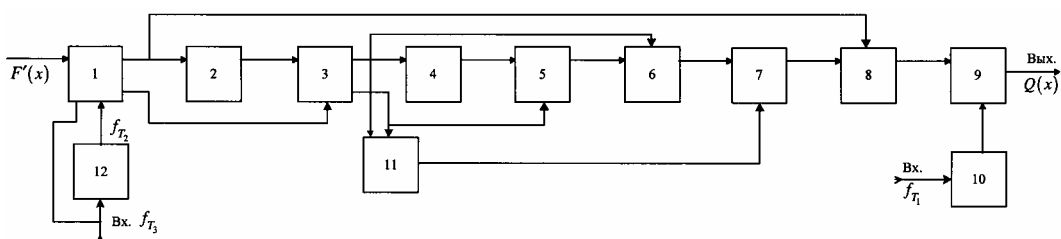
(71) Заявитель: Учреждение образования  
"Белорусский государственный уни-  
верситет информатики и радиоэлек-  
троники" (ВУ)

(72) Авторы: Королёв Алексей Иванович;  
Конопелько Валерий Константинович;  
Салас Валор Нестор Альфредо; Хоанг  
Нгок Зьонг (ВУ)

(73) Патентообладатель: Учреждение обра-  
зования "Белорусский государственный  
университет информатики и  
радиоэлектроники" (ВУ)

(57)

Декодирующее устройство циклического кода Рида-Соломона, содержащее последовательно соединенные коммутатор распределения информации декодирующего устройства, формирователь проверочных символов декодирующего устройства, формирователь синдромных символов, блок вычисления частных синдромов, блок сравнения синдромов, блок элементов "И", корректор ошибок и коммутатор объединения информации декодирующего устройства, выход которого является выходом декодирующего устройства, а второй вход коммутатора объединения информации декодирующего устройства подключен к выходу формирователя сигналов управления декодирующего устройства, вход которого является входом тактовой частоты  $f_{T_1}$ , а второй вход корректора ошибок объединен со входом формирователя проверочных символов декодирующего устройства и подсоединен к первому выходу коммутатора распределения информации декодирующего устройства, второй выход которого подсоединен ко второму входу формирователя синдромных символов, второй выход которого подсоединен ко второму входу блока сравнения синдромов, а второй вход блока элементов "И" объединен со входом блока вычисления частных синдромов и подсоединен к первому выходу формирователя синдромных символов, а первый вход коммутатора распределения информации декодирующего устройства объединен со входом формирователя тактовых импульсов декодирующего устройства, который является входом тактовой частоты  $f_{T_2}$  декодирующего устройства, а второй



Фиг. 1

ВУ 8450 U 2012.08.30

вход коммутатора распределения информации декодирующего устройства подсоединен к выходу формирователя тактовых импульсов декодирующего устройства и является входом тактовой частоты  $f_T$ , а третий вход коммутатора распределения информации декодирующего устройства является входом декодирующего устройства циклического кода Рида-Соломона, **отличающееся** тем, что введены блок обнаружения некорректируемых модулей ошибок и блок запрета коррекции информационных символов, при этом первый и второй входы блока обнаружения некорректируемых модулей ошибок подсоединены соответственно к первому и второму выходам формирователя синдромных символов, а выход блока обнаружения некорректируемых модулей ошибок подсоединен к первому входу блока запрета коррекции информационных символов, второй вход которого подсоединен к выходу блока элементов "И", а выход блока запрета коррекции информационных символов подсоединен к первому входу корректора ошибок.

(56)

1. Цифровая обработка сигналов и ее применение: Матер. 8-й Междунар. конф. - Москва, 2006. - С. 53, 57, рис. 1.
2. Патент BY 7195 C1, 2005.
3. Королев А.И. Коды и устройства помехоустойчивого кодирования информации / А.И.Королев. - Минск: Бестприт, 2007. - С. 213, рис. 6.24.

---

Полезная модель относится к технике электросвязи и может использоваться в устройствах помехоустойчивого кодирования при передаче двоичной информации по каналам связи.

Известно декодирующее устройство циклического кода Рида-Соломона, содержащее буфер данных, вычислитель синдрома, модуль дискретного преобразования Фурье (DFT), модуль нахождения локаторов  $(t + 1)$  ошибки и процессор Галуа [1].

Однако известному декодирующему устройству циклического кода Рида-Соломона присущи следующие недостатки:

возможность размножения ошибок при поступлении на вход декодирующего устройства необнаруживаемого и некорректируемого модуля ошибок;

большая задержка информации при декодировании, так как коррекция ошибочных информационных символов выполняется после вычисления локаторов ошибок и много-членов значений ошибок.

Известно устройство декодирования для коррекции модуля ошибок, содержащее блок вычисления синдрома, дешифратор указания степени элементов поля 1, дешифратор указания степени элементов поля 2, селектор указания начального местоположения ошибок, селектор указания текущего местоположения ошибок, блок формирования векторов норм синдромов и блок коррекции [2].

Однако известному устройству декодирования циклического кода Рида-Соломона присущи следующие недостатки:

данное устройство декодирования не позволяет обнаруживать некорректируемые модули ошибок, вследствие чего возможно размножение ошибок;

большая задержка информации при декодировании, которая определяется двухэтапной процедурой вычисления позиций ошибочных информационных символов.

Известно декодирующее устройство циклического кода Рида-Соломона, содержащее формирователь тактовых импульсов (ФТИ), коммутатор распределения информации (КРИ), формирователь проверочных символов декодера (ФПСд), формирователь синдромных символов (ФСС), блок вычисления частных синдромов (БВЧС), блок сравнения

## BY 8450 U 2012.08.30

синдромов (БСС), блок элементов "И", корректор ошибок (КО), коммутатор объединения информации (КОИ) и формирователь сигналов управления (ФСУ) [3].

Однако известное декодирующее устройство циклического кода Рида-Соломона обладает недостаточной помехоустойчивостью, которая определяется тем, что декодирующее устройство не обнаруживает некорректируемые модули ошибок кратностью  $(t_m + i)$  двоичных символов ( $i \geq 1$ ), что приводит к размножению ошибок на выходе декодера.

Задача полезной модели - повышение помехоустойчивости декодирующего устройства циклического кода Рида-Соломона при передаче двоичной информации по каналам связи.

Поставленная задача достигается тем, что декодирующее устройство (декодер) циклического кода Рида-Соломона, содержащее последовательно соединенные коммутатор распределения информации (КРИ) декодера, формирователь проверочных символов декодера (ФПСд), формирователь синдромных символов (ФСС), блок вычисления частных синдромов (БВЧС), блок сравнения синдромов (БСС), блок элементов "И", корректор ошибок (КО) и коммутатор объединения информации (КОИ) декодера, выход которого является выходом декодирующего устройства, а второй вход КОИ декодера подключен к выходу формирователя сигналов управления (ФСУ) декодера, вход которого является входом тактовой частоты  $f_T$ , а второй вход КО объединен со входом ФПСд и подсоединен к первому выходу КРИ декодера, второй выход которого подсоединен ко второму входу ФСС, второй выход которого подсоединен ко второму входу БСС, а второй вход блока элементов "И" объединен со входом БВЧС и подсоединен к первому выходу ФСС, а первый вход КРИ декодера объединен со входом формирователя тактовых импульсов (ФТИ) декодера, который является входом тактовой частоты  $f_T$ , а второй вход КРИ декодера подсоединен к выходу ФТИ и является входом тактовой частоты  $f_{T_2}$ , а третий вход КРИ декодера является входом декодера кода Рида-Соломона, отличается тем, что введены блок обнаружения некорректируемых модулей ошибок (БОНМО) и блок запрета коррекции информационных символов (БЗКИС), при этом первый и второй входы БОНМО подсоединены соответственно к первому и второму выходу ФСС, а выход БОНМО подсоединен ко входу БЗКИС, второй вход которого подсоединен к выходу блока элементов "И", а выход БЗКИС подсоединен к первому входу КО.

На фиг. 1 приведена структурная схема декодирующего устройства циклического кода Рида-Соломона.

На фиг. 2 приведена проверочная матрица укороченного циклического кода Рида-Соломона с параметрами  $(n, k) = (40, 32)$ ,  $t_{m,k} = 4$  бита - кратность корректируемого модуля ошибок.

На фиг. 3 приведена система проверочных управлений укороченного циклического кода Рида-Соломона.

На фиг. 4 (а и б), 5, 6 (а и б), 7 (а и б) и 8 приведены структуры модульных ошибок и соответствующие модулям синдромные конфигурации (синдромы) а именно:

фиг. 4 (а и б) - при поступлении на вход декодирующего устройства модулей ошибок ( $t_{m,ош}$ ) с разной структурой ошибок и кратностью меньше корректируемого модуля ошибок ( $t_{m,k}$ ) т.е.  $t_{m,ош} \leq t_{m,k}$ ;

фиг. 5 - при поступлении на вход декодирующего устройства модуля ошибок равной кратности корректируемого модуля, т.е.  $t_{m,ош} = t_{m,k}$ ;

фиг. 6 (а и б) - при поступлении на вход декодирующего устройства модулей ошибок  $t_{m,ош}$  с разной структурой ошибок и кратностью  $t_{m,ош} = t_{m,k} + 1$  бит;

фиг. 7 (а и б) - при поступлении на вход декодирующего устройства модулей ошибок  $t_{m,ош}$  с разной структурой ошибок и кратностью  $t_{m,ош} = t_{m,k} + 2$  бита;

фиг. 8 - при поступлении на вход декодирующего устройства модуля ошибок кратностью ошибок  $t_{m,ош} = 2t_{m,k}$ .

фиг. 9 - обобщенная структурная схема блока обнаружения некорректируемых модулей ошибок.

фиг. 10 - обобщенная структурная схема блока запрета коррекции информационных символов.

Декодирующее устройство (декодер) циклического кода Рида-Соломона (фиг. 1) содержит последовательно соединенные коммутатор 1 распределения информации декодера, формирователь 2 проверочных символов декодера, формирователь 3 синдромных символов, блок 4 вычисления частных синдромов, блок 5 сравнения синдромов, блок 6 элементов "И", блок 7 запрета коррекции информационных символов, корректор 8 ошибок и коммутатор 9 объединения информации, выход которого является выходом декодирующего устройства (декодера), а второй вход коммутатора 9 объединения информации декодера подключен к выходу формирователя 10 сигналов управления декодера, вход которого является входом тактовой частоты  $f_{T_1}$ , а второй вход корректора 8 ошибок объединен со входом формирователя 2 проверочных символов декодера и подсоединен к первому выходу коммутатора 1 распределения информации декодера, второй выход которого подсоединен ко второму входу формирователя 5 синдромных символов и первому входу блока 11 обнаружения некорректируемых модулей ошибок, второй вход которого объединен со вторым входом блока 6 элементов "И" и подсоединен к первому выходу формирователя 3 синдромных символов, второй выход которого подсоединен одновременно ко второму входу блока 11 обнаружения некорректируемых модулей ошибок, второй вход которого объединен со вторым входом блока 6 элементов "И" и подсоединен к первому выходу формирователя 3 синдромных символов, а выход блока 11 обнаружения некорректируемых модулей ошибок подсоединен ко второму входу блока 7 запрета коррекции информационных символов, а первый вход коммутатора 1 распределения информации декодера объединен со входом формирователя 12 тактовых импульсов декодера, который является входом тактовой частоты  $f_{T_3}$  декодера, а второй вход коммутатора 1 распределения информации декодера подсоединен к выходу формирователя 12 тактовых импульсов декодера и является входом тактовой частоты  $f_{T_2}$ , а третий вход коммутатора 1 распределения информации декодера является входом декодирующего устройства циклического кода Рида-Соломона.

Декодирующее устройство циклического кода Рида-Соломона работает следующим образом.

Рассмотрим принцип работы декодирующего устройства на примере использования укороченного циклического кода Рида-Соломона, корректирующего однобитовые ошибки кратностью  $t_{\text{МК}} = 4$  бита с параметрами кода  $(n, k) = (40, 32)$  и  $P(x) = x^4 + x + 1$  и при последовательном способе приема и декодирования информации.

Принятые символы кодовой последовательности  $F'(x)$  в коммутаторе 1 распределения информации декодера разделяются на  $k = 32$  информационных символа и на  $l = 8$  проверочных символов. Информационные символы в параллельном коде поступают одновременно на вход корректора 8 ошибок и блок 2 формирования проверочных символов декодера, который формирует восемь проверочных символов  $(b'_1 - b'_8)$  по уравнениям, представленным на фиг. 2.

Сформированные проверочные символы  $(b'_1 - b'_8)$  поступают на один из входов формирователя 8 синдромных символов, на второй вход которого поступают принятые проверочные символы  $(b_1 - b_8)$ . Формирование восьми синдромных символов  $(S_1 - S_8)$  осуществляется путем суммирования по модулю двух принятых и вновь сформированных проверочных символов, т.е.  $S_1 = b_1 \oplus b'_1$ ,  $S_2 = b_2 \oplus b'_2$ ,  $S_3 = b_3 \oplus b'_3$ ,  $S_4 = b_4 \oplus b'_4$ ,  $S_5 = b_5 \oplus b'_5$ ,  $S_6 = b_6 \oplus b'_6$ ,  $S_7 = b_7 \oplus b'_7$  и  $S_8 = b_8 \oplus b'_8$ .

Сформированные синдромные символы ( $S_1-S_8$ ) поступают в параллельном коде на входы блока 11 обнаружения некорректируемых модулей ошибок и двумя подпотоками синдромных символов  $S_1(x) = S_1S_2S_3S_4$  и  $S_2(x) = S_5S_6S_7S_8$  в параллельном коде поступают на вход блока 6 элементов "И" и блока 4 вычисления частных синдромов - синдромные символы  $S_1(x)$ ; на вход блока 5 сравнения синдромов - синдромные символы  $S_2(x)$ .

Блок 4 вычисления частных синдромов определяет позицию модуля ошибок, количество которых равно кратности синдромных символов, т.е. восьми  $\overline{S_1} - \overline{S_8}$ . Сформированные частные синдромы поступают на вход блока 5 сравнения синдромов, где производится их сравнение с синдромными символами  $S_1(x)$ ; если  $\overline{S_i} = S_2(x)$ ,  $i=1-8$ , то обнаружен модуль ошибок с номером  $i$ . Формируется вектор ошибок, который может быть двух видов, а именно: состоит из одних нулевых символов, если ошибок нет или ошибки не обнаруживаются кодом; состоит из нулевых и ненулевых символов, имеющих разную структуру при наличии модульных ошибок (фиг. 4-8). Ненулевые символы вектора ошибок могут соответствовать позициям как ошибочных, так и безошибочных информационных символов при приеме модулей ошибок соответствующей кратности. При приеме корректируемого модуля ошибок будет осуществляться правильная коррекция ошибочных информационных символов, а при приеме некорректируемых модулей ошибок будет осуществляться ошибочная коррекция информационных символов, т.е. будет происходить размножение ошибок с интервалом ошибок более, чем  $L \geq 2 \cdot t_{\text{МК}}$  [Блейхут Р. Теория и практика кодов, контролирующая ошибки. - М.: Мир, 1986. - С. 219-220].

Одновременно с вычислением частных синдромов и формирования вектора ошибок блоком 11 обнаружения некорректируемых модулей ошибок анализируется структура синдромных символов (синдрома) ( $S_1-S_8$ ) принятой кодовой последовательности  $F'(x)$ . Так как структура синдрома ( $S_1-S_8$ ) существенно отличается при приеме корректируемых и некорректируемых модулей ошибок, то блоком 11 обнаружения некорректируемых модулей ошибок формируются два типа управляющих сигналов, а именно: сигнал управления с уровнем логической "1" - при приеме корректируемых модулей ошибок; сигнал управления с уровнем логической "0" - при приеме некорректируемых модулей ошибок. На фиг. 9 приведена структурная схема блока обнаружения некорректируемых модулей ошибок 11, выполняемого в виде ПЗУ, на адресные входы которого поступают синдромные символы ( $S_1-S_8$ ).

При приеме корректируемых модулей ошибок ( $t_{\text{МК}}$ ) сигнал управления с уровнем логической "1" "разрешает" прохождение ненулевых символов вектора ошибок через блок 7 запрета коррекции информационных символов на вход корректора 8 ошибок, на второй вход которого с первого входа коммутатора 1 распределения информации поступают принятые информационные символы: осуществляется коррекция ошибочных информационных символов, соответствующие позициям корректируемого модуля ошибок. Блок 7 запрета информационных символов (фиг. 10) реализуется в виде  $k$  ( $k = 32$  для рассматриваемого укороченного циклического кода Рида-Соломона) двухвходовых схем "И", один из входов которых подсоединен к выходу соответствующей схемы "И" блока 6 элементов "И", а второй вход схем "И" блока 7 запрета коррекции информационных символов подсоединен к выходу блока 11 обнаружения некорректируемых модулей ошибок.

При приеме некорректируемых модулей ошибок сигнал управления с уровнем логического "0" блокирует происхождение ненулевых сигналов вектора ошибок на вход корректора 8 ошибок, исключая таким образом ошибочную коррекцию информационных символов и, следовательно, размножение ошибок.

Скорректированные информационные символы через коммутатор 9 объединения информации поступают на выход декодирующего устройства.

## BY 8450 U 2012.08.30

Управление работой коммутаторов распределения 1 и объединения 9 информации декодера осуществляется соответственно формирователями тактовых импульсов 12 и сигналов управления 10 декодера.

Моделирование работы декодирующего устройства укороченного циклического кода Рида-Соломона с параметрами  $(n, k) = (40, 32)$ ,  $t_{МК} = 4$  бита при передаче двоичной информации по каналу связи показало полное отсутствие размножения ошибок при вводе модулей ошибок кратностью  $t_{М.ош} = 5-8$  бит на длине кодовой последовательности  $n = 40$  бит, а при использовании двоичного симметричного канала связи без памяти вероятность ошибочного декодирования составила  $10^{-5}$  при  $P_k = 5 \cdot 10^{-2}$ , т.е. уменьшилась почти на три порядка.

$$H(x) = \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

Фиг. 2

$$\begin{aligned} b_1 &= a_1 + a_5 + a_9 + a_{13} + a_{17} + a_{21} + a_{25} + a_{29} + a_{33}, \\ b_2 &= a_2 + a_6 + a_{10} + a_{14} + a_{18} + a_{22} + a_{26} + a_{30} + a_{34}, \\ b_3 &= a_3 + a_7 + a_{11} + a_{15} + a_{19} + a_{23} + a_{27} + a_{31} + a_{35}, \\ b_4 &= a_4 + a_8 + a_{12} + a_{16} + a_{20} + a_{24} + a_{28} + a_{32} + a_{36}, \\ b_5 &= a_1 + a_6 + a_{11} + a_{13} + a_{17} + a_{18} + a_{22} + a_{23} + a_{25} + a_{27} + a_{28} + a_{30} + a_{32} + a_{37}, \\ b_6 &= a_2 + a_7 + a_9 + a_{12} + a_{13} + a_{14} + a_{18} + a_{19} + a_{21} + a_{23} + a_{24} + a_{25} + a_{26} + a_{28} + a_{29} + a_{31} + a_{38}, \\ b_7 &= a_3 + a_5 + a_8 + a_9 + a_{10} + a_{14} + a_{15} + a_{17} + a_{19} + a_{20} + a_{22} + a_{24} + a_{25} + a_{27} + a_{29} + a_{30} + a_{32} + a_{33}, \\ b_8 &= a_4 + a_5 + a_{10} + a_{15} + a_{17} + a_{20} + a_{21} + a_{22} + a_{26} + a_{27} + a_{29} + a_{31} + a_{32} + a_{40}, \\ a_i, i \in \overline{1,32} &- \text{информационные символы,} \\ a_j, j \in \overline{33,40} &- \text{принятые проверочные символы,} \end{aligned}$$

Фиг. 3

$$\begin{aligned} F(x) &= \overset{a_1 a_2 a_3 a_4 a_5}{00000} \dots \overset{a_{20} a_{21} a_{22}}{000} \overset{a_{38} a_{39} a_{40}}{000} = \text{переданная кодовая последовательность} \\ \text{а) } F'(x) &= 11100 \dots 000 \dots 000 = \text{принятая кодовая последовательность} \\ t_{\text{МК}} > t_{\text{М.ош.}} &= 1110 \text{ збита, } S_a(x) = 11101110 - \text{синдром} \\ \text{б) } F'(x) &= 01110 \dots 000 \dots 000 = \text{принятая кодовая последовательность} \\ t_{\text{МК}} > t_{\text{М.ош.}} &= 0111 \text{ збита, } S_6(x) = 01110111 - \text{синдром} \end{aligned}$$

Фиг. 4

# BY 8450 U 2012.08.30

$$F(x) = \overset{a_1 a_2 a_3 a_4 a_5 a_6}{000000} \dots \overset{a_{20} a_{21} a_{22}}{000} \overset{a_{38} a_{39} a_{40}}{000} = \text{переданная} \quad \text{КОДОВАЯ}$$

последовательность

$$F'(x) = 111100 \dots 000 \dots 000 = \text{принятая кодовая последовательность}$$

$$t_{\text{мх}} = t_{\text{м.ош.}} = 1111 \text{ 4бита, } S_a(x) = 11111111 - \text{синдром}$$

Фиг. 5

$$F(x) = \overset{a_1 a_2 a_3 a_4 a_5}{00000} \dots \overset{a_{20} a_{21} a_{22}}{000} \overset{a_{38} a_{39} a_{40}}{000} = \text{переданная} \quad \text{КОДОВАЯ}$$

последовательность

а)  $F'(x) = 01111 \dots 000 \dots 000 = \text{принятая кодовая последовательность}$

$$t_{\text{мх}} < t_{\text{м.ош.}} = 01111 \text{ 5бит, } S_a(x) = 11110100 - \text{синдром}$$

б)  $F'(x) = 11111 \dots 000 \dots 000 = \text{принятая кодовая последовательность}$

$$t_{\text{мх}} < t_{\text{м.ош.}} = 11111 \text{ бит, } S_6(x) = 01110100 - \text{синдром}$$

Фиг. 6

$$F(x) = \overset{a_1 a_2 a_3 a_4 a_5 a_6}{000000} \dots \overset{a_{20} a_{21} a_{22}}{000} \overset{a_{38} a_{39} a_{40}}{000} = \text{переданная} \quad \text{КОДОВАЯ}$$

последовательность

а)  $F'(x) = 111111 \dots 000 \dots 000 = \text{принятая кодовая последовательность}$

$$t_{\text{мх}} < t_{\text{м.ош.}} = 111111 \text{ 6бит, } S_a(x) = 00110100 - \text{синдром}$$

б)  $F'(x) = 11001100 \dots 000 \dots 000 = \text{принятая кодовая последовательность}$

$$t_{\text{мх}} < t_{\text{м.ош.}} = 110011 \text{ 6бит, } S_a(x) = 00000111 - \text{синдром}$$

Фиг. 7

$$F(x) = \overset{a_1 a_2 a_3 a_4 a_5 a_6 a_7 a_8}{00000000} \dots \overset{a_{20} a_{21} a_{22}}{000} \overset{a_{38} a_{39} a_{40}}{000} = \text{переданная} \quad \text{КОДОВАЯ}$$

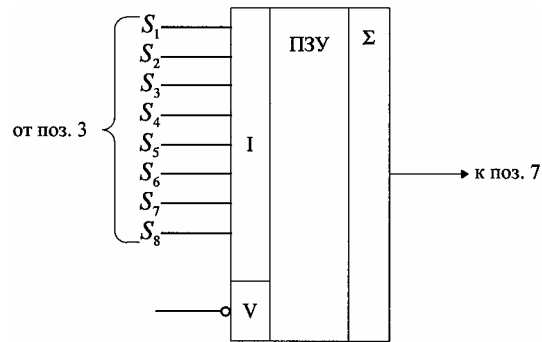
последовательность

а)  $F'(x) = 11111111 \dots 000 \dots 000 = \text{принятая кодовая последовательность}$

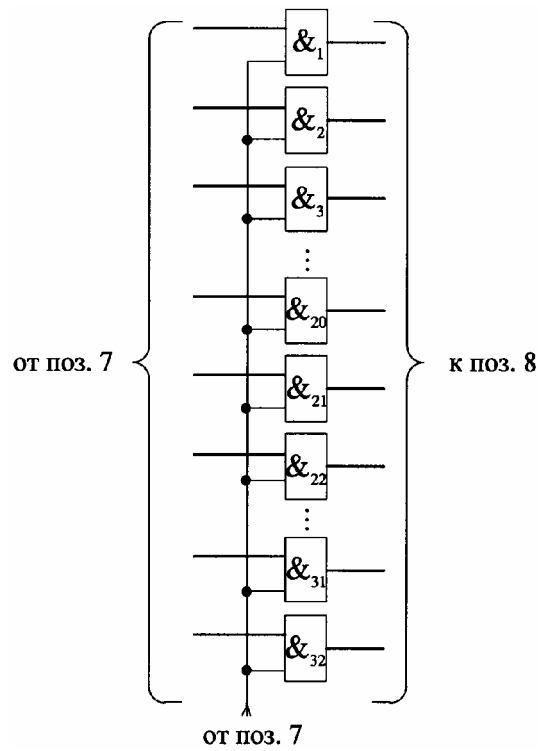
$$t_{\text{мх}} = 2 \cdot t_{\text{м.ош.}} = 11111111 \text{ 8бит, } S(x) = 00000010 - \text{синдром}$$

Фиг. 8

# BY 8450 U 2012.08.30



Фиг. 9



Фиг. 10