

ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 9428

(13) U

(46) 2013.08.30

(51) МПК

H 04L 1/00 (2006.01)

H 03M 13/00 (2006.01)

(54) УСТРОЙСТВО КОРРЕКЦИИ МНОГОКРАТНЫХ СТИРАНИЙ

(21) Номер заявки: u 20130022

(22) 2013.01.08

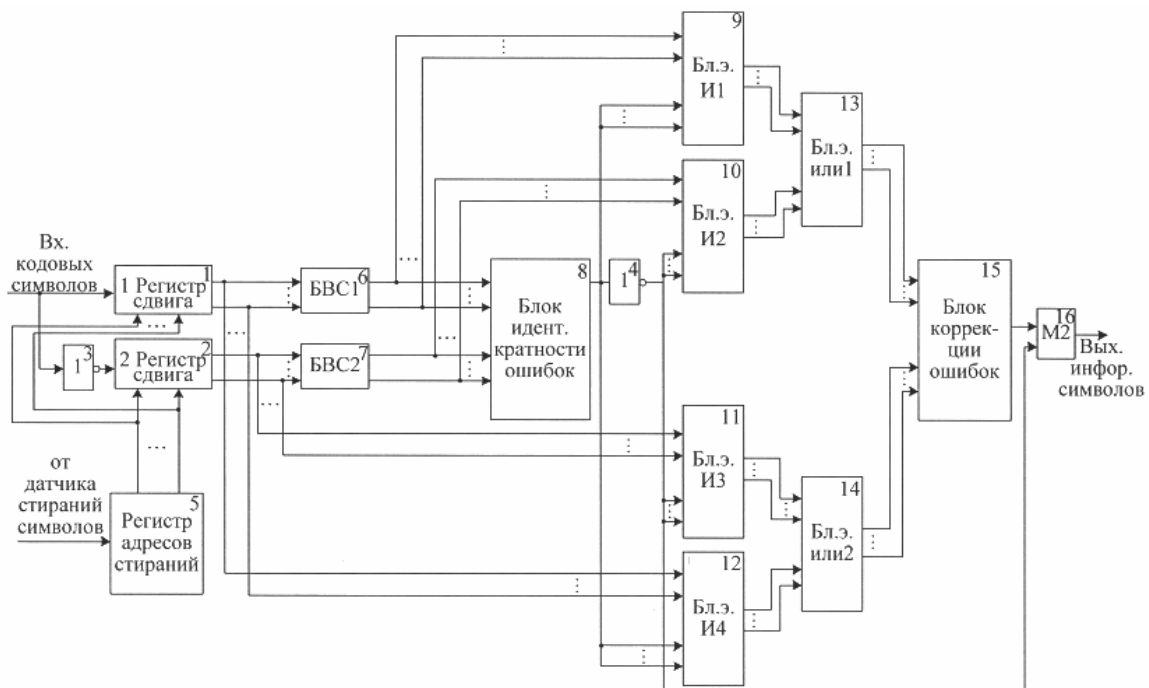
(71) Заявитель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)

(72) Авторы: Салас Валор Нестор Альфредо; Конопелько Валерий Константинович; Королёв Алексей Иванович; Хоанг Нгок Зьонг (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)

(57)

Устройство коррекции многократных стираний, содержащее блок вычисления синдромов (БВС), регистр адресов стираний (РС), последовательно соединенные блок элементов И и блок элементов ИЛИ, отличающееся тем, что введены два инвертора, два регистра сдвига, второй блок вычисления синдромов, блок идентификации кратности ошибок, три блока элементов И, второй блок элементов ИЛИ, блок коррекции ошибок и выходной сумматор по модулю два, выход которого является выходом устройства коррекции многократных стираний, первый вход сумматора по модулю два подключен к выходу блока коррекции



Фиг. 1

ошибок, а второй вход выходного сумматора по модулю два объединен с соответствующими входами второго и третьего блоков элементов И и подключен к выходу второго инвертора, вход которого объединен с соответствующими входами первой группы первого и четвертого блоков элементов И и подключен к выходу блока идентификации кратности ошибок (БИКО), а вторая группа входов первого блока элементов И объединена со входами первой группы блока идентификации кратности ошибок и подключена к выходам первого блока вычисления синдрома, вторая группа входов БИКО объединена со входами первой группы второго блока элементов И и подключена к выходам второго блока вычисления синдромов, а первая группа входов третьего блока элементов И объединена со входами второго блока вычисления синдромов и подключена к выходам второго регистра сдвига, а вторая группа входов четвертого блока элементов И объединена со входами первого блока вычисления синдромов и подключена к выходам первого регистра сдвига, группа входов которого объединена с группой входов второго регистра сдвига и подключена к соответствующим выходам регистра адресов стираний, вход которого подключен к датчику стираний символов, а дополнительный вход второго регистра сдвига подключен к выходу первого инвертора, вход которого объединен с дополнительным входом первого регистра сдвига и является входом устройства коррекции многократных стираний, а первая и вторая группы входов блока коррекции ошибок (БКО) подключены к соответствующим выходам соответственно первого и второго блоков элементов ИЛИ, первая и вторая группы входов первого блока элементов ИЛИ подключены к соответствующим выходам соответственно первого и второго блоков элементов И, а первая и вторая группы входов второго блока элементов ИЛИ подключены к соответствующим выходам соответственно третьего и четвертого блоков элементов И.

(56)

1. А.с. СССР 524316, МПК Н 03К 13/49, 1976.
2. А.с. СССР 581589, МПК Н 03К 13/25, 1977.
3. Патент РБ 3901 U, МПК Н 03М 13/00, 2007.

Полезная модель относится к технике электросвязи и может быть использована в устройствах помехоустойчивого кодирования при передаче данных по каналам связи.

Известно устройство исправления стираний (кодовых символов, принятых с низкой степенью достоверности), содержащее сумматор по модулю два, накопитель кодовых символов, ключи, накопитель стираний, датчик комбинаций, блок кодирования и блок запрета [1].

Однако данное устройство исправления стираний имеет низкое быстродействие из-за последовательного сравнения принятой кодовой комбинации с 2^n ($n \gg 2$) опорными кодовыми комбинациями блока кодирования, где n - длина кодового слова.

Известно устройство исправления стираний, содержащее информационный регистр и регистр стираний с цепями обратной связи, блок кодирования корректирующего кода, сумматор по модулю два, рекуррентный датчик, выходной регистр сдвига, элемент И, датчик разрешающего импульса, основной триггер, первый, второй и третий элементы "запрет", дополнительный триггер, первый дополнительный элемент И, дополнительный регистр сдвига, счетчик числа стираний, блок коммутации, триггер памяти, дополнительный второй элемент И [2].

Однако известному устройству исправления стираний присущи следующие недостатки: низкое быстродействие, которое определяется рекуррентным сравнением символов информационного регистра с символами блока кодирования корректирующего кода; решение о выдаче информационных символов не принимается до тех пор, пока все стертые символы не будут исправлены. Задержка информации может достигать 2^k циклов, где k - число информационных символов;

относительная большая аппаратурная сложность, которая определяется включением нескольких элементов "запрета", использованием блока коммутации и регистров сдвига с цепями обратной связи.

Наиболее близким к предлагаемой полезной модели является устройство декодирования для исправления многократных стираний, содержащее блок вычисления синдрома, регистр адресов стираний, ПЗУ синдромов, блок вычисления вектора согласования стираний, блок элементов И, блок формирования одиночных векторов несогласованных стираний (БФОВНС), блок элементов ИЛИ и корректор [3].

Однако известное устройство декодирования для исправления многократных стираний требует больших аппаратурных затрат на построение блока формирования множеств суммарных синдромов и блока сравнения синдромов, а также имеет большую задержку информации при декодировании.

Задача данной полезной модели - уменьшение аппаратурной сложности реализации и повышение быстродействия устройства коррекции многократных стираний.

Поставленная задача достигается тем, что в устройство декодирования для исправления многократных стираний, содержащее блок вычисления синдромов (БВС), регистр адресов стираний (РС), последовательно соединенные блок элементов И и блок элементов ИЛИ, дополнительно введены два инвертора, два регистра сдвига, второй блок вычисления синдромов, блок идентификации кратности ошибок, три блока элементов И, второй блок элементов ИЛИ, блок коррекции ошибок и выходной сумматор по модулю два, выход которого является выходом устройства коррекции многократных стираний, первый вход сумматора по модулю два подключен к выходу блока коррекции ошибок, а второй вход выходного сумматора по модулю два объединен с соответствующими входами второго и третьего блоков элементов И и подключен к выходу второго инвертора, вход которого объединен с соответствующими входами первой группы первого и четвертого блоков элементов И и подключен к выходу блока идентификации кратности ошибок (БИКО), а вторая группа входов первого блока элементов И объединена со входами первой группы блока идентификации кратности ошибок и подключена к выходам первого блока вычисления синдрома, вторая группа входов БИКО объединена со входами первой группы второго блока элементов И и подключена к выходам второго блока вычисления синдромов, а первая группа входов третьего блока элементов И объединена со входами второго блока вычисления синдромов и подключена к выходам второго регистра сдвига, а вторая группа входов четвертого блока элементов И объединена со входами первого блока вычисления синдромов и подключена к выходам первого регистра сдвига, группа входов которого объединена с группой входов второго регистра сдвига и подключена к соответствующим выходам регистра адресов стираний, вход которого подключен к датчику стираний символов, а дополнительный вход второго регистра сдвига подключен к выходу первого инвертора, вход которого объединен с дополнительным входом первого регистра сдвига и является входом устройства коррекции многократных стираний, а первая и вторая группы входов блока коррекции ошибок (БКО) подключены к соответствующим выходам соответственно первого и второго блоков элементов ИЛИ, первая и вторая группы входов первого блока элементов ИЛИ подключены к соответствующим выходам соответственно первого и второго блоков элементов И, а первая и вторая группы входов второго блока элементов ИЛИ подключены к соответствующим выходам соответственно третьего и четвертого блоков элементов И.

Предложение иллюстрируется следующими фигурами.

На фиг. 1 приведена структурная схема устройства коррекции многократных стираний.

На фиг. 2 приведена обобщенная структура реализации блока вычисления синдромов.

На фиг. 3 приведена схема реализации блока идентификации кратности ошибок.

На фиг. 4 приведена схема реализации блока элементов И.

На фиг. 5 приведена схема реализации блока элементов ИЛИ.

Устройство коррекции многократных стираний (фиг. 1), содержит первый 1, второй 2 регистры сдвига, первый 3 и второй 4 инверторы, регистр адресов стираний 5, первый 6, второй 7 блоки вычисления синдромов, блок идентификации кратности ошибок 8, первый 9, второй 10, третий 11 и четвертый 12 блоки элементов И, первый 13 и второй 14 блоки элементов ИЛИ, блок коррекции ошибок 15 и сумматор по модулю два 16.

Устройство работает следующим образом.

Принятые символы (a_1, a_2, \dots, a_n) кодовой последовательности поступают одновременно в прямом виде на вход первого 1 регистра сдвига и в инверсном виде через первый 3 инвертор на вход второго 2 регистра сдвига. Информация об адресах стертых символов от датчика стираний символов поступает на вход регистра адресов стираний 5, который одновременно записывает двоичные символы с уровнем логической единицы "1" в соответствующие ячейки памяти первого 1 и второго 2 регистров сдвига. Кодовые символы первого 1 регистра сдвига поступают одновременно на соответствующие входы второй группы четвертого 12 блока элементов И и первого блока 6 вычисления синдромов (БВС1), а инвертированные кодовые символы второго 2 регистра сдвига поступают одновременно на соответствующие входы второй группы третьего 11 блока элементов И и второго 7 блока вычисления синдромов (БВС2).

На фиг. 2 представлена обобщенная схема БВС1, который реализуется в виде многовходовых сумматоров по модулю два; и БВС2 выполняется по аналогичному принципу БВС1. Вычисленный синдром (S_1, S_2, \dots, S_k), состоящий из k символов с выхода первого 6 БВС 1, одновременно поступает на соответствующие входы первой группы блока идентификации кратности ошибок 8 (БИКО) и на входы второй группы первого 9 блока элементов И, а вычисленный синдром с выхода второго 7 БВС2 одновременно поступает на соответствующие входы второй группы БИКО и на входы второй группы второго 10 блока элементов И.

На фиг. 3 приведена структурная схема БИКО, который одновременно определяет наличие нулевых синдромов с помощью дешифраторов нулевых синдромов (ДНС1 и ДНС2), значения символов контроля четности и символов ненулевых синдромов (одиночных ошибок) через блоки контроля четности (БКЧ1 и БКЧ2) и дешифраторов одиночных синдромов (ДОС1 и ДОС2) соответственно по двум каналам декодирования.

Сформированные сигналы управления при кратности коррекции стираний $t_c = 5$, БВС1 (S_1^1, S_q^1, S_{t-1}^1) и БВС2 (S_1^2, S_q^2, S_{t-1}^2), где t_c - кратность стираний, S_1^1, S_1^2 - сигналы управления, указывающие на наличие ошибок, S_q^1, S_q^2 - сигналы управления, указывающие на нечетное число ошибок, и S_{t-1}^1, S_{t-1}^2 - сигналы управления, указывающие на синдром одиночных ошибок в прямом и инверсном регистрах соответственно, поступают на соответствующие входы коммутатора каналов декодирования, который производит выбор канала декодирования в соответствии с таблицей.

Коммутатор канала декодирования БИКО выбирает канал с меньшим количеством несогласованных стираний (ошибок), формируя сигнал управления с уровнями либо "1", либо "0". Сигнал управления одновременно поступает на соответствующие входы первой группы первого 9 блока элементов И и первой группы четвертого 12 блока элементов И, а через второй 4 инвертор поступает на соответствующие входы первой группы второго 10 блока элементов И и первой группы третьего 11 блока элементов И.

На фиг. 4 приведена структурная схема первого блока 9 элементов И, где символ "&" обозначает логическую функцию умножения; остальные блоки элементов И реализуются по принципу первого блока 9 элементов И. Количество схем в блоке И зависит от параметров используемого кода. Если число несогласованных стираний в первом 1 регистре сдвига меньше числа несогласованных стираний во втором 2 регистре сдвига, то выход БИКО находится в состоянии логической единицы. Таким образом, на вход первой группы первого 13 блока элементов ИЛИ поступают синдромные символы с выхода первого 9 блока элементов И, а на вход второй группы второго 14 блока элементов ИЛИ поступают кодовые символы первого канала декодирования (неинвертированные кодовые символы) с

ВУ 9428 U 2013.08.30

выхода четвертого 12 блока элементов И, которые далее поступают на входы второй группы блока коррекции ошибок 15 (БКО), а на входы первой группы БКО поступают синдромные символы, вычисленные первым 6 БВС: осуществляется коррекция синдромным методом кратности $t_{исп} = \frac{d_0 - 1}{2}$ символов, где $t_{исп}$ - кратность исправления кодом ошибок и d_0 - минимальное кодовое расстояние кода, исправляющего случайные ошибки. Скорректированные кодовые символы через выходной сумматор по модулю два 16 выдаются на выход устройства коррекции многократных стираний; на второй вход выходного сумматора по модулю два принимается сигнал с уровнем логического нуля. В противном же случае, т.е. когда кратность несогласованных стираний во втором 2 регистре сдвига будет меньше кратности несогласованных стираний первого 1 регистра сдвига, то выход БИКО будет находиться в состоянии логического нуля. Таким образом, на вход второй группы первого 13 блока элементов ИЛИ поступают синдромные символы с выхода второго 10 блока элементов И, а на вход первой группы второго 14 блока элементов ИЛИ поступают кодовые символы с выхода третьего 11 блока элементов И, т.е. кодовые символы, записанные в инверсном коде.

Функция, выполняемая коммутатором канала декодирования

№	Число несогласованных стираний t_i в		s_i^2	s_i^4	s_i^8	s_i^{16}	s_{i-1}^1	s_{i-1}^2	Корректируемое слово
	прямом слове	инверсном слове							
1	1	0	1	1	0	0	0	1	инверсное слово
2	0	1	0	0	1	1	1	0	прямое слово
3	2	0	1	0	0	0	1	1	инверсное слово
4	1	1	1	1	1	1	0	0	прямое слово
5	0	2	0	0	1	0	1	1	прямое слово
6	3	0	1	1	0	0	1	1	инверсное слово
7	2	1	1	0	1	1	1	0	инверсное слово
8	1	2	1	1	1	0	0	1	прямое слово
9	0	3	0	0	1	1	1	1	прямое слово
10	4	0	1	0	0	0	0	1	инверсное слово
			1	0	0	0	1	1	
11	3	1	1	1	1	1	0	инверсное слово	
12	2	2	1	0	1	0	1	1	инверсное слово
13	1	3	1	1	1	1	0	1	прямое слово
14	0	4	0	0	1	0	1	0	прямое слово
			0	0	1	0	1	1	
15	5	0	1	1	0	0	0	1	инверсное слово
			1	1	0	0	1	1	
			0	1	0	0	0	1	
			0	1	0	0	1	1	
16	4	1	1	0	1	1	0	0	инверсное слово
			1	0	1	1	1	0	
17	3	2	1	1	1	0	1	1	инверсное слово
18	2	3	1	0	1	1	1	1	прямое слово
19	1	4	1	1	1	0	0	0	прямое слово
			1	1	1	0	0	1	
20	0	5	0	0	1	1	1	0	прямое слово
			0	0	1	1	1	1	
			0	0	0	1	1	0	
			0	0	0	1	1	1	

На фиг. 5 приведена структурная схема первого блока 13 элементов ИЛИ, где символ "1" обозначает логическую функцию суммы, второй 14 блок элементов ИЛИ реализуется аналогично.

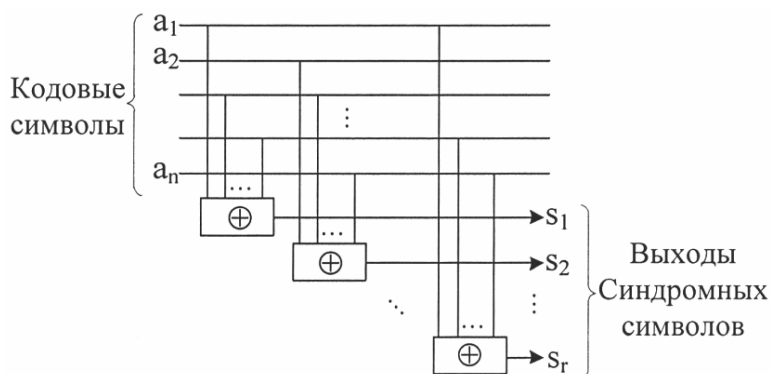
Селектируемые во втором 14 блоке элементов ИЛИ кодовые символы поступают на соответствующие входы второй группы блока 15 коррекции ошибок (БКО), а селектируемые в первом 13 блоке элементов ИЛИ синдромные символы поступают на соответствующие входы первой группы блока 15 коррекции ошибок. В БКО выполняется коррекция ошибок с использованием синдромного алгоритма декодирования. Кратность исправляемых ошибок в БКО составляет $t_0 = \left\lfloor \frac{t_c}{2} \right\rfloor$ при нечетном числе стираний, и

$t_0 = \frac{t_c}{2}$ - при четном числе стираний.

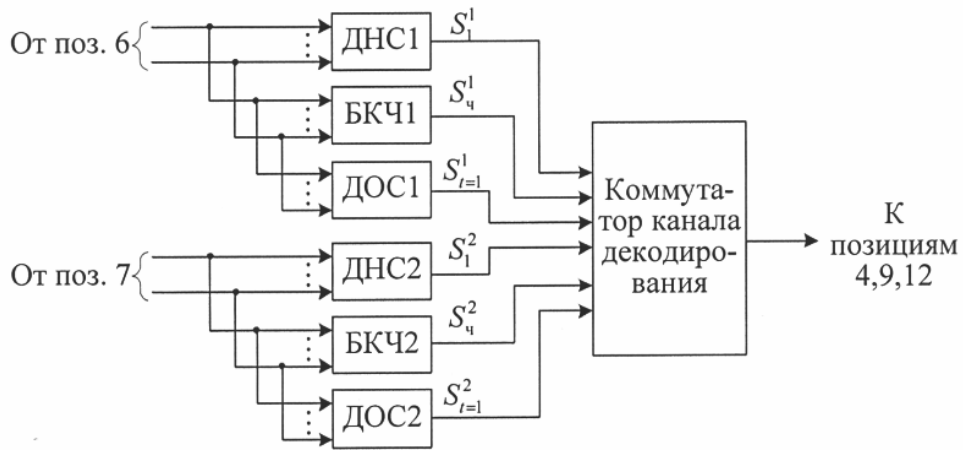
Скорректированные информационные символы с выхода БКО последовательно поступают на первый вход сумматора 16 по модулю два, на второй вход которого поступает сигнал управления с выхода второго 4 инвертора, который при выборе для декодирования кодовых символов второго 2 регистра кодовых символов находится в состоянии логической единицы и, следовательно, все информационные символы с выхода БКО инвертируются.

Таким образом, использование одноразового вычисления синдромов для определения канала декодирования обеспечивает повышение быстродействия устройства коррекции многократных стираний. Это обусловлено тем, что известные устройства должны рекуррентно сравнивать кодовые последовательности из блока кодирования корректирующего кода с последовательностями символов, принятых из канала связи, причем задержка может равняться 2^k циклов сравнения, где k - число информационных символов, а при росте k задержка значительно увеличивается.

Введение в устройство коррекции многократных стираний блока идентификации кратности ошибок, вследствие этого исключение устройства блока формирования вектора согласования стираний, блока формирования одиночных векторов несогласованных стираний и ПЗУ синдромов, обеспечивает уменьшение аппаратной сложности реализации заявляемого устройства коррекции многократных стираний примерно в 1,2 раза.

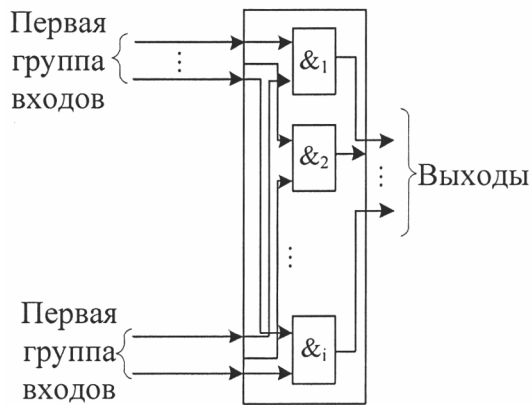


Фиг. 2

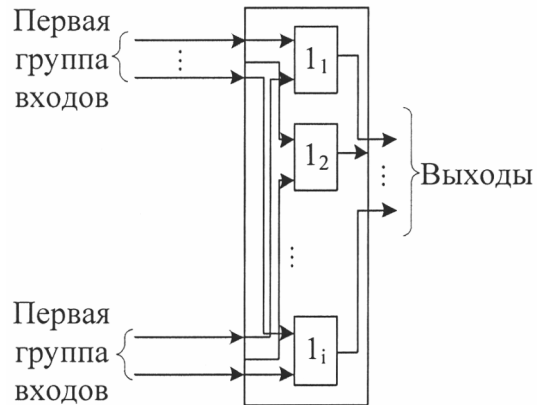


БКЧ – блок контроля символов четности
 ДНС – дешифратор нулевых синдромов
 ДОС – дешифратор одиночных ошибок (ненулевых синдромов)

Фиг. 3



Фиг. 4



Фиг. 5