

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) **ВУ** (11) **17471**

(13) **С1**

(46) **2013.08.30**

(51) МПК

H 04L 1/00 (2006.01)

H 03M 13/23 (2006.01)

(54)

ПОРОГОВЫЙ ДЕКОДЕР СВЕРТОЧНОГО КОДА

(21) Номер заявки: а 20081471

(22) 2008.11.20

(43) 2010.06.30

(71) Заявитель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)

(72) Авторы: Королев Алексей Иванович; Конопелько Валерий Константинович; Аль-алем Ахмед Саид (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)

(56) SU 586571, 1977.

RU 2023349 C1, 1994.

RU 2064221 C1, 1996.

SU 1824675 A1, 1993.

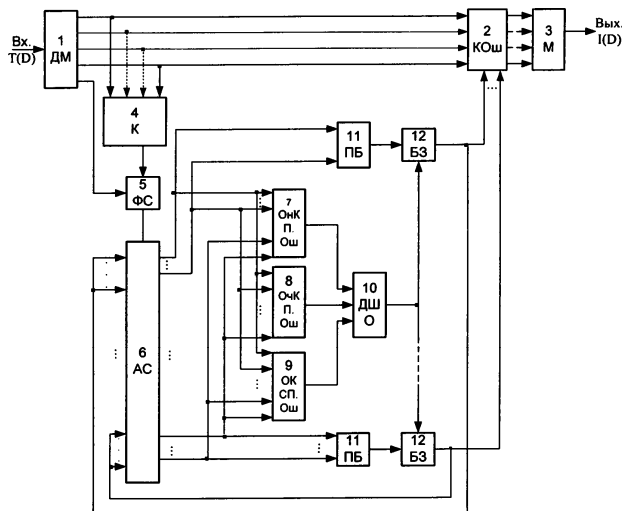
SU 1837385 A1, 1993.

JP 6232768 A, 1994.

JP 7015414 A, 1995.

(57)

Пороговый декодер сверточного кода, характеризующийся тем, что содержит последовательно соединенные демультимплексор, корректор ошибок и мультиплексор, причем вход демультимплексора и выход мультиплексора являются соответственно входом и выходом устройства; кодер, объединенный по входу с корректором ошибок, формирователь синдрома, анализатор синдрома, обнаружитель некорректируемых пакетных ошибок, обнаружитель частично корректируемых пакетных ошибок, обнаружитель корректируемых случайных и пакетных ошибок, дешифратор ошибок, k_0 пороговых блоков и k_0 блоков запрета, где $k_0 = 1, 2, 3, \dots$, при этом второй вход формирователя синдрома подключен к соответствующему выходу демультимплексора, объединенные входы второй группы корректора ошибок и k_0 групп анализатора синдрома подключены к выходам соответствующих блоков запрета, один из входов которых подключен к выходу дешифратора ошибок, входы



Фиг. 1

ВУ 17471 С1 2013.08.30

которого подключены соответственно к выходам обнаружителей некорректируемых пакетных ошибок, частично корректируемых пакетных ошибок и корректируемых случайных и пакетных ошибок, входы которых объединены со входами k_0 пороговых блоков и подключены к соответствующим выходам анализатора синдрома, а выходы k_0 пороговых блоков подключены ко второму входу соответствующего блока запрета, вход анализатора синдрома подключен через формирователь синдрома к выходу кодера, входы которого подключены к соответствующим выходам демультимплексора.

Изобретение относится к технике электросвязи и может использоваться в устройствах помехоустойчивого кодирования при передаче двоичной информации по каналам связи.

Известен двухканальный пороговый декодер сверточного кода, содержащий первый и второй распределители ветвей, первый и второй формирователи проверочных последовательностей, первый и второй формирователи синдромных последовательностей, первый и второй анализаторы синдромных последовательностей, первый и второй корректоры ошибок, первый и второй регистры сдвига, первый и второй сумматоры по модулю два, первый и второй формирователи интервалов анализа, первый и второй элементы совпадения, а также коммутатор, первый, второй и третий счетчики, блок фазовой автоподстройки частоты и элемент ИЛИ [1].

Однако известному пороговому декодеру сверточного кода присущи следующие недостатки:

отсутствует возможность коррекции пакетных ошибок, превышающих гарантированную исправляющую способность сверточного кода, определяемую равенством-неравенством вида $t_{исп} \leq J/2$, J - количество ортогональных проверок используемого сверточного кода;

более чем двухкратное увеличение объема оборудования декодера, определяемое использованием двух каналов декодирования.

Известен пороговый декодер сверточного кода, содержащий кодер, анализатор синдрома, пороговый обнаружитель, корректор ошибок, первый и второй блоки запрета коррекции, дополнительный пороговый обнаружитель и обнаружитель пакетов [2].

Однако известному пороговому декодеру сверточного кода присущи следующие недостатки:

возможность размножения ошибок при поступлении на вход декодера необнаруживаемого и некорректируемого пакета ошибок;

большая задержка информации при декодировании, так как на обнаружитель пакетов синдромные символы поступают в последовательном коде.

Известен пороговый декодер сверточного кода, содержащий кодер, корректор ошибок, формирователь синдрома, анализатор синдрома, три пороговых блока, корректор пакетов ошибок, мультиплексор импульсов коррекции, блок формирования тактовых импульсов, элемент совпадения, пороговый счетчик, формирователь временного интервала, D-триггер, инвертор, ключ и три блока запрета коррекции информационных и синдромных символов [3].

Однако известный пороговый декодер сверточного кода обладает недостаточной помехоустойчивостью, которая определяется тем, что пороговый декодер корректирует пакеты ошибок только кратностью (длиной) $t_{n.kopp.} \leq n_0$ кодовых символов (n_0 - длина миниблока кодовых символов, зависящая от скорости передачи сверточного кода $R = k_0/n_0$, $k_0 = 1, 2, 3, \dots$, $n_0 = k_0 + 1$ двоичных символов), а также исключается возможность частичной коррекции ошибочных информационных символов при поступлении на вход декодера пакета ошибок кратностью $t_n > t_{n.kopp.}$.

Задача изобретения - повышение помехоустойчивости порогового декодера сверточного кода при передаче двоичной информации по каналам связи.

Поставленная задача достигается тем, что пороговый декодер сверточного кода, характеризующийся тем, что содержит последовательно соединенные демультимплексор,

корректор ошибок и мультиплексор, причем вход демультимплексора и выход мультиплексора являются соответственно входом и выходом устройства; кодер, объединенный по входу с корректором ошибок, формирователь синдрома, анализатор синдрома, обнаружитель некорректируемых пакетных ошибок, обнаружитель частично корректируемых пакетных ошибок, обнаружитель корректируемых случайных и пакетных ошибок, дешифратор ошибок, k_0 пороговых блоков и k_0 блоков запрета, где $k_0 = 1, 2, 3, \dots$, при этом второй вход формирователя синдрома подключен к соответствующему выходу демультимплексора, объединенные входы второй группы корректора ошибок и k_0 групп анализатора синдрома подключены к выходам соответствующих блоков запрета, один из входов которых подключен к выходу дешифратора ошибок, входы которого подключены соответственно к выходам обнаружителей некорректируемых пакетных ошибок, частично корректируемых пакетных ошибок и корректируемых случайных и пакетных ошибок, входы которых объединены со входами k_0 пороговых блоков и подключены к соответствующим выходам анализатора синдрома, а выходы k_0 пороговых блоков подключены ко второму входу соответствующего блока запрета, вход анализатора синдрома подключен через формирователь синдрома к выходу кодера, входы которого подключены к соответствующим выходам демультимплексора.

На фиг. 1 приведена структурная схема порогового декодера сверточного кода.

На фиг. 2 (а и б), 3 (а и б), 4 (а и б) приведены некоторые структуры ошибок и соответствующие им синдромные конфигурации (синдромы), а именно:

фиг. 2 (а и б) - при коррекции случайных двухкратных ($t_{сл.} = 2$) и пакетных ошибок кратностью $t_{н.к.} = 4$ двоичных символов;

фиг. 3 (а и б) - коррекция одиночных ошибок при приеме некорректируемых пакетных ошибок кратностью $t_{н.нк.} = 5$ двоичных символов;

фиг. 4 (а и б) - при приеме некорректируемых пакетных ошибок кратностью $t'_{н.нк.} = 6$ и 7 двоичных символов.

На фиг. 5 и 6 приведены соответственно функциональная схема и таблица с правилом формирования выходного сигнала порогового блока.

На фиг. 7 приведена функциональная схема дешифратора ошибок 10, формирующего выходной сигнал по следующему правилу (фиг. 8).

Пороговый декодер сверточного кода (фиг. 1) содержит последовательно соединенные демультимплексор 1, корректор ошибок 2 и мультиплексор 3, вход демультимплексора 1 и выход мультиплексора 3 являются соответственно входом и выходом порогового декодера, а также кодер 4, формирователь синдрома 5, анализатор синдрома 6, обнаружитель некорректируемых пакетных ошибок 7, обнаружитель частично корректируемых пакетных ошибок 8, обнаружитель корректируемых случайных и пакетных ошибок 9, дешифратор ошибок 10, k_0 ($k_0 = 1, 2, 3, \dots$) пороговых блоков 11 и k_0 блоков запрета 12, при этом второй вход формирователя синдрома 5 подключен к соответствующему выходу демультимплексора 1, а объединенные входы второй группы корректора ошибок 2 и k_0 групп анализатора синдрома 6 подключены к выходам соответствующих блоков запрета 12, один из входов которых подключен к выходу дешифратора ошибок 10, входы которого подключены соответственно к выходам обнаружителей некорректируемых пакетных ошибок 7, частично корректируемых пакетных ошибок 8 и корректируемых случайных и пакетных ошибок 9, входы которых, объединенные с входами k_0 пороговых блоков 11, подключены ко соответствующим выходам анализатора синдрома 6, а выходы k_0 пороговых блоков 11 подключены ко второму входу соответствующего блока запрета 12, а вход анализатора синдрома 6 подключен через формирователь синдрома 5 к выходу кодера 4, входы которого подключены к соответствующим выходам демультимплексора 1.

Пороговый декодер сверточного кода работает следующим образом.

Рассмотрим принцип работы порогового декодера сверточного кода со скоростью передачи кода $R = k_0/n_0 = 2/3$, корректирующего случайные, или независимые, ошибки ($t_{сл.}$) кратко-

стью $t_{\text{сл.}} \leq \frac{J}{2} = \left\lceil \frac{3}{2} \right\rceil$ двоичных символов на длине кодового ограничения $n_A = (m + 1) \cdot n_0 = (8 + 1) \cdot 3 = 27$ кодовых символов, где J - количество ортогональных проверочных уравнений (проверок), $m = 8$ - максимальная степень порождающих полиномов сверточного кода, имеющих вид: $g_1(D) = 1 + D^1 + D^7$ и $g_2(D) = 1 + D^3 + D^8$; D - формальная переменная или оператор задержки.

Принятые символы кодовой последовательности $T(D)$ в демультиплексоре 1 разделяются на символы k_0 ($k_0 = 2$) информационных подпотоков и $(n_0 - k_0) = (3 - 2) = 1$ проверочных подпотоков.

Принятые символы двух информационных подпотоков $I_1(D)$ и $I_2(D)$ одновременно поступают на входы корректора ошибок 2 и на входы кодера 4, в котором формируются символы проверочной последовательности $P_{\text{сф.}}(D)$, которые поступают в формирователь синдрома 5, в который поступают также символы принятой проверочной последовательности $P_{\text{пер.}}(D)$; производится формирование символов синдромной последовательности $S(D)$ по правилу $S(D) = P_{\text{пер.}}(D) \oplus P_{\text{сф.}}(D)$, где $P_{\text{пер.}}(D)$ и $P_{\text{сф.}}(D)$ - символы проверочных последовательностей соответственно принятой и сформированной. Структура синдромной последовательности зависит от типа ошибок в информационных и проверочных символах кодовой последовательности $T(D)$, а также от количества и структуры порождающих полиномов кода $g(D)$, т.е. каждому типу ошибок соответствует определенная структура синдромной последовательности, что позволяет пороговому декодеру определять (классифицировать) количество и тип принятых ошибок. Данное свойство синдромной последовательности положено в основу работы заявляемого (предложенного) порогового декодера сверточного кода.

Вся совокупность синдромных последовательностей сверточного кода разделяется на три группы, так называемых, простых синдромных множеств, или конфигураций [4]. Первая группа простых синдромных конфигураций соответствует некорректируемым пакетным ошибкам, кратность (длина) которых составляет $t_{\text{н.нк.}} \geq 2(J - 1)$ двоичных символов. Вторая группа простых синдромных конфигураций соответствует частично корректируемым информационным ошибкам при приеме некорректируемых пакетных ошибок. Третья группа простых синдромных конфигураций соответствует корректируемым случайным ошибкам кратностью $t_{\text{сл.}} \leq J/2$ и пакетным ошибкам кратностью $t_{\text{н.кор.}} < 2(J - 1)$ двоичных символов, или битов.

Сформированные символы синдромной последовательности $S(D)$ последовательно поступают в анализатор синдрома 6, с выходов которого данные синдромные символы одновременно поступают на входы k_0 пороговых блоков 11 и входы трех обнаружителей ошибок 7-9, каждый из которых имеет $N = (m + 1) = (8 + 1) = 9$ входов. Каждый из пороговых блоков 11 имеет три входа и выполняется в виде комбинационного автомата с порогом срабатывания $\Pi \geq J - 1 = 3 - 1 = 2$. Из таблицы формирования (фиг. 6) следует, что если на вход порогового блока 11 поступят два или три ненулевых символа, то на выходе порогового блока сформируется ненулевой двоичный символ, или сигнал коррекции ошибочного информационного символа. Данный символ поступает на один из входов соответствующего блока запрета 12, а $N = (m + 1) = 9$ синдромных символов, поступивших на входы обнаружителей ошибок 7-9, используются для классификации принятых ошибочных кодовых (информационных и проверочных) символов. Классификация ошибок производится по следующему правилу: если структура сформированной синдромной конфигурации соответствует синдромной конфигурации обнаружителя ошибок 7-9, то на выходе данного обнаружителя ошибок формируется ненулевой двоичный символ, а в противном случае - нулевой двоичный символ.

Сформированные обнаружителями ошибок 7-9 выходные сигналы поступают на соответствующие входы дешифратора ошибок 10, который формирует либо разрешающий, либо запрещающий сигнал коррекции информационных и синдромных символов, запи-

санных в анализаторе синдрома 6. Выходной сигнал дешифратора ошибок 10 поступает одновременно на соответствующий вход k_0 блоков запрета 12.

При обнаружении корректируемых случайных и пакетных ошибок (фиг. 2 (а и б)) на входы дешифратора 10 поступит кодовая комбинация 001; ненулевой двоичный символ поступает с выхода обнаружителя корректируемых случайных и пакетных ошибок 9, а нулевые двоичные символы с выходов обнаружителей ошибок 7 и 8. Дешифратором ошибок 10 формируется разрешающий сигнал коррекции, который поступает на один из входов k_0 блоков запрета 12, на второй вход которых поступают сигналы коррекции с выхода соответствующего порогового блока 11.

При обнаружении частично корректируемых ошибок (фиг. 3 (а и б)) в некорректируемых пакетных ошибках на вход дешифратора ошибок 10 поступает кодовая комбинация 010; ненулевой двоичный символ поступает с выхода обнаружителя частично корректируемых пакетных ошибок 8, а нулевые двоичные символы - с обнаружителей ошибок 7 и 9. Дешифратором ошибок 10 в данном случае также формируется разрешающий сигнал коррекции. В этом случае осуществляется выборочная, т.е. частичная, коррекция ошибочных информационных символов в некорректируемых пакетных ошибках соответствующими выходными сигналами с выходов определенных пороговых блоков.

При обнаружении некорректируемых пакетных ошибок (фиг. 4 (а и б)) на входы дешифратора ошибок 10 поступает кодовая комбинация 100; ненулевой двоичный символ поступает с выхода обнаружителя некорректируемых пакетных ошибок 7, а нулевые двоичные символы - с обнаружителей ошибок 8 и 9. Дешифратором ошибок 10 формируется запрещающий сигнал коррекции как информационных, так и синдромных символов, что полностью исключает возможность размножения ошибок пороговым декодером.

Информационные символы с выхода корректора ошибок 2 поступают на соответствующие входы мультиплексора 3 декодера, который формирует последовательный поток информационных символов $I(D)$ из символов k_0 информационных подпотоков.

Таким образом, коррекция случайных ошибок кратностью $t_{сл.} = 2$ двоичных символа и пакетных ошибок кратностью $t_{п.к} \leq 3$ и 4 двоичных символа (фиг. 2 (а и б)), а также коррекция одиночных и двойных ошибочных информационных символов при приеме некорректируемых пакетных ошибок кратностью $t_{п.нк} = 5$ двоичных символов (фиг. 3 (а и б)) и запрет коррекции информационных и синдромных символов при приеме некорректируемых пакетных ошибок кратностью $t'_{п.нк} \geq 6$ двоичных символов (фиг. 4 (а и б)) обеспечивают повышение помехоустойчивости порогового декодера сверточного кода при передаче двоичной информации по каналам связи.

Лабораторные испытания подтвердили преимущества предложенного порогового декодера сверточного кода по сравнению с известным пороговым декодером: энергетический выигрыш кодирования (ЭВК) составляет 3,5 дБ при вероятности ошибочного приема двоичного символа $P_k = 10^{-5}$ и полностью отсутствует эффект размножения ошибок.

Источники информации:

1. А.с. СССР 524316, МПК H03K 13/49, 1976.
2. А.с. СССР 581589, МПК H03K 13/25, 1977.
3. А.с. РБ ВУ 3901, МПК H03M 13/00, 2007.
4. Касами Т., Токура Н., Ивадари Ё и др. Теория кодирования. / Пер. с япон. под ред. Б.С. Цыбакова. - М.: Мир, 1978. - С. 222-298.

BY 17471 C1 2013.08.30

а) Количество (t_s) и структура ошибок $T(D)$:	→	б) Структура синдромной конфигурации $S(D)$:
$t_{\text{сл.}}=3, T(D)=00\dots000101$ $\dots pi_2i_1$.	→	$S(D)=\dots0010000010$.
$t_{\text{сл.}}=2, T(D)=00\dots000110$ $\dots pi_2i_1$.	→	$S(D)=\dots00100001000$.
$t_{\text{сл.}}=2, T(D)=00\dots000011$ $\dots pi_2i_1$.	→	$S(D)=\dots0010001010$.
$t_{\text{сл.}}=3, T(D)=00\dots000111$ $\dots pi_2i_1$.	→	$S(D)=\dots0010001011$.
$t_{\text{сл.}}=4, T(D)=00\dots001111$ $\dots i_1pi_2i_1$.	→	$S(D)=\dots01110010110$.

Фиг. 2

а) $t_{\text{н.нк}}=5, T(D)=00\dots011011$	→	б) $S(D)=\dots01010011110$
$i_1'i_2'pi_2i_1$		
коррекция двух ошибок: i_1 – в первом такте и i_2 – во втором такте		
$t_{\text{н.нк}}=5, T(D)=00\dots00111010$	→	$S(D)=\dots0100001111$
$pi_2'i_1'pi_2i_1$		
коррекция одной ошибки: i_2 – во втором такте		

Фиг. 3

BY 17471 C1 2013.08.30

а) $t'_{п.нк} = 6$ бит, $T(D) = 00\dots 0111101 \rightarrow$ б) $S(D) = \dots 00110010100$

$p_i' i_1' p_i i_1$

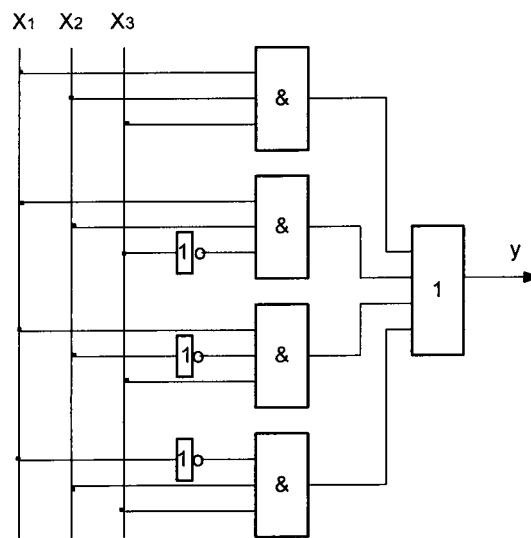
·
·
·

·
·
·

$t'_{п.нк} = 7$ бит, $T(D) = 00\dots 001111111 \rightarrow$ $S(D) = \dots 00010010001$

$i_1' p_i' i_1' p_i i_1$

Фиг. 4

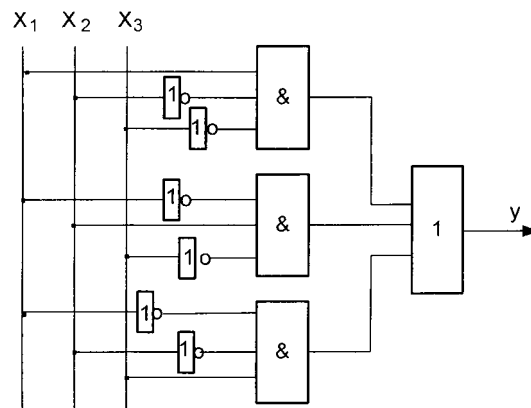


Фиг. 5

X_1	X_2	X_3	Y
1	1	1	1
1	1	0	1
0	1	1	1
1	0	1	1
1	0	0	0
0	1	0	0
0	0	1	0
0	0	0	0

Фиг. 6

ВУ 17471 С1 2013.08.30



Фиг. 7

X_1	X_2	X_3	y
1	0	0	0
0	1	0	1
0	0	1	1

Фиг. 8