

АНАЛИЗ ТЕСТОВ ЗАПОМИНАЮЩИХ УСТРОЙСТВ ДЛЯ ОБНАРУЖЕНИЯ ПАССИВНЫХ КОДОЧУВСТВИТЕЛЬНЫХ НЕИСПРАВНОСТЕЙ

Петровская В. В., Деменковец Д. В.

Кафедра программного обеспечения информационных технологий,
Белорусский государственный университет информатики и радиоэлектроники
Минск, Республика Беларусь

E-mail: vita.petrovskaya@gmail.com, Demenkovets@bsuir.by

Тезис посвящен методам обнаружения неисправностей запоминающих элементов. Рассматриваются модели неисправностей, структура и алгоритм выполнения маршевых тестов. Отражается принцип выполнения неразрушающих версий маршевых тестов, приводятся результаты обнаружения пассивных граничных кодочувствительных неисправностей неразрушающими тестами на базе двойных адресных последовательностей.

ВВЕДЕНИЕ

В вычислительных машинах значительную роль играет система памяти. Крайне важно сохранить целостность хранимых на устройстве данных. Причиной неисправного состояния памяти является физический или механический дефект. Выделяют два подмножества неисправностей: неисправности матрицы запоминающих устройств и неисправности электронного обрамления (дешифраторы адреса, логика записи/чтения). К первому подмножеству относится обширное разнообразие неисправностей, в которых участвует одна, две или несколько ячеек памяти [1, 2].

Неисправные состояния запоминающих устройств описываются математическими моделями, абстракциями ошибок, вызванными конкретными физическими дефектами [2]. Среди неисправностей, в которых участвуют несколько ячеек запоминающего устройства, выделяют кодочувствительные неисправности (Pattern Sensitive Fault – PSF). В неисправности PSF могут участвовать любые k из N ячеек запоминающего устройства, одна из них зависимая (Base Cell), остальные соседние (Neighborhood Cells). Для тестирования значение k не превышает 10, поскольку необходимое для теста время пропорционально 2^k . Такая модель называется граничная кодочувствительная неисправность (Neighborhood Pattern Sensitive Fault – NPSF) [2].

Тестирование полупроводниковой памяти прошло долгий процесс эволюции. В начале 1980-х годов, после внедрения моделей неисправностей, доминирующим видом тестирования стали маршевые тесты. Они показывают хорошие результаты покрытия неисправностей и обычно линейно зависят от объема памяти, что делает их приемлемыми для промышленной реализации [3].

Маршевый тест состоит из конечной последовательности маршевых элементов, записанных в фигурных скобках. Маршевый элемент (фа-

за) представляет собой конечную последовательность операций чтения и/или записи, которая применяется к каждой ячейке памяти. Операции в маршевом элементе имеют следующие обозначения: «r0» – считывание 0 из ячейки памяти, «r1» – считывание 1 из ячейки памяти, «w0» – запись 0 в ячейку памяти, «w1» – запись 1 в ячейку памяти. В начале каждого элемента указывается порядок адресов тестируемых ячеек: по возрастанию (\uparrow), по убыванию (\downarrow), по возрастанию или убыванию ($\downarrow\uparrow$) [1, 3].

Важной проблемой сложных систем с высокими требованиями к надежности является возможность проведения тестирования в режиме онлайн (без прерывания) или с минимальным прерыванием нормальной работы всей системы. Для такого тестирования содержимое памяти не должно быть изменено [1, 4].

I. АНАЛИЗ НЕРАЗРУШАЮЩИХ ТЕСТОВ ЗУ

В процессе исследований в области тестирования памяти была предложена последовательность шагов по преобразованию маршевого теста в его неразрушающую версию [5]. Для проведения неразрушающего тестирования используется буфер, который хранит значение текущей ячейки памяти. Неразрушающие операции чтения записывают в буфер значение в прямом (rd) или инверсном виде (rd*), а неразрушающие операции записи записывают прямое (wd) или обратное (wd*) значение из буфера в текущую ячейку памяти. Для того чтобы определить, есть ли дефекты в памяти, сравнивают эталонную и реальную сигнатуру, полученные в процессе выполнения начального и базового тестов. Сигнатуры получают сжатием прочитанных данных на сигнатурном анализаторе.

Сравнение сигнатур позволяет определить, исправна ли матрица запоминающих элементов, но не дает информацию об активизированных неисправностях. Новый метод неразрушающего тестирования, основанный на базе двойных адресных последовательностей, обеспечивает и ак-

тивизацию, и обнаружение неисправностей. В основе таких тестов лежит базовый элемент $2\uparrow(\text{rd}, \text{wd}^*, \text{rd})$. Операция записи противоположного значения активизирует неисправность, а вторая операция чтения обнаруживает ее. В случае исправного состояния ячейки памяти двукратное применение базового элемента восстанавливает исходное значение, поэтому для проверки наличия неисправности в памяти достаточно сравнить сигнатуру первоначального содержимого с сигнатурой конечных данных. Описание тестов с базовыми элементами представлены в таблице 1 [6].

Таблица 1 – Неразрушающие маршевые тесты на базе двойных адресных последовательностей

Название теста	Описание теста	Сложность теста
March_2A_1	$\uparrow\downarrow(\text{rd}); 2\uparrow(\text{rd}, \text{wd}^*, \text{rd}); \uparrow\downarrow(\text{rd})$	8N
March_2A_2	$\uparrow\downarrow(\text{rd}); 2\uparrow(\text{rd}, \text{wd}^*, \text{rd}); 2\downarrow(\text{rd}, \text{wd}^*, \text{rd}); \uparrow\downarrow(\text{rd})$	14N

Двойные адресные последовательности для покрытия N ячеек памяти формируются на базе последовательности 2N адресов. Задается набор индексов, указывающий порядок и номера битов, участвующих в формировании адреса в новой двойной последовательности. Пример изменения содержимого 8-битного массива памяти при выполнении теста March_2A_1 представлен в таблице 2.

Таблица 2 – Пример выполнения теста March_2A_1

$A_c = c_3c_2c_1c_0$	$2A_c = c_3c_1c_0$	11111010
0000	000	11111011
0001	001	11111001
0010	010	11111101
0011	011	11110101
0100	000	11110100
0101	001	11110110
0110	010	11110010
0111	011	11111010
1000	100	11101010
1001	101	11001010
1010	110	10001010
1011	111	00001010
1100	100	00011010
1101	101	00111010
1110	110	01111010
1111	111	11111010

Выполнение теста March_2A_1 с двойной адресной последовательностью $2A_c = c_3c_1c_0$ и исходным содержимым памяти 11111010 позволяет обнаружить 6 неисправностей PNPSF3 в ячейках с адресами 0, 1, 2: $\langle 0,1,\uparrow \rangle$, $\langle 1,0,\downarrow \rangle$, $\langle 1,\uparrow,0 \rangle$, $\langle 0,\downarrow,1 \rangle$, $\langle \uparrow,0,1 \rangle$, $\langle \downarrow,1,0 \rangle$.

В ходе исследования была написана программа, моделирующая пассивные граничные кодочувствительные неисправности памяти

(PNPSFk) и реализующая однократное и многократное неразрушающее тестирование на базе двойных адресных последовательностей. Результаты тестирования 64-битного массива памяти с произвольным содержимым отражены в таблицах 3,4. Первое значение получено однократным выполнением теста с адресной последовательностью $2A_c = c_6c_5c_4c_3c_1c_0$, полученной из счетчиковой последовательности. Второе значение показывает суммарную полноту покрытия в двух последовательных итерациях. Во второй итерации применяется адресная последовательность $2A_g = g_6g_5g_4g_3g_1g_0$, полученная на основании последовательности Грея.

Таблица 3 – Полнота покрытия PNPSFk тестом March_2A_1

Номер итерации	PNPSF3	PNPSF5	PNPSF7	PNPSF9
1	25%	6,25%	1,563%	0,391%
2	37,634%	10%	2,57%	0,651%

Таблица 4 – Полнота покрытия PNPSFk тестом M_2A_2

Номер итерации	PNPSF3	PNPSF5	PNPSF7	PNPSF9
1	45,968%	11,875%	3,017%	0,76%
2	50,269%	13,75%	3,579%	0,911%

II. ЗАКЛЮЧЕНИЕ

Неразрушающие тесты на базе двойных адресных последовательностей решают проблему диагностирования неисправностей и существенно сокращают время тестирования за счет двукратного инвертирования содержимого памяти. Покрывающая способность тестов зависит от выбранной адресной последовательности. Многократное использование тестов позволяет заметно увеличить полноту покрытия неисправностей.

III. СПИСОК ЛИТЕРАТУРЫ

1. Ярмолик, В. Н. Маршевые тесты для самотестирования ОЗУ / В. Н. Ярмолик, А. П. Запкович, А. А. Иванов // Минск: Бестпринт. – 2009.
2. Bushnell, M. L. Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits / M. L. Bushnell // New York: Kluwer Academic Publishers. – 2000.
3. Hamdioui S. Testing Embedded Memories: A Survey Computer Engineering / S. Hamdioui // Mathematical and Engineering Methods in Computer Science. – 2013. – Vol. 7721. – P. 32-42.
4. Demidenko, S. N. Simulation and development of short transparent tests for RAM / S. N. Demidenko // Proceedings 10th Asian Test Symposium. – 2001. – P. 164-169.
5. Mrozek I. MATS+ transparent memory test for Pattern Sensitive Fault detection / I. Mrozek, V. N. Yarmolik // 15th International Conference on Mixed Design of Integrated Circuits and Systems. – 2008. – P. 493-498.
6. Ярмолик, В. Н. Неразрушающее тестирование запоминающих устройств на базе двойных адресных последовательностей / В. Н. Ярмолик, И. Мрозек, В. А. Леванцевич, Д. В. Деменковец // Доклады БГУИР. – 2021. – № 19(4). – С. 43-51.