

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра радиотехнических систем

В. Н. Левкович, Р. Г. Ходасевич

ИССЛЕДОВАНИЕ ТРИГГЕРНЫХ УСТРОЙСТВ

Методическое пособие
к лабораторной работе по курсу
«Цифровые устройства»
для студентов радиотехнических специальностей
всех форм обучения

Минск 2007

УДК 621.374.3(075.8)
ББК 32.847.4 я 73
Л 37

Р е ц е н з е н т
профессор кафедры радиотехнических устройств БГУИР,
д-р техн. наук В. А. Чердынцев

Левкович, В. Н.

Л 37 Исследование триггерных устройств : метод. пособие к лабораторной работе по курсу «Цифровые устройства» для студ. радиотех. спец. всех форм обуч. / В. Н. Левкович, Р. Г. Ходасевич. – Минск : БГУИР, 2007. – 36 с. : ил.

ISBN 978-985-488-163-8

В пособии рассмотрены схемы, методы синтеза и принципы функционирования основных типов триггерных устройств.

Приводится лабораторное задание, содержание отчета и контрольные вопросы для самопроверки.

УДК 621.374.3(075.8)
ББК 32.847.4 я 73

ISBN 978-985-488-163-8

© Левкович В. Н., Ходасевич Р. Г., 2007
© УО «Белорусский государственный университет информатики и радиоэлектроники, 2007

1. Цель работы

1.1. Изучение основ теории, методов расчета и принципов построения основных типов триггеров.

1.2. Получение практических навыков компьютерного моделирования работы цифровых устройств.

2. Общие сведения о триггерах

Триггер (Trigger) – это элементарный цифровой автомат с памятью, способный хранить 1 бит двоичной информации. Основу любого триггера составляет схема из двух логических элементов, охваченных положительной обратной связью. Триггер имеет два устойчивых состояния и способен под воздействием входных сигналов многократно переходить из одного состояния в другое. Одно из состояний условно называют логической единицей, второе – логическим нулем.

Триггеры классифицируются по логическому функционированию и способу записи информации.

По логическому функционированию различают следующие основные типы триггеров: RS, D, T и JK.

По способу записи информации триггеры делятся на асинхронные (неактируемые) и синхронные (актируемые либо стробируемые). В асинхронных триггерах запись информации (переключение триггера в новое состояние) происходит под действием изменений входных сигналов с момента подачи их на информационные входы. В синхронных триггерах запись информации происходит только в моменты подачи на управляющий вход С разрешающих сигналов синхронизации.

Различают синхронные триггеры со *статическим* и *динамическим* управлением записью информации.

Синхронный триггер со *статическим управлением* воспринимает информационные сигналы во время действия активного уровня сигнала

синхронизации. Вход синхронизации триггера S называется статическим, если управление осуществляется уровнем синхросигнала. При подаче на вход S пассивного уровня сигнала синхронизации триггер не реагирует на информационные сигналы, он хранит предыдущее состояние.

Синхронный триггер с динамическим управлением воспринимает только те сигналы, которые были на информационных входах к моменту прихода импульса синхронизации. Его переключение в новое состояние осуществляется только в момент воздействия фронта (переход $0 \rightarrow 1$) или спада (переход $1 \rightarrow 0$) синхроимпульса. Вход триггера S называется *прямым динамическим*, если переключение триггера осуществляется фронтом импульса синхронизации, и *инверсным динамическим*, если переключение триггера осуществляется спадом синхронизирующего импульса. В остальное время действия импульса синхронизации триггер не реагирует на входные сигналы и остается в прежнем состоянии независимо от уровня синхросигнала.

Входы триггеров принято обозначать следующим образом:

S – вход установки триггера в единичное состояние по прямому выходу Q (Set – установка);

R – вход установки триггера в нулевое состояние по прямому выходу Q (Reset – сброс);

J – вход переключения триггера из нулевого в единичное состояние;

K – вход переключения триггера из единичного в нулевое состояние;

D – информационный вход (Data – данные);

T – счетный вход (Toggle – переключатель);

C – вход синхронизации (Clock);

E (EN; EZ) – вход разрешения работы триггера (Enable).

Выходные прямой и инверсный сигналы триггера, действующие в текущий момент времени t , обозначаются соответственно Q и \bar{Q} , а действующие в момент времени $t+1$ (после переключения триггера в новое состояние) – соответственно Q^+ и \bar{Q}^+ . Новое состояние триггера Q^+ зависит не

только от значений входных информационных сигналов, но и от состояния триггера Q , в котором он находился перед поступлением входных сигналов.

Состояние триггера определяется значением уровня сигнала на его прямом выходе. Например, если на прямом выходе имеется уровень, соответствующий логической 1, то считают, что триггер находится в единичном состоянии ($Q = 1, \bar{Q} = 0$). В противном случае триггер находится в нулевом состоянии.

На принципиальных схемах триггер обозначается буквой Т, двухступенчатый триггер – ТТ.

2.1. RS-триггеры

RS-триггеры являются наиболее простыми и используются в качестве запоминающих ячеек, а также при построении других более сложных типов триггеров. В стандартных сериях цифровых микросхем RS-триггеры обозначаются буквами TR.

По способу управления RS-триггеры делятся на асинхронные и синхронные. Асинхронный RS-триггер в своей структуре имеет два информационных входа – установки в единичное (S) и нулевое (R) состояния, а также два выхода Q и \bar{Q} . Реализуются на логических элементах ИЛИ-НЕ либо И-НЕ, которые характеризуются активными и пассивными логическими уровнями. Для элементов ИЛИ-НЕ активным уровнем является логическая 1, а пассивным – логический 0. Для элементов И-НЕ активным уровнем является логический 0, а пассивным – логическая 1.

Активный логический уровень, действующий на входе логического элемента, однозначно определяет уровень выходного сигнала независимо от уровней на других входах. Например, активный уровень логической 1, поданный на один из входов логического элемента ИЛИ-НЕ, устанавливает на выходе уровень логического 0, который не изменяется при любых сигналах, поданных на его другие входы.

Пассивный логический уровень, действующий на входе логического элемента, не приводит к изменению логического уровня на его выходе.

Одновременная подача активных уровней на информационные входы RS-триггера не допускается, так как состояние триггера в этом случае становится неопределенным.

Работа RS- триггера описывается, как и любого элементарного автомата, таблицами переключений (таблицами истинности), картами Карно, логическими уравнениями.

Составим полную таблицу переключений (табл. 1) для асинхронного RS-триггера, отражающую режимы работы и функциональную зависимость входных и выходных переменных:

$$Q^+ = f(S, R, Q), \quad (1)$$

где Q – выходной сигнал триггера в исходном состоянии,

Q^+ – выходной сигнал триггера после его перехода в новое состояние,

R, S – информационные входы.

Таблица 1

S	R	Q	Q^+	Режим работы
0	0	0	0	Хранение информации
0	0	1	1	
0	1	0	0	Установка лог. 0
0	1	1	0	
1	0	0	1	Установка лог. 1
1	0	1	1	
1	1	0	x	Неопределенность
1	1	1	x	

Таблица иллюстрирует переход значений выходного сигнала $Q \rightarrow Q^+$ при воздействии на входе информационных сигналов S и R , поэтому ее называют также таблицей переходов.

Из табл. 1 следует, что на двух входах RS-триггера возможны четыре комбинации выходных сигналов. При $S=0$ и $R=0$ триггер сохраняет предыдущее

состояние ($Q^+=Q$), это функциональное свойство позволяет реализовать на RS- триггере элементарную ячейку памяти.

Если $S=0$ и $R=1$, то триггер устанавливается в нулевое состояние ($Q^+=0$), при $S=1$ и $R=0$ – в единичное состояние ($Q^+=1$).

Состояние RS-триггера при $S=1$ и $R=1$ является неопределенным, поскольку триггер после воздействия на входе активных уровней сигнала может равновероятно перейти как в нулевое, так и единичное состояние. В этом случае и функция (1) является не полностью определенной, так как определяется не для всех наборов входных переменных. В табл. 1 переключений триггера неопределенные состояния отмечены знаком x . При минимизации не полностью определенных функций будем доопределять на наборах 110 и 111 значения $Q=0$ и $Q=1$ сочетаниями нулей и единиц: 00, 11, 01, 10, которые на картах Карно будем отмечать соответственно: $x^0x^0, x^1x^1, x^0x^1, x^1x^0$. В этом случае при минимизации табл. 1 методом карт Карно получим в зависимости от выбранной элементной базы четыре типа асинхронных триггеров с различными структурами и функциональными возможностями: RS-триггер, $\overline{R} \overline{S}$ -триггер, E-триггер, JK-триггер.

Следует отметить, что если заменить в табл. 1 на наборах 110 и 111 неопределенные состояния для $Q=0$ и $Q=1$ соответственно значениями x^0x^1 , то можно осуществить логический синтез триггера, который при входных сигналах $S=1$ и $R=1$ будет работать в режиме хранения информации. Однако из-за сложной схемы управления такой тип триггера, получивший название E-триггера, на практике не применяется, а анализ его работы имеет смысл проводить лишь в учебных целях.

Асинхронный RS-триггер на элементах ИЛИ-НЕ. Активным уровнем элемента ИЛИ-НЕ является логическая 1, следовательно, переключение данного типа триггера будет осуществляться единичными входными сигналами. На выходах логических элементов ИЛИ-НЕ будут в это время

устанавливаться нулевые значения сигналов. Это обстоятельство будем учитывать при синтезе RS-триггера на элементах ИЛИ-НЕ.

Используя метод карт Карно, минимизируем функцию (1), представленную в табл. 1, заменив в таблице на наборах 110 и 111 неопределенные состояния для $Q=0$ и $Q=1$ значениями x^0x^0 .

Составим карту Карно (рис. 1, а), которая будет содержать два объединения единиц, и запишем логическое уравнение в минимальной ДНФ:

$$Q^+ = S\bar{R} \vee Q\bar{R}. \quad (2)$$

Уравнение (2) определяет принцип функционирования асинхронного RS-триггера. С целью реализации логической схемы триггера в базисе Пирса ИЛИ-НЕ, преобразуем выражение (2), заменив согласно закону инверсии операцию логического умножения на операцию логического сложения, тогда

$$Q^+ = \bar{R} \cdot (S \vee Q) = \overline{\overline{R} \cdot \overline{(S \vee Q)}}. \quad (3)$$

На рис. 1, б, в, г показаны логическая схема, реализованная в базисе Пирса согласно логическому выражению (3), а также условное обозначение и упрощенная таблица переключений RS-триггера.

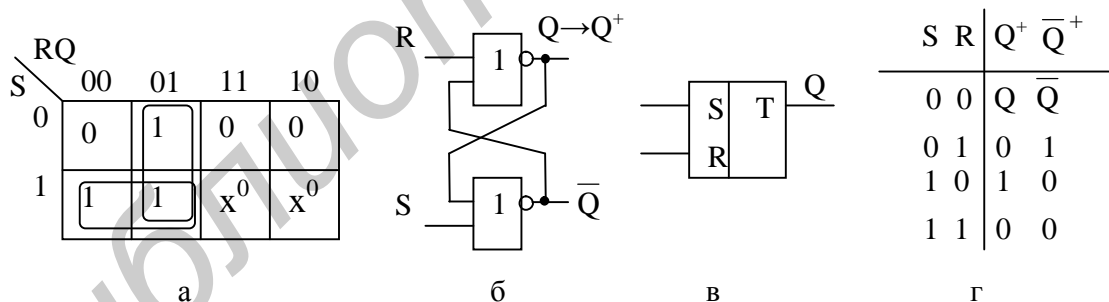


Рис. 1. Асинхронный RS-триггер на элементах ИЛИ-НЕ

Рассмотренный триггер, выполненный на логических элементах ИЛИ-НЕ, называется *асинхронным RS-триггером с прямыми входами*.

Недостатком асинхронного RS-триггера с прямыми входами является наличие запрещенной комбинации $S=1$ и $R=1$. Так как в этом режиме на входы элементов ИЛИ-НЕ одновременно подаются единичные активные уровни, то на

обоих выходах триггера вынужденно устанавливаются нулевые значения $Q^+=0$ и $\bar{Q}^+=0$ (см. рис. 1, г). Однако после окончания воздействия входных сигналов, если оба входных сигнала S и R снимаются одновременно, триггер может принять состояние либо логического 0, либо логической 1. Если один из входных информационных сигналов снимается, а другой продолжает действовать, то триггер возвращается в обычный режим работы и выходные сигналы становятся инверсными по отношению друг к другу.

Неустойчивость работы триггера также может наступить в том случае, когда входные информационные импульсы S и R слишком короткие – меньше времени переключения триггера.

При пассивных уровнях входных сигналов, когда $S=0$ и $R=0$, триггер сохраняет предыдущее состояние $Q^+=Q$ и $\bar{Q}^+=\bar{Q}$.

На рис. 2 приведены временные диаграммы, поясняющие принцип работы асинхронного RS-триггера, выполненного на логических элементах ИЛИ-НЕ (см. рис. 1, б). Из временных диаграмм следует, что задержка переключения асинхронного RS-триггера, характеризующая быстродействие триггера, составляет сумму задержек переключения двух логических элементов ИЛИ-НЕ и определяется величиной $t_{3,сп}=2t_3$.

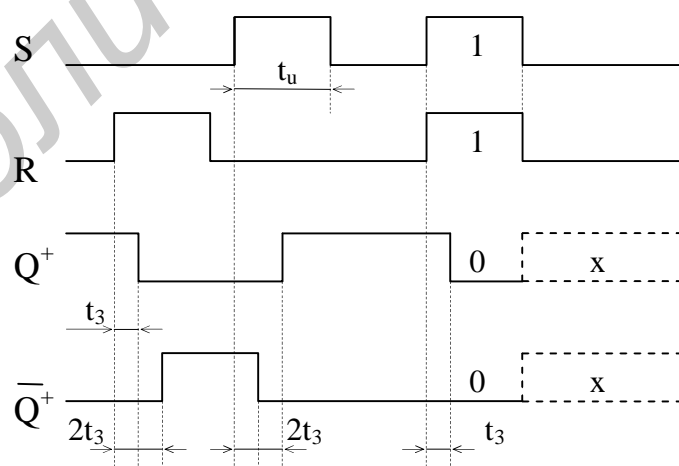


Рис. 2. Временные диаграммы работы асинхронного RS-триггера,

x – неопределенное состояние

Для устойчивого функционирования триггера длительность сигнала на входах R и S должна быть не меньше времени переключения триггера $t_u \geq 2t_3$. Информационные сигналы должны поступать на вход поочередно и только после окончания переходных процессов в триггере, тогда максимальная частота переключения триггера будет равна $F_{\max} = 1/2t_3$. Рассмотренный RS-триггер обладает свойством хранить информацию, но на практике применяется редко.

Асинхронный \overline{RS} -триггер на элементах И-НЕ. Данный триггер, в отличие от RS-триггера с прямыми входами, выполняется на двух элементах И-НЕ и имеет инверсные входы, поэтому \overline{R} и \overline{S} отмечаются знаками инверсий. Такой тип триггера называется *асинхронным \overline{RS} -триггером с инверсными входами*.

Для элемента И-НЕ активным уровнем является логический 0, следовательно, переключение триггера будет осуществляться нулевыми входными сигналами, которые устанавливают выходы логических элементов И-НЕ в единичное состояние. Это обстоятельство будем учитывать при синтезе \overline{RS} -триггера на элементах И-НЕ.

Составим по табл. 1 карту Карно, заменив в ней неопределенные состояния значениями x^1x^1 , и запишем логическое уравнение, которое определяет принцип функционирования асинхронного \overline{RS} -триггера:

$$Q^+ = S \vee \overline{R}Q = \overline{\overline{S}} \cdot \overline{\overline{R}Q}. \quad (4)$$

На рис. 3, а, б, в показаны соответственно карта Карно, логическая схема, реализованная в базисе Шеффера И-НЕ согласно выражению (4) и условное обозначение \overline{RS} -триггера с инверсными входами.

Временные диаграммы и упрощенная таблица переключений, поясняющие работу \overline{RS} -триггера, приведены на рис. 4.

Для устойчивой работы триггера необходимо обеспечить минимальные значения длительности входных сигналов \overline{S} и \overline{R} , которые не должны поступать на его вход одновременно. Если на оба входа \overline{RS} -триггера будут

поданы активные нулевые уровни, то на обоих его выходах вынужденно установятся высокие уровни $Q^+=1$ и $\bar{Q}^+=1$. Однако после окончания воздействия входных сигналов триггер может равновероятно установиться в единичное либо нулевое положение, следовательно, для данного типа триггера комбинация входных сигналов $\bar{S} = \bar{R} = 0$ является запрещенной. При пассивных уровнях входных сигналов $\bar{S} = 1$ и $\bar{R} = 1$ триггер помнит предыдущее состояние, при этом $Q^+=Q$, $\bar{Q}^+=\bar{Q}$ и триггер устанавливается в режим хранения информации.

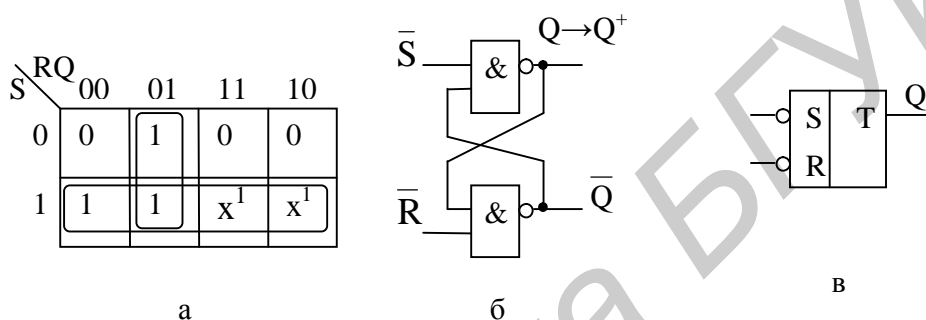


Рис. 3. Асинхронный $\bar{R}\bar{S}$ -триггер на элементах И-НЕ

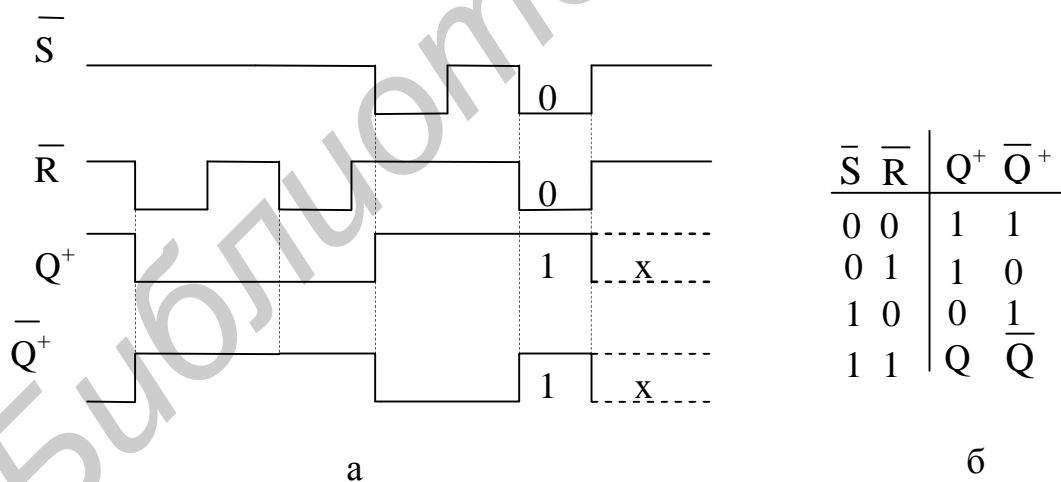


Рис. 4. Временные диаграммы и таблица переключений $\bar{R}\bar{S}$ -триггера

Рассмотренные асинхронные $\bar{R}\bar{S}$ -триггеры называются триггерами-защелками, такие схемы выпускаются промышленностью в сериях КР1533ТР2

(аналог SN74LS279) и 1554TP2 (54AC279). Основным режимом работы таких схем – режим хранения информации.

Синхронный RS-триггер со статическим управлением. Синхронный триггер, имеющий дополнительный статический вход синхронизации С, называют стробируемым триггером. При наличии входных сигналов переключение триггера происходит только в моменты поступления импульса синхронизации (С=1). При значениях С=0 триггер сохраняет предыдущее состояние Q.

Составим полную таблицу переключений синхронного RS-триггера (табл. 2), предполагая реализацию триггера на универсальных логических элементах И-НЕ. Для данного типа триггера комбинация CRS=1 устанавливает триггер в неопределенное состояние и является запрещенной. Неопределенные состояния триггера в табл. 2 будем доопределять аналогично \overline{RS} -триггеру значениями x^1x^1 .

Таблица 2

CS R Q	Q ⁺	CS R Q	Q ⁺
0 0 0	0	1 0 0	0
0 0 1	1	1 0 1	1
0 0 1 0	0	1 0 1 0	0
0 0 1 1	1	1 0 1 1	0
0 1 0 0	0	1 1 0 0	1
0 1 0 1	1	1 1 0 1	1
0 1 1 0	0	1 1 1 0	x ¹
0 1 1 1	1	1 1 1 1	x ¹

Таблица 3

CS \ RQ	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	1	1	x ¹	x ¹
10	0	1	0	0

На основании данных табл. 2 составим карту Карно (табл. 3) и запишем логическое уравнение для синхронного RS-триггера:

$$Q^+ = CS \vee \overline{R}Q \vee \overline{C}Q. \quad (5)$$

Преобразуем выражение (5) с целью реализации синхронного триггера на элементах И-НЕ, тогда

$$Q^+ = CS \vee Q(\overline{R} \vee \overline{C}) = \overline{\overline{CS} \cdot \overline{Q} \cdot \overline{CR}}. \quad (6)$$

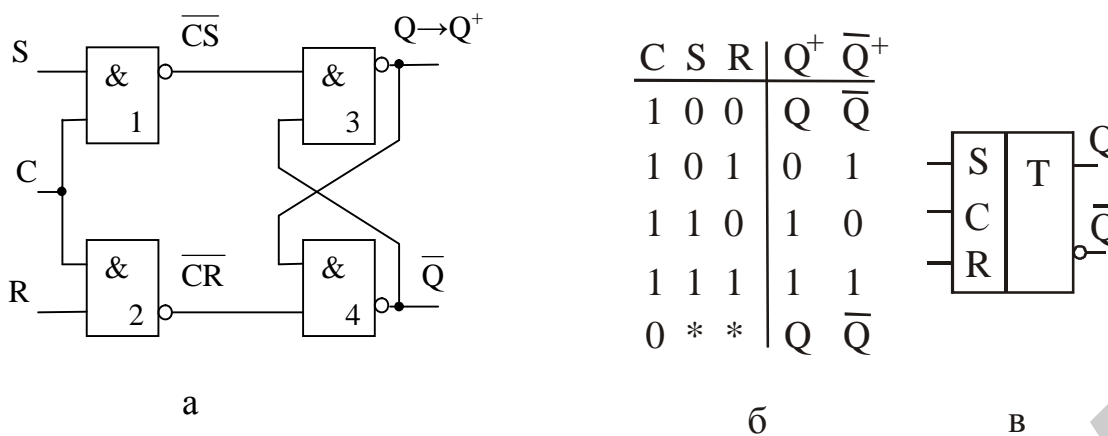


Рис.5. Синхронный RS-триггер со статическим управлением

Схема синхронного RS-триггера, реализованная по выражению (6), показана на рис. 5, а. Упрощенная таблица переключений и условные обозначения RS-триггера показаны на рис. 5, б и в. При подаче на входы триггера сигналов $C=S=R=1$ на выходах элементов 1, 2 схемы управления (см. рис. 5, а) формируются активные нулевые уровни, которые поступают на ячейку памяти, выполненную на элементах 3 и 4. После окончания действия сигналов триггер устанавливается в неопределенное состояние. Следовательно, для данных типов триггеров комбинация входных сигналов $C=R=S=1$ является запрещенной.

Рассмотренный синхронный RS-триггер имеет статический вход (см. рис. 5, в) и управляется уровнем входного сигнала C.

RS-триггеры со статическим управлением, срабатывающие по уровню строблирующего сигнала C, называются триггерами-защелками (RS-latch) и функционируют согласно поданным на вход информационным сигналам S и R, пока сигнал C имеет активный уровень. Если C переходит на пассивный уровень, то происходит защелкивание триггера, выходной сигнал Q при этом сохраняет свое последнее значение и больше не реагирует на изменение входных сигналов, пока C остается на пассивном уровне.

Аналогично ведут себя и асинхронные триггеры-защелки, выходные сигналы которых изменяются во время действия активных уровней входных

информационных сигналов. При переходе на пассивные уровни триггер защелкивается и в нем устанавливается режим хранения информации.

Синхронный RS-триггер с динамическим управлением. Триггеры с динамическим управлением называются тактируемыми и функционируют согласно сигналам, поданным на информационные входы S и R , но воспринимают их только в момент перехода тактового синхронизирующего сигнала C с нулевого уровня на единичный ($0 \rightarrow 1$) либо наоборот ($1 \rightarrow 0$). Такое переключение триггеров происходит в течение короткого времени вблизи фронта (или среза) синхроимпульса. Если триггер переключается фронтом синхроимпульса, то тактовый вход C называется *прямым динамическим входом*, если срезом – то *инверсным динамическим входом* (см. рис. 6, б, в, где соответствующий вход C отмечен косой чертой).

Схема синхронного RS-триггера с прямым динамическим входом и его условное обозначение показаны на рис. 6, а, б. Схема выполнена на шести логических элементах И-НЕ (элементы 1...6), для которых активным является уровень логического 0.

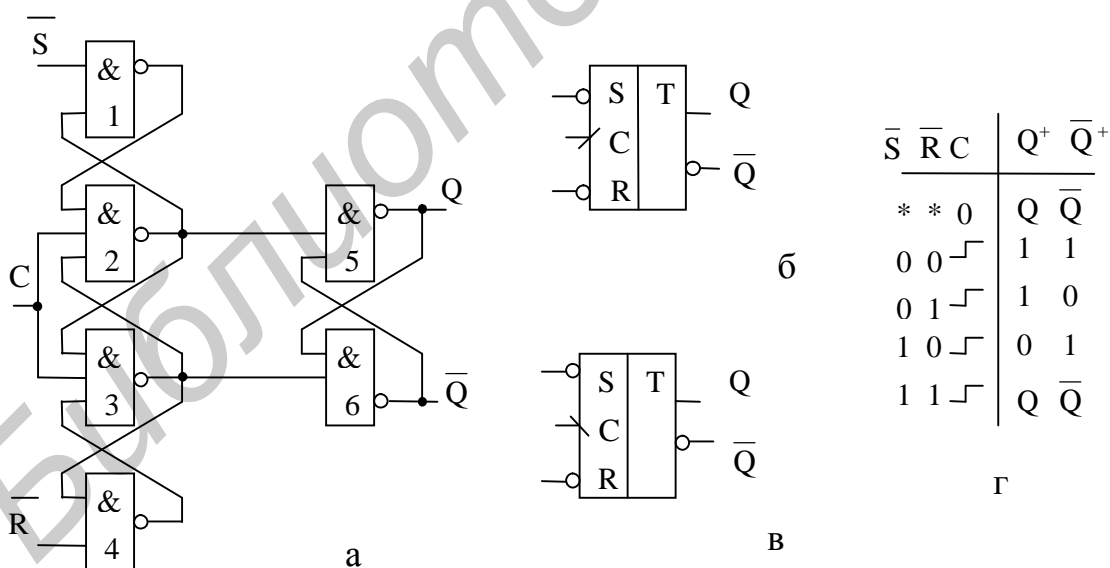


Рис. 6. Синхронный RS-триггер с динамическим управлением

На рис. 6, а элементы 2, 3, 5, 6 образуют синхронный RS-триггер со статическим управлением, показанный на рис. 5, а. Вспомогательные элементы 1, 4

совместно с элементами 2, 3 образуют общую схему управления. Такая схема будет чувствительна к изменению входных информационных сигналов \bar{S} и \bar{R} при синхросигнале $C=1$.

Если входной синхросигнал $C=0$, то при произвольных значениях \bar{S} и \bar{R} (отмечены на рис. 6, г знаком *) на выходах элементов 2 и 3 установятся пассивные единичные сигналы и ячейка памяти триггера (элементы 5, 6) сохраняет ранее установленные состояния Q и \bar{Q} .

При действии на входе C положительного фронта синхросигнала триггер устанавливается в состояние 0 или 1 согласно поданным на входы \bar{S} и \bar{R} информационным сигналам (см. рис. 6, г). Элементы 1, 4 будут блокировать цепи подачи информационных сигналов сразу же после изменения синхросигнала с нулевого значения на единичное и при достижении синхросигналом C уровня логической 1 будут сохранять блокировку до возвращения C к нулевому уровню. Для того чтобы осуществить новое переключение триггера, необходимо воздействие на входе C нового положительного фронта синхросигнала.

Состояние триггера при воздействии $\bar{S}=\bar{R}=0$ является неопределенным. Для данного типа триггера такая комбинация входных сигналов запрещена.

Следует отметить, что иногда триггеры с динамическим управлением неправомерно называют динамическими триггерами. В триггерах с динамическим управлением суть управления заключается в том, что переключение триггера осуществляется фронтом или срезом тактового сигнала. В микроэлектронной схемотехнике динамическими называют устройства, выполненные на МОП-структурах, в которых в качестве запоминающих элементов используются специальные или паразитные емкости между затворами и истоками транзисторов.

Схема синхронного RS-триггера, показанная на рис. 6, является основой для построения D- и JK-триггеров с динамическим управлением.

Двухступенчатый синхронный RS-триггер. В различных системах управления с применением синхронных RS-триггеров возникает необходимость независимой установки и считывания информации, причем снятие выходной информации необходимо осуществлять при отключенных входных сигналах. Подобные задачи можно решать с помощью двухступенчатого синхронного триггера, называемого MS-триггером, у которого отсутствует сквозная передача информационного сигнала со входа на выход.

Структура MS-триггера, построенного на основе RS-триггера, показана на рис. 7, а.

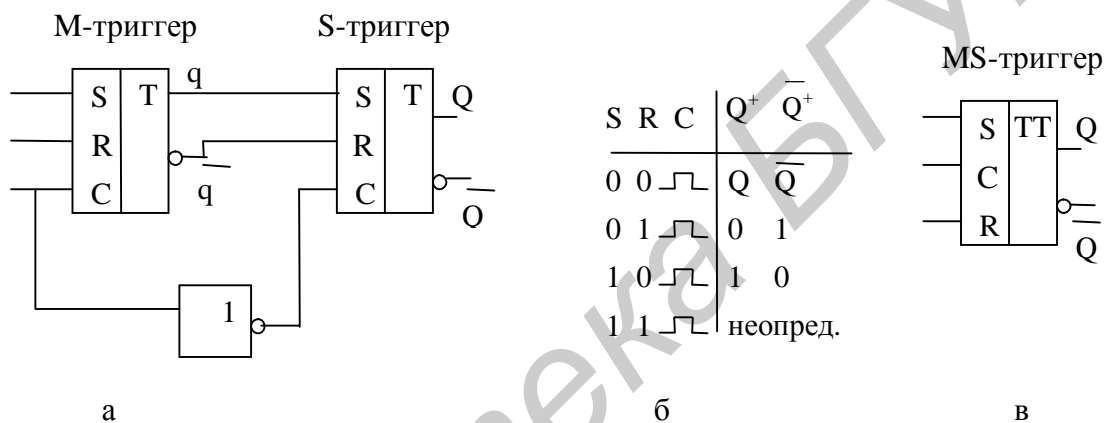


Рис.7. Двухступенчатый синхронный RS-триггер

MS-триггер содержит два синхронных RS-триггера со статическим управлением, которые называются ведущий триггер М (master) и ведомый триггер S (slave). Схема тактируется единым синхросигналом, который подается непосредственно на вход С ведущего М-триггера и через инвертор на вход ведомого S-триггера.

Если на входе MS-триггера действует синхросигнал $C=1$, то ведущий М-триггер по положительному фронту синхроимпульса С устанавливается в состояние, соответствующее поданным на вход схемы информационным сигналам S и R согласно таблице переключений (рис. 7, б). Данное состояние М-триггера сохранится, пока уровень синхросигнала С будет равен логической 1.

В это время ведомый S-триггер, имеющий на своем входе инверсный сигнал \bar{C} , будет находиться в режиме хранения прежней информации и не воспринимает поступающие на его вход сигналы с выхода ведущего M-триггера.

Если на вход MS-триггера поступит синхросигнал $C=0$, то при достижении им уровня логического 0 ведущий M-триггер установится в режим хранения информации и будет отключен от информационных входов S и R. В это время по отрицательному фронту синхроимпульса C информационные сигналы с выходов q и \bar{q} ведущего M-триггера будут переписаны в ведомый S-триггер и поступят на выход MS-триггера (выходы Q и \bar{Q}).

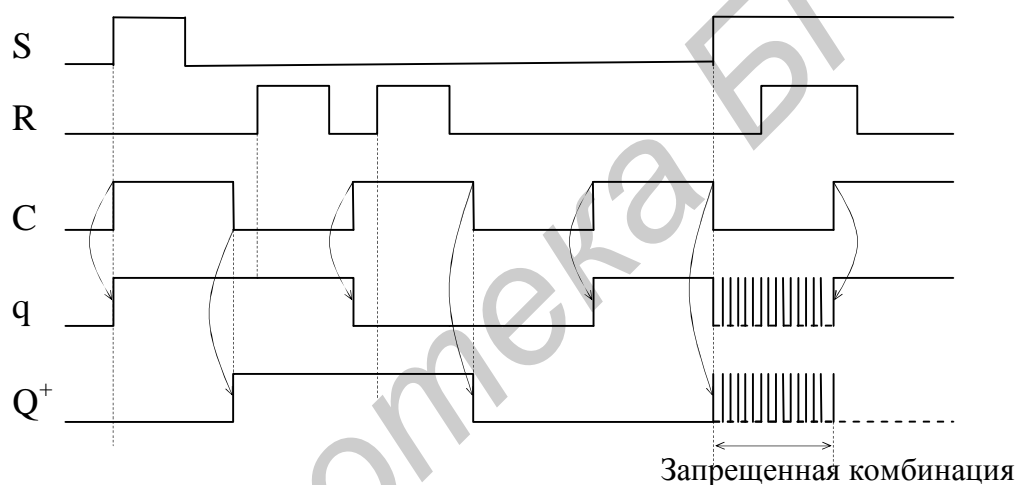


Рис. 8. Временные диаграммы работы двухступенчатого RS-триггера

Работу двухступенчатого RS-триггера поясняют временные диаграммы, приведенные на рис. 8, из которых следует, что за время периода тактового синхроимпульса C , управление процессами в двухступенчатом триггере осуществляется двумя фронтами синхроимпульса, но выходные сигналы триггера Q^+ и \bar{Q}^+ устанавливаются только по отрицательному фронту тактового синхроимпульса C .

Следует также отметить режим работы триггера, когда оба входных сигнала S и R равны 1. В этом случае в момент отрицательного перепада синхросигнала C работа триггера оказывается непредсказуемой, но как только

любой из входных информационных сигналов снимается, схема возвращается к работе в обычном режиме. Поэтому комбинация $S \cdot R = 1$ для данного типа триггера является запрещенной.

2.2. D-триггеры

D-триггеры являются наиболее распространенным типом триггеров и составляют основу для построения регистров, счетчиков, различных схем управления. В цифровых сериях ИМС они обозначаются буквами ТМ.

D-триггер имеет один информационный вход D (вход данных) и вход синхронизации C, который может быть статическим (ТМ5, ТМ7) либо динамическим (ТМ2). Триггер принимает информационные сигналы только по разрешению управляющего сигнала и повторяет их на выходе с некоторой задержкой, определяемой синхросигналом C.

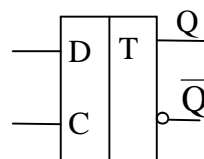
Синхронный D-триггер со статическим управлением. Рассмотрим синтез схемы синхронного D-триггера со статическим управлением. Составим таблицу переключений триггера и отметим основные режимы его работы (рис. 9, а).

C D Q	Q ⁺	Режим работы
0 0 0	0	Хранение информации
0 0 1	1	
0 1 0	0	
0 1 1	1	
1 0 0	0	Перезапись 0
1 0 1	0	
1 1 0	1	Перезапись 1
1 1 1	1	

а

		DQ			
		00	01	11	10
C	0	0	1	1	0
	1	0	0	1	1

б



в

Рис. 9. D-триггер:

а – таблица переключений; б – карта Карно;

в – условное обозначение триггера

По таблице переключений составим Карту Карно (рис. 9, б) и запишем логическое выражение, характеризующее работу D-триггера:

$$Q^+ = CD \vee \bar{C}Q. \quad (7)$$

Используя законы и правила алгебры логики, преобразуем выражение (7), добавив консенсусный множитель $(1 \vee Q)$, численно равный 1:

$$\begin{aligned} Q^+ &= CD \vee \bar{C}Q = CD \cdot (1 \vee Q) \vee \bar{C}Q = CD \vee (CDQ \vee \bar{C}Q) = CD \vee (CD \vee \bar{C}) \cdot Q = \\ &= CD \vee (\overline{\bar{C} \vee \bar{D}} \vee \bar{C}) \cdot Q = CD \vee (\overline{\bar{C} \vee \bar{D}}) \cdot \bar{C} \cdot Q = CD \vee \overline{\bar{C} \vee \bar{D}} \cdot Q = \overline{\bar{C} \vee \bar{D}} \cdot \overline{\bar{C} \vee \bar{D}} \cdot Q. \end{aligned} \quad (8)$$

На рис. 10 приведены схемы синхронных D-триггеров со статическим управлением, построенные согласно выражениям (7) и (8).

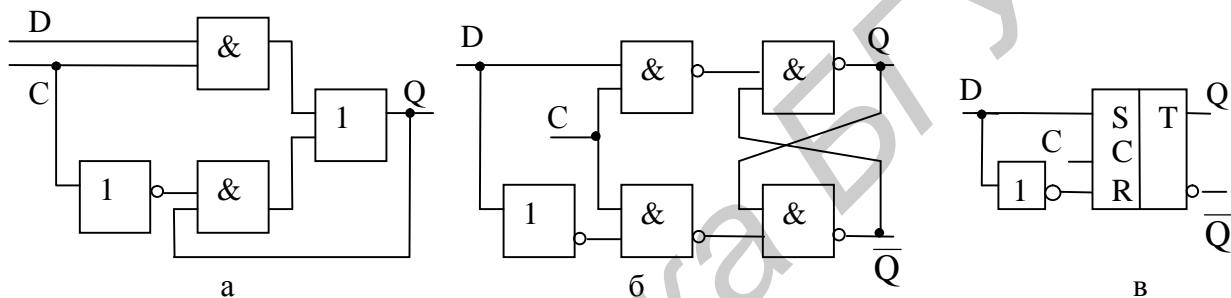


Рис. 10. Схемы D-триггеров со статическим управлением

Из рис. 10, б следует, что D-триггер можно получить из RS-триггера со статическим управлением, подав информационный сигнал D на вход S непосредственно и через инвертор на вход R (рис. 10, в).

Однако схемы, представленные на рис. 10, не получили широкого распространения, так как применяемые в них инверторы должны быть сверхбыстродействующими, иначе вносимые ими запаздывания могут привести к состязаниям сигналов.

Схема D-триггера со статическим управлением, приведенная на рис. 11, а, не имеет отмеченных недостатков, она выполнена на четырех логических элементах И-НЕ и получена после соответствующих преобразований выражения (8):

$$Q^+ = CD \vee \bar{C}Q = CD \vee CDQ \vee \bar{C}Q = CD \vee (CD \vee \bar{C}) \cdot Q = CD \vee \overline{\bar{C} \vee \bar{D}} \cdot C \cdot Q = \overline{\bar{C} \vee \bar{D}} \cdot \overline{\bar{C} \vee \bar{D}} \cdot C \cdot Q. \quad (9)$$

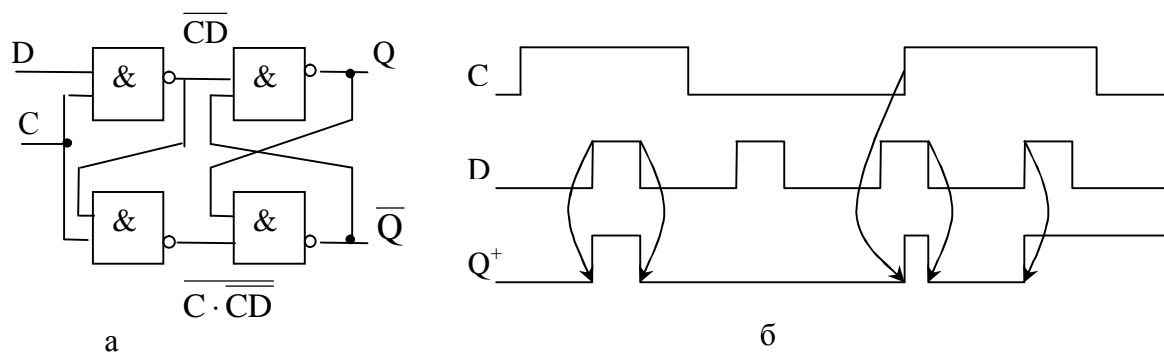


Рис. 11. Синхронный D-триггер со статическим управлением:

а – схема; б – временные диаграммы

Временные диаграммы, приведенные на рис. 11, б отражают функциональное поведение D-триггера при различных входных сигналах.

Двухступенчатый D-триггер с динамическим управлением.

Двухступенчатый D-триггер строится аналогично RS-триггеру (см. рис. 7, а) по MS-схеме. В нем используются синхронные D-триггеры со статическим управлением (см. рис. 11, а).

На рис. 12 приведены структурная схема двухступенчатого D-триггера, его таблица переключений, характеризующая работу триггера, и условное обозначение. На схемах двухступенчатые триггеры обозначаются буквами ТТ, а динамическое управление – косой чертой на входе управляющего сигнала С.

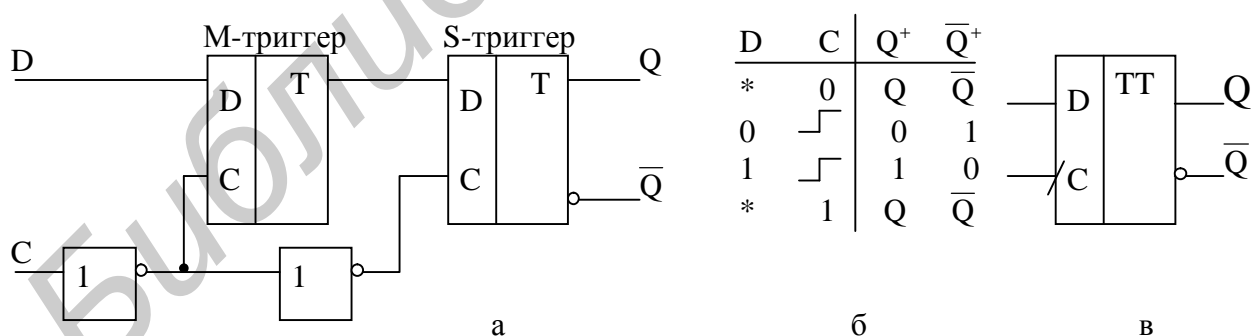


Рис. 12. D-триггер, переключающийся по фронту:

а – схема; б – таблица переключений (* - произвольное значение);

в – условное обозначение

Двухступенчатый D-триггер (рис. 12, а) переключается по положительно-му фронту управляющего синхросигнала С, следовательно, данный триггер имеет прямой динамический вход. Опрос информационного входа D и изменение выходных сигналов Q^+ и \bar{Q}^+ происходит только по нарастающему фронту синхроимпульса С.

При значениях $C=0$ ведущий М-триггер открыт и его выходной сигнал повторяет входной сигнал, поданный на D вход. Если $C=1$, М-триггер закрывается и его выходной сигнал переписывается в ведомый S-триггер, который будет открыт, пока $C=1$.

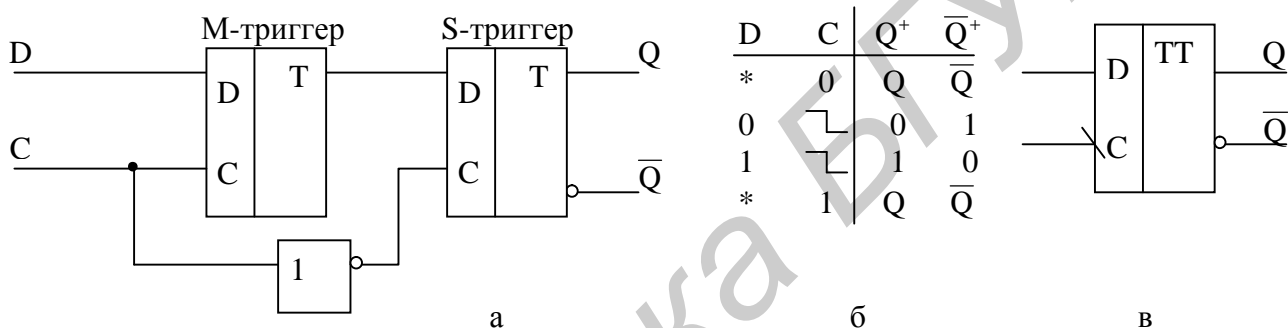


Рис. 13. D-триггер, переключающийся по срезу:

а – схема; б – таблица переключений; в – условное обозначение

На рис.13 показаны структурная схема, таблица переключений и условное обозначение двухступенчатого D-триггера с инверсным динамическим входом. Триггер переключается по отрицательному фронту (срезу) управляющего синхросигнала С. Такой режим работы двухступенчатого триггера обеспечивается включением инвертора в цепь синхронизации. Все переключения при этом будут происходить только по спадающему фронту синхроимпульса С.

Рассмотренные двухступенчатые схемы D-триггеров являются триггерами, управляемыми фронтом или срезом тактового синхроимпульса.

Комбинированный D-триггер с динамическим управлением. В последнее время преимущественное применение получил *комбинированный* D-триггер с динамическим управлением, выполненный на шести элементах И-НЕ по

одноступенчатой схеме. Триггер имеет дополнительные входы асинхронной установки \bar{S} и сброса \bar{R} , которые позволяют установить на выходе единичное или нулевое состояние независимо от сигналов на входах D и C.

Схема комбинированного D-триггера с динамическим управлением приведена на рис. 14.

В состав схемы (рис. 14, а) входит выполненный на элементах 2, 3, 5, 6 синхронный D-триггер со статическим управлением (см. рис. 11), а также элементы блокировки 1, 4, на выходе которых формируются инверсные значения информационного сигнала D.

Все переключения в данном триггере происходят по положительному фронту тактового синхроимпульса C. Информация, присутствующая на входе D, записывается в триггер во время действия фронта сигнала C. После изменения входного тактового сигнала с нулевого на единичное значение элементы 1, 4 осуществляют блокировку цепей передачи информационного сигнала D и сохраняют эту блокировку до перехода сигнала C в нулевое состояние.

При значениях C=0 на выходах элементов 2, 3 формируются пассивные единичные сигналы, которые устанавливают ячейку памяти 5, 6 в режим хранения информации до прихода положительного фронта тактового сигнала.

Таблица 4

Входы				Выходы		Режимы работы
\bar{S}	\bar{R}	C	D	Q^+	\bar{Q}^+	
0	0	*	*	x	x	Запрещенная комбинация
0	1	*	*	1	0	Асинхронная установка 1
1	0	*	*	0	1	Асинхронная установка 0
1	1	\uparrow	1	1	0	Запись 1
1	1	\uparrow	0	0	1	Запись 0
1	1	\downarrow	*	Q	\bar{Q}	Хранение
1	1	0	*	Q	\bar{Q}	Хранение

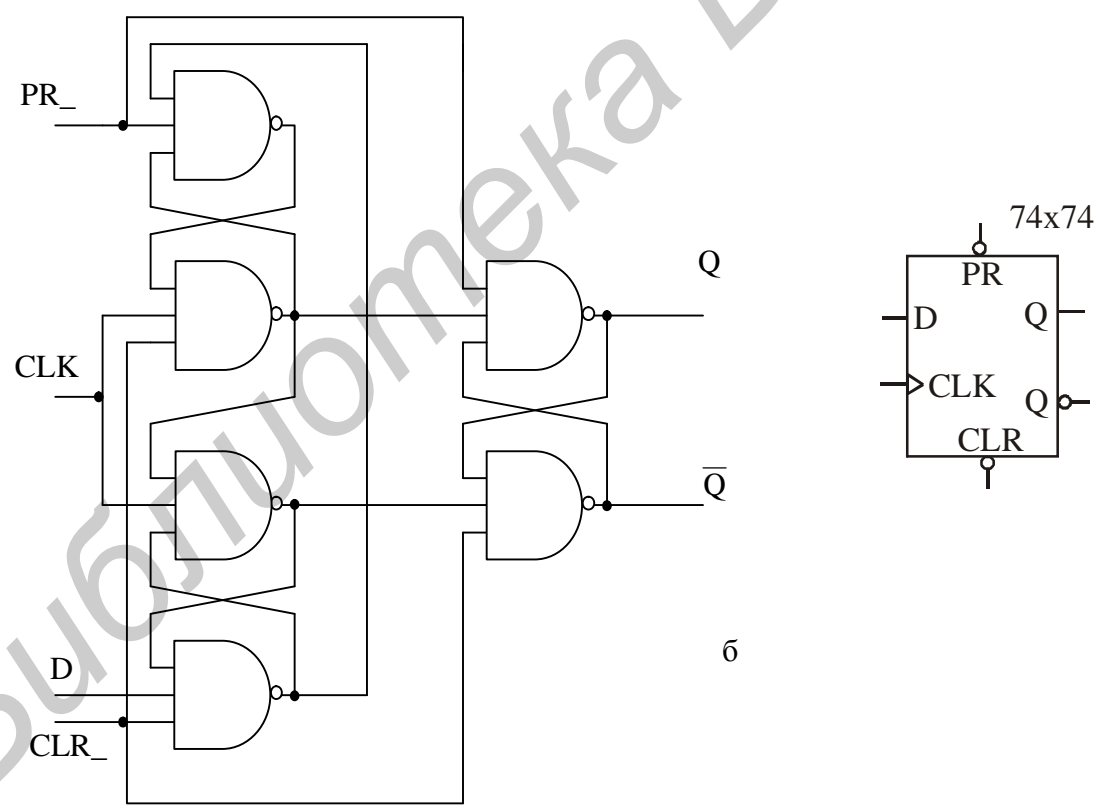
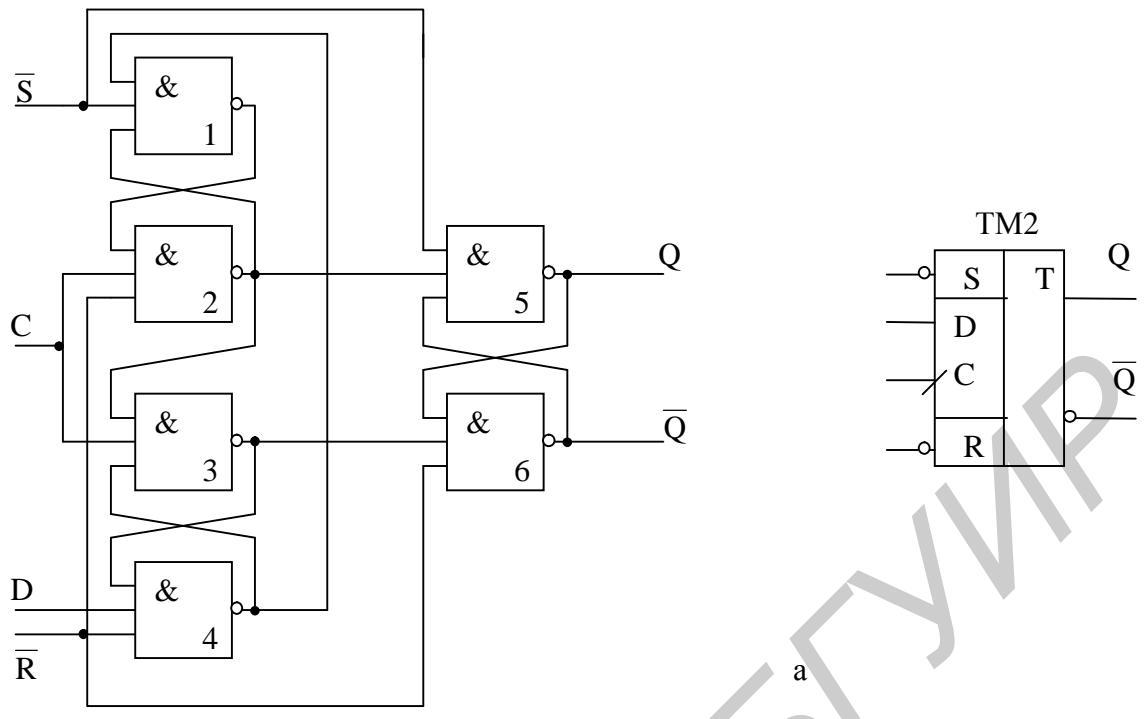


Рис. 14. Комбинированный D-триггер, переключаемый фронтом:
 а – схема триггера КР1533ТМ2 на элементах И-НЕ; б – зарубежный аналог IN74LS74 на элементах NAND; обозначения: CLK (clock) – тактовый сигнал, PR (preset) – установка в единицу, CLR (clear) – сброс

Таблица переключений (табл. 4) характеризует функциональное поведение комбинированного D-триггера с динамическим управлением, схема которого показана на рис. 14, а.

Временные диаграммы, приведенные на рис. 15, иллюстрируют работу комбинированного D-триггера с входами установки в единичное состояние \bar{S} и в нулевое состояние \bar{R} (сброс).

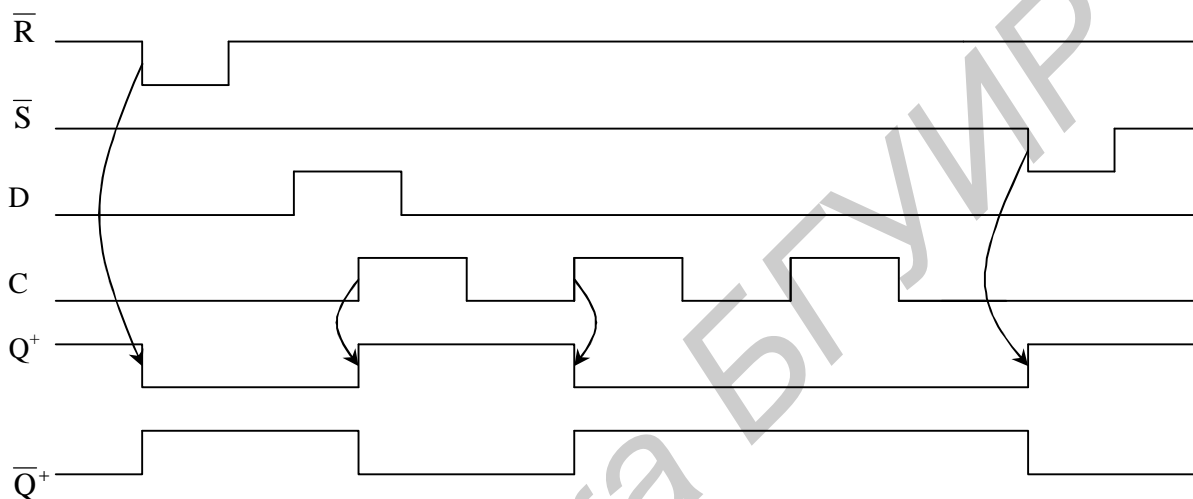


Рис. 15. Временные диаграммы работы комбинированного D-триггера

Рассмотренные одноступенчатые D-триггеры с динамическим управлением на тактовом периоде переключаются только фронтом синхронизирующего сигнала, в то время как двухступенчатые триггеры переключают ведущую и ведомую ступени по фронту и срезу тактового сигнала, поэтому D-триггеры с динамическим управлением проще в исполнении, быстродействие их выше, чем у двухступенчатых триггеров. Например, триггер КМОП серии КР1554ТМ2 (аналог IN74АС74 или просто 74x74) имеет максимальную тактовую частоту $F_{\max}=150$ МГц.

2.3. JK-триггеры

Триггеры типа JK являются универсальными и могут выполнять функции RS-, D-, T-триггера. В сериях ИМС JK-триггеры обозначаются буквами ТВ. Выпускаются двухступенчатые JK-триггеры (ТВ1), одноступенчатые с

внутренней задержкой (ТВ10, ТВ11), комбинированные с внутренней задержкой (ТВ9), универсальные с динамическим управлением (ТВ15).

В отличие от RS-триггеров все JK-триггеры не имеют запрещенных комбинаций, когда $S=R=1$. При подаче на информационные входы J и K комбинации сигналов $J=K=1$ триггер переключается в состояние, противоположное предыдущему ($Q^+ = \bar{Q}$), такой режим работы триггера называется *счетным*.

По сравнению с D-триггером в JK-триггере наличие двух информационных входов J и K позволяет расширить функциональные возможности триггера при построении различных последовательностных цифровых устройств.

Синхронный JK-триггер со статическим управлением. Составим таблицу переключений синхронного JK-триггера с учетом организации счетного режима работы, тогда при значениях $SJK=1$ входные его состояния будут принимать значения $Q^+ = \bar{Q}$.

Таблица 5

SJKQ	Q^+	SJKQ	Q^+
0000	0	1000	0
0001	1	1001	1
0010	0	1010	0
0011	1	1011	0
0100	0	1100	1
0101	1	1101	1
0110	0	1110	1
0111	1	1111	0

Таблица 6

CJ \ KQ	KQ			
	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	1	1	0	1
10	0	1	0	0

По данным табл. 5 составим карту Карно (табл. 6) и запишем логическое уравнение в минимальной ДФН, согласно которому функционирует синхронный JK-триггер:

$$Q^+ = CJ\bar{Q} \vee \bar{C}Q \vee \bar{K}Q. \quad (10)$$

С целью реализации синхронного JK-триггера на логических элементах И-НЕ преобразуем выражение (10), введя дополнительный консенсусный член $Q \cdot \bar{Q}$, численно равный нулю, тогда

$$Q^+ = CJ\bar{Q} \vee (\bar{C}Q \vee \bar{K}Q \vee QQ) = CJ\bar{Q} \vee Q \cdot \overline{\overline{CKQ}} = \overline{\overline{CJ\bar{Q} \cdot Q \cdot \overline{\overline{CKQ}}}}. \quad (11)$$

На рис. 16 приведена схема, упрощенная таблица переключений и условное обозначение синхронного JK-триггера.

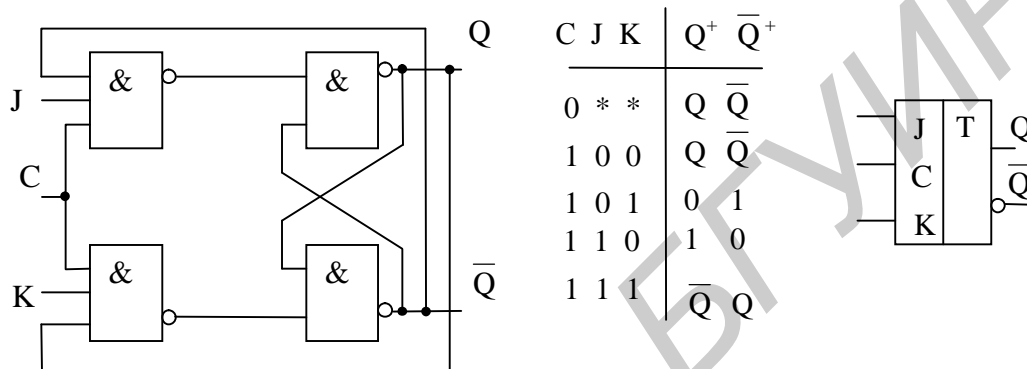


Рис. 16. Синхронный JK-триггер со статическим управлением

Особенностью синхронных JK-триггеров со статическим управлением является наличие обратных связей с выхода триггера на его вход. В этом случае состояние триггера будет зависеть не только от входных информационных сигналов J и K, но и от выходных сигналов Q и \bar{Q} , которые по цепям обратной связи будут поступать на вход схемы и могут вызвать многократное срабатывание триггера. Действительно, если применяется триггер с управлением уровнем синхросигнала, то при $C=1$ триггеру, находящемуся в состоянии Q, разрешен прием состояния \bar{Q} и он переключается. Если C по-прежнему равно 1, то триггеру также разрешен прием состояния Q и он вновь переключится. Таким образом, управляющий синхроимпульс C должен быть короче времени переключения триггера, что практически выполнить довольно сложно.

Поэтому для нормальной работы триггера с обратными связями применяются различные методы построения: двухступенчатые триггеры,

выполненные по MS-схеме; одноступенчатые триггеры с внутренней задержкой; триггеры с динамическим управлением.

Двухступенчатый JK-триггер. Функциональная схема двухступенчатого JK-триггера, его таблица переключений и условное обозначение показаны на рис. 17. В состав триггера входят два синхронных RS-триггера (см. рис. 5), инвертор и схема управления, выполненная на логических элементах И.

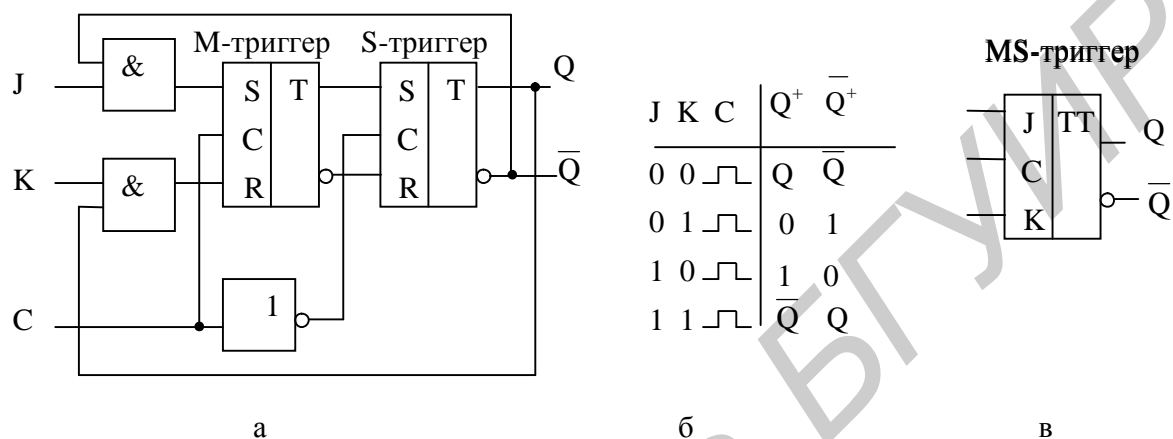


Рис. 17. Двухступенчатый JK-триггер

Принцип функционирования двухступенчатого JK-триггера аналогичен работе двухступенчатого RS-триггера, представленного и рассмотренного ранее (см. рис. 7). Входы триггера J и K аналогичны входам S и R.

Однако следует обратить внимание, что двухступенчатый JK-триггер охвачен обратными связями и сигнал J попадает на вход S ведущего M-триггера только тогда, когда текущие состояния выходных сигналов принимают значения $Q=0$ и $\bar{Q}=1$. Сигнал K попадает на вход R ведущего M-триггера, когда текущие состояния выходных сигналов принимают значения $Q=1$ и $\bar{Q}=0$. При одновременном воздействии входных информационных сигналов, когда $J = K = 1$, триггер переключается и переходит в состояние, противоположное тому, в котором он находился.

Как отмечалось ранее, управление процессами в двухступенчатых триггерах осуществляется фронтом и срезом тактового синхроимпульса C, а выходные сигналы триггера Q и \bar{Q} устанавливаются только по отрицательному

фронту синхроимпульса. При этом общая задержка в перезаписи триггера определяется в основном длительностью синхронизирующего импульса С.

Двухступенчатые триггеры не нашли должного применения ввиду сложности схемы и низкого быстродействия.

J \bar{K} -триггер с динамическим управлением. Функциональная схема J \bar{K} -триггера с динамическим управлением показана на рис. 18, в ее состав входит схема управления, выполненная на логических элементах И, ИЛИ, и D-триггер с динамическим управлением, схема которого описана ранее и представлена на рис. 14, а.

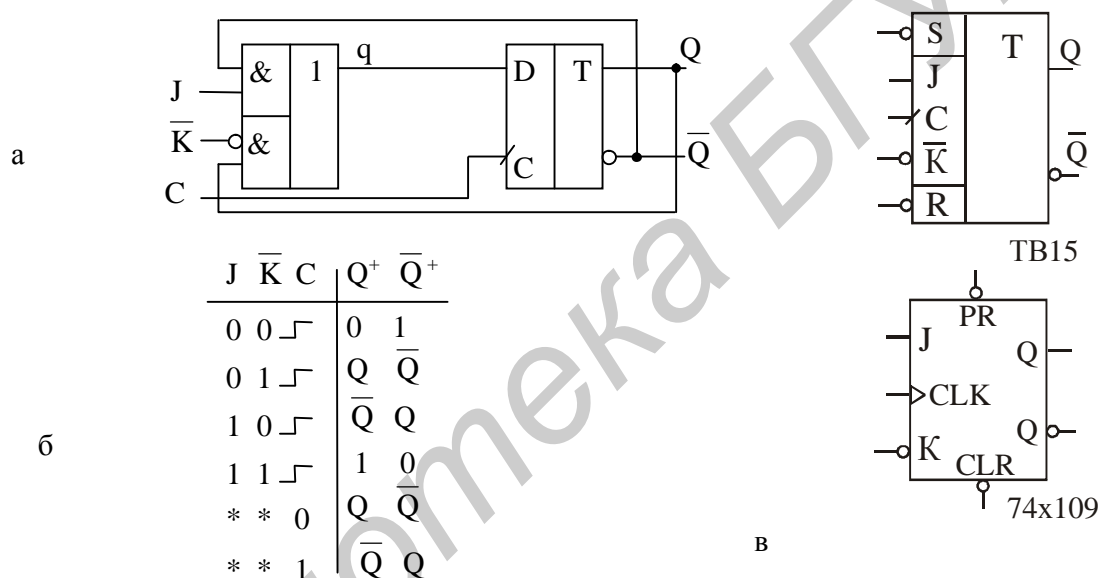


Рис. 18. J \bar{K} -триггер с динамическим управлением:

а – функциональная схема;

б – таблица переключений; в – условные обозначения

На схему управления J \bar{K} -триггера поступают входные информационные сигналы J и \bar{K} , а также сигналы Q и \bar{Q} , поступающие по цепям обратной связи с выхода триггера. Входы J \bar{K} -триггера опрашиваются на нарастающем фронте синхроимпульса С и формируются согласно логическому выражению

$$q = J\bar{Q} \vee \bar{K}Q,$$

которое следует из уравнения (11) при $C=1$ и характеризует работу асинхронного JK-триггера.

Принципы функционирования JK-триггера поясняет таблица переключений, представленная на рис. 18, б. При значениях $C=0$ триггер будет находиться в режиме хранения информации, а при значениях $C=1$ осуществляется блокировка цепей передачи информационных сигналов, которая сохраняется также при переходе синхросигнала с единичного в нулевое состояние.

Разделительные входы J и \bar{K} позволяют расширить функциональные возможности JK-триггера. При подаче на вход J уровня логической 1, а на вход \bar{K} – логической 0 триггер будет работать в счетном режиме, а при объединении входов J и \bar{K} – будет функционировать аналогично D-триггеру с динамическим управлением.

Триггеры JK-типа, переключающиеся фронтом тактового синхросигнала, имеют высокое быстродействие и применяются в новых разработках интегральных микросхем ТТЛШ- и КМОП-технологий. В частности, триггер КР1554 ТВ15 (аналог IN74 АСТ109) выполнен по схеме JK-триггера и имеет дополнительные входы \bar{S} и \bar{R} асинхронной установки и сброса (см. рис. 18, в).

Одноступенчатый JK-триггер с внутренней задержкой. В последнее время преимущественное применение получил простой одноступенчатый JK-триггер с внутренней задержкой, переключаемый срезом тактового синхросигнала.

На рис. 19, а, б представлены типичная структурная схема и условные обозначения JK-триггера с внутренней задержкой, которая является основой для построения триггеров типа ТВ6, ТВ9, ТВ10, ТВ11 ТТЛШ- и КМОП- технологий. Триггер имеет дополнительные входы асинхронной установки \bar{S} и сброса \bar{R} .

Для правильного функционирования JK-триггера с внутренней задержкой необходимо обеспечить условие, при котором задержка логических

элементов И-НЕ $t_{зд.1,2}$ превышала бы суммарную задержку остальных элементов И, ИЛИ-НЕ, т.е. $t_{зд.1,2} > t_{зд.Σ}$. Необходимо также обеспечить опережение установки информационных сигналов J и K относительно фронта тактового синхросигнала C на время, не менее указанного в паспортных данных на конкретный триггер ($t_{зд.1,2}=20$ нс).

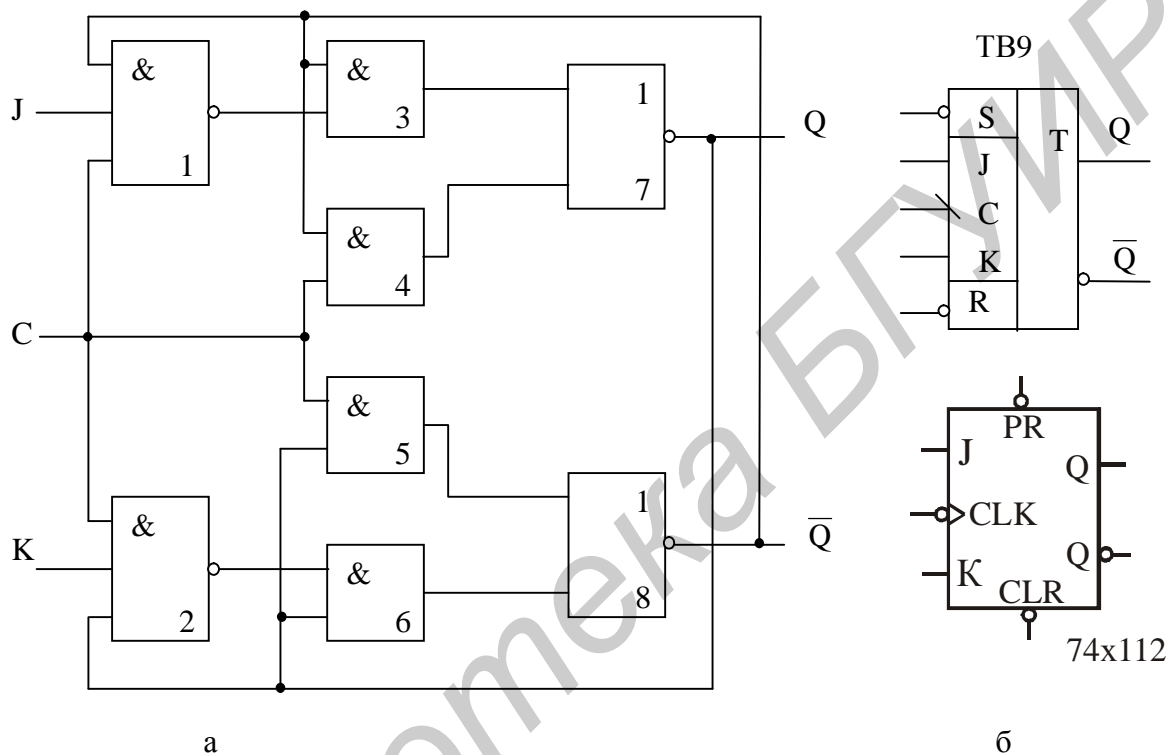


Рис. 19. Одноступенчатый JK-триггер с внутренней задержкой:

а – схема; б – условные обозначения

При указанных условиях в триггерах с внутренней задержкой отсутствует сквозная передача информационных сигналов с входа на выход.

Изменения выходных сигналов в данном JK-триггере происходят только по отрицательному фронту синхросигнала C в соответствии с поданными на входы J и K информационными сигналами. Следовательно, тактовый вход C триггера является инверсным динамическим (см. рис. 19, б).

Принцип работы JK-триггера с внутренней задержкой поясняют приведенные на рис. 20 таблица переключений и временные диаграммы.

При значениях тактового синхросигнала $C=0$ и $C=1$, а также при переходе синхросигнала с нулевого в единичное состояние в триггере устанавливается режим хранения информации и выходной сигнал $Q^+=Q$.

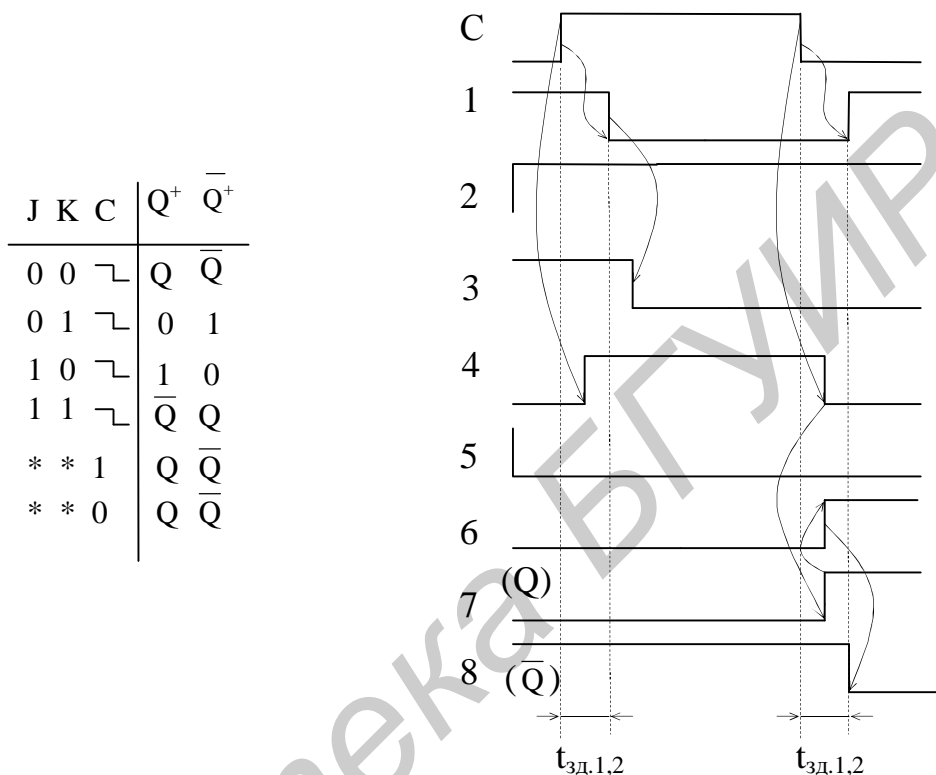


Рис. 20. Таблица переключений и временные диаграммы JK-триггера с внутренней задержкой

При значениях входных сигналов $J=K=1$ триггер работает в счетном режиме. На рис. 20 показано функциональное поведение триггера в счетном режиме при исходном состоянии $Q=0$ и $\bar{Q}=1$, при этом переключение триггера из нулевого состояния в единичное происходит на спадающем фронте синхросигнала только во временном интервале $t_{зд.1,2}$.

JK-триггеры с внутренней задержкой, например КР1554ТВ9 (аналог IN74ACT112), применяются в новых разработках цифровых устройств.

2.4. Т-триггеры

Т-триггеры строятся на основе существующих тактируемых D- и JK-триггеров. Триггеры работают в счетном режиме и изменяют свое состояние на противоположное ($Q^+ = \bar{Q}$) на каждом периоде тактового сигнала.

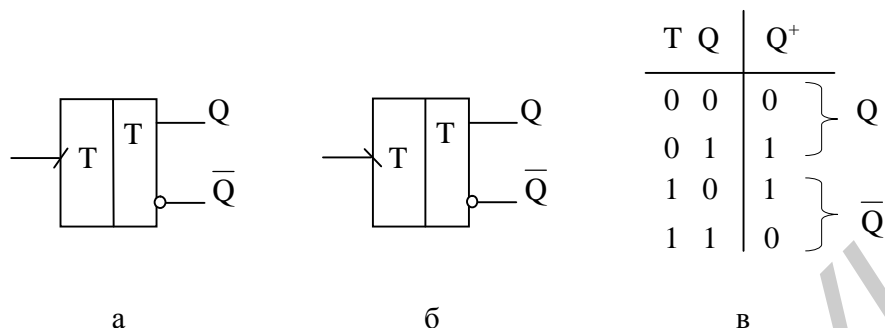


Рис. 21. Т-триггер:

а, б – условные обозначения; в – таблица переключений

На рис. 21, а, б показаны условные обозначения Т-триггера соответственно с прямым и инверсным динамическим входом. Из таблицы переключений (рис. 21, в) запишем логическое уравнение, характеризующее работу Т-триггера:

$$Q^+ = \bar{T}Q \vee T\bar{Q}, \quad (12)$$

откуда следует, что при значениях $T=0$, триггер сохраняет предыдущее состояние ($Q^+ = Q$), а при значениях $T=1$ – изменяет свое состояние на противоположное ($Q^+ = \bar{Q}$).

Основные разновидности Т-триггеров, выполненных на основе триггеров D- и JK-типов, а также их функциональное поведение, иллюстрирует рис. 22:

а) Т-триггер, выполненный на основе D-триггера с прямым динамическим тактовым входом;

б) Т-триггер, выполненный на основе JK-триггера с инверсным динамическим тактовым входом. На объединенный вход J и K подается уровень логической 1, допускается объединение входов триггера J, K и C;

в) Т-триггер на основе JK-триггера с входом разрешения EN.

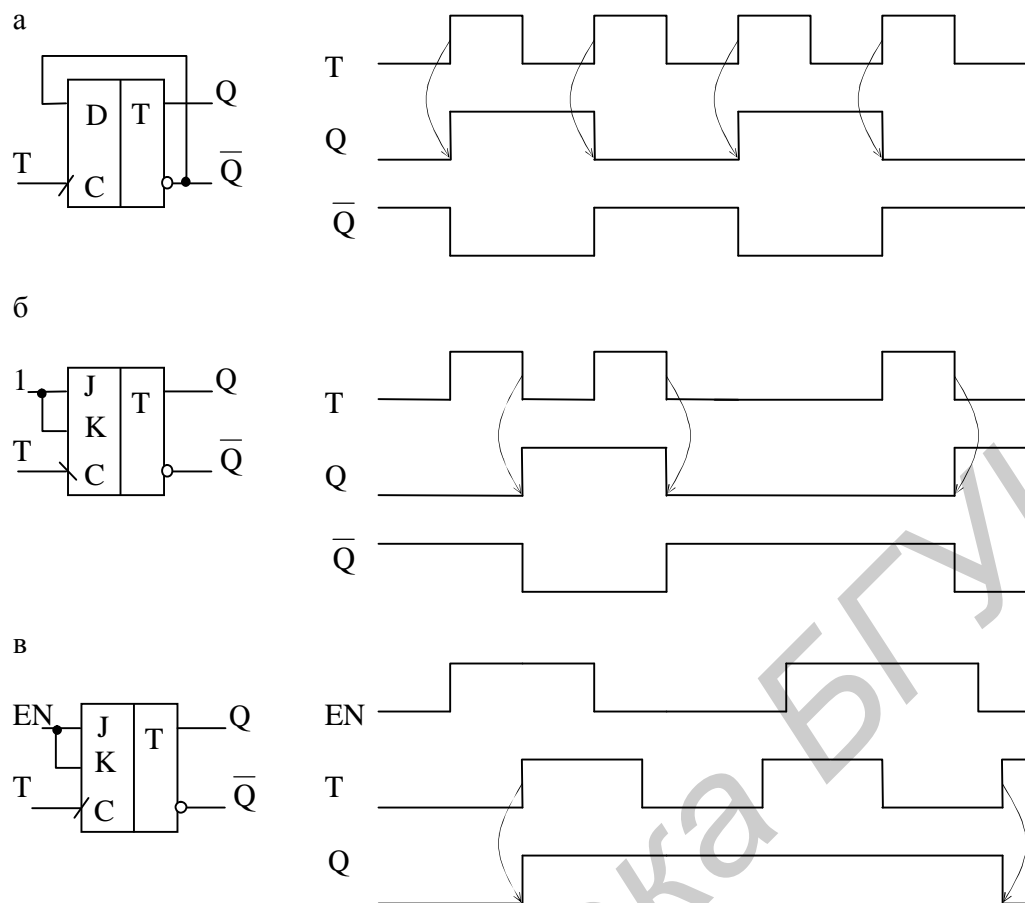


Рис. 22. Разновидности Т-триггеров

Рассмотренные Т-триггеры чаще всего используются для построения счетчиков импульсов. Особенностью Т-триггеров является то, что частота их выходных импульсов в два раза ниже частоты входных импульсов (см. рис. 22, а, б). Это свойство Т-триггеров используется при построении на их основе делителей частоты следования импульсов.

3. Программа работы

Задания выполняются с использованием программы Electronics Workbench (EWB), которая содержит большую базу данных по радиоэлектронным элементам. Для выполнения лабораторной работы необходимо изучить работу функционального генератора (Function Generator), генератора логи-

ческих сигналов (Word Generator), анализатора логических сигналов (Logic Analyzer) и логического преобразователя (Logic Converter).

3.1. Исследовать асинхронный *RS*-триггер на элементах ИЛИ-НЕ (см. рис. 1).

3.2. Исследовать синхронный *RS*-триггер на элементах И-НЕ (см. рис. 3).

3.3. Исследовать синхронный двухступенчатый *RS*-триггер с инвертором (см. рис. 7).

3.4. Исследовать *D*-триггер со статическим (см. рис. 11) и динамическим (см. рис. 14) управлением.

3.5. Исследовать *JK*-триггер на базе синхронного *RS*-триггера (см. рис. 16) и *JK*-триггера с внутренней задержкой (см. рис. 19).

3.6. Исследовать *T*-триггер на базе *D*-триггера (см. рис. 22).

3.7. Используя логический преобразователь программы EWB, преобразовать таблицу переключений триггера (см. табл. 1) в логическую функцию, которую затем преобразовать в схему устройства на логических элементах. Тип триггера задается преподавателем.

4. Содержание отчёта

4.1. Цель работы.

4.2. Схемы исследуемых триггерных устройств.

4.3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов.

4.4. Результаты исследований.

4.5. Выводы.

5. Контрольные вопросы

- 5.1. Логические схемы, условные обозначения и работа *RS*-триггеров.
- 5.2. Логические схемы, условные обозначения и работа *D*-триггеров.
- 5.3. Логические схемы, условные обозначения и работа *JK*-триггеров.
- 5.4. Логические схемы, условные обозначения и работа *T*-триггеров.

ЛИТЕРАТУРА

1. Браммер, Ю. А. Цифровые устройства: учеб. пособие для вузов / Ю. А. Браммер, И. Н. Пащук. – М. : Высш. шк., 2004. – 229 с.
2. Пухальский, Г. И. Цифровые устройства: учеб. пособие для вузов / Г. И. Пухальский, Т. Я. Новосельцева. – СПб. : Политехника, 1996. – 885 с.
3. Угрюмов, Е. П. Цифровая схемотехника: учеб. пособие для вузов / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2004. – 528 с.
4. Новиков, Ю. В. Основы цифровой схемотехники / Ю. В. Новиков. – М. : Мир, 2001. – 379 с.
5. Богданович, М. И. Цифровые интегральные микросхемы: справочник / М. И. Богданович [и др.]. – Минск : Полымя, 1996. – 523 с.
6. Бурак, А. И. Моделирование импульсных и цифровых устройств в среде Electronics Workbench: метод. пособие к лабораторным работам по курсу «Импульсные и цифровые устройства» для студ. радиотехнических спец. / А. И. Бурак. – Минск : БГУИР, 2001.

Учебное издание

Левкович Василий Николаевич,
Ходасевич Реональд Григорьевич

ИССЛЕДОВАНИЕ ТРИГГЕРНЫХ УСТРОЙСТВ

Методическое пособие
к лабораторной работе по курсу
«Цифровые устройства»
для студентов радиотехнических специальностей
всех форм обучения

Редактор Т. Н. Крюкова
Корректор Е. Н. Батурчик

Подписано в печать
Гарнитура «Таймс».
Уч.-изд. л. 1,8.

Формат 60x84 1/16.
Печать ризографическая.
Тираж 250 экз.

Бумага офсетная.
Усл. печ. л.
Заказ 94.

Издатель и полиграфическое исполнение:
Учреждение образования «Белорусский государственный университет
информатики и радиоэлектроники»
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131666 от 30.04.2004.
220013, Минск, П. Бровки, 6