

IP-ЯДРО ЦИФРОВОГО АУДИО ЭКВАЛАЙЗЕРА ДЛЯ ПЛИС XILINX ZYNQ

Петровский Д.А.

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Петровский Н.А. – канд. тех. наук

Аннотация. В докладе показана реализация цифрового многополосного эквалайзера на языке описания аппаратуры VHDL на основе MAC-ядра DSP48E1 для арифметики с фиксированной точкой. Полосовые БИХ-фильтры получены на основе аппроксимаций Баттерворта. Полученное цифровое устройство оформлено в виде IP-ядра и выполнен синтез для кристалла Xilinx Zynq 7010. Полученная тактовая частота работы эквалайзера позволяет обрабатывать аудио сигнал в реальном времени.

Цифровой многополосный эквалайзер является одним из основных устройств применяемых в аудиотехнике для коррекции АЧХ записывающих и воспроизводящих устройств. Существует два основных подхода к реализации таких систем: обработка аудиосигнала в частотной или временной области. В рамках данного доклада применяется подход на основе временно анализа с помощью полосовых фильтров на основе аппроксимации Баттерворта. Применение ПЛИС для задач цифровой обработки сигналов является предпочтительной с точки зрения возможности выполнить обработку с минимальной возможной технической задержкой, а также параллелизма вычислений.

Аудио эквалайзер функционирует в соответствии со структурной схемой (см рис.1), где цифровой аудио сигнал $x[n]$, поступающий на устройство через входной регистр данных, и передается на k БИХ фильтров N -ого порядка с соответствующими коэффициентами разностного уравнения $\{a, b\}$, которые разделяют частотный диапазон на k поддиапазонов. Результат фильтрации от каждого из фильтров поступает на блоки умножения, где производится умножение на коэффициент ослабления (g_1, g_2, \dots, g_k) , заданный в регистрах устройства управления. Результат блоков умножения передается в дерево сумматоров для формирования окончательного результата $y[n]$ и записи его в регистр результата [1].

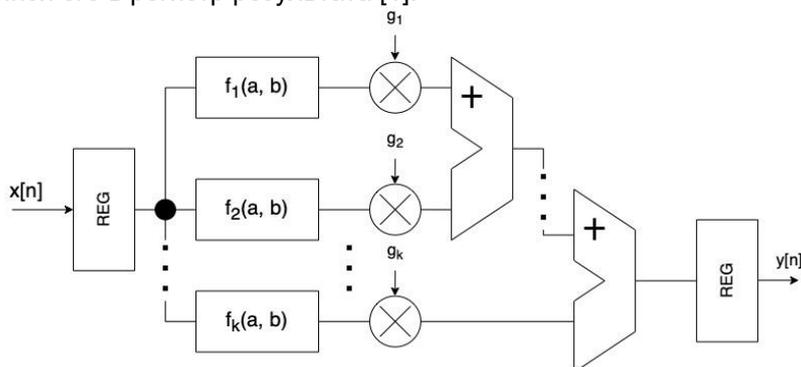


Рисунок 1 – Общая структурная схема k-полосного цифрового эквалайзера

Для моделирования и проектирования IP-ядра аудиэквалайзера задано $k = 3$ субполос и аппроксимация фильтра Баттерворта 7-ого порядка. Формат исходных данных и результата: импульсно-кодовая модуляция в 16 бит, частота дискретизации 44100 Гц. Устройство для обработки аудиоданных проектировалось на языке описания аппаратуры VHDL [2].

Пример результата обработки разработанного эквалайзера показан на рис. 2, где изображены тестовый аудио сигнал длительностью до 40 секунд (рис. 2а), его спектрограмма (рис. 2б) и спектрограмма полученного на выходе эквалайзера результата (рис. 2в).

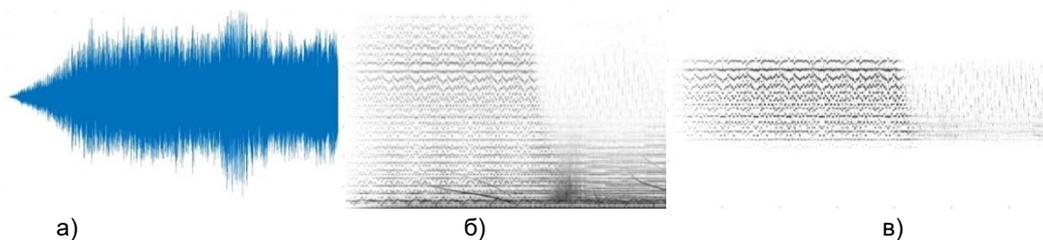


Рисунок 2 – Результаты моделирования: а) временное представление тестового аудио сигнал (40 сек, $f_s = 44100$ Гц) б) спектрограмма исходного сигнала (формат преобразования N = 1024, перекрытие 50%) в) спектрограмма обработанного аудио сигнала где $g_1 = -96dB$, $g_2 = 0dB$, $g_3 = -96dB$

Результаты проектирования фильтра нижних, средних и высоких частот показаны на рис 3, где приводится z-плоскость и АЧХ\ФЧХ соответствующих фильтров. Как можно заметить результирующая АЧХ при усилении в 0дБ почти не вносит искажений в обработанный аудио сигнал.

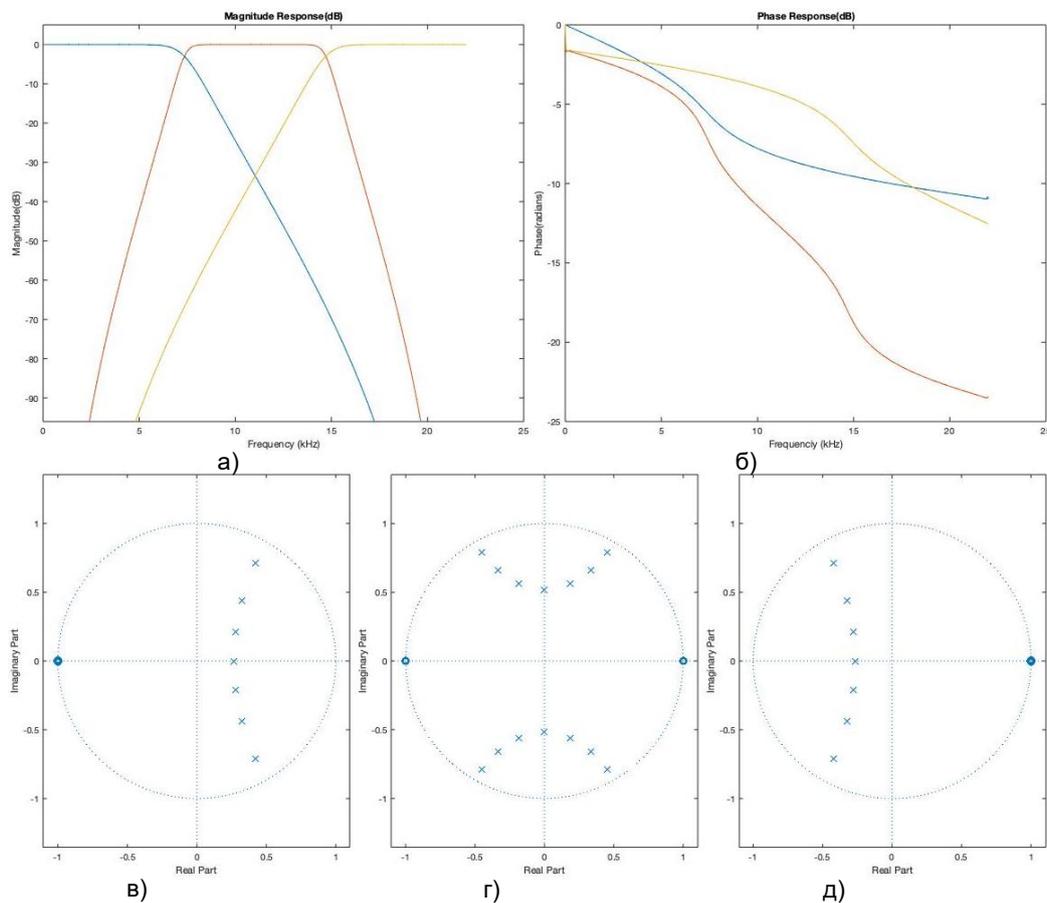


Рисунок 3 – Характеристики БИХ фильтров а) АЧХ б) ФЧХ в) отображение на Z плоскость фильтра нижних частот г) отображение на Z плоскость полосового фильтра д) отображение на Z плоскость фильтра верхних частот

В результате синтеза VHDL-описания эквалайзера аудио сигналов для кристалла серии Zynq 7010, было получены следующие значения показателей затраченных ресурсов, смотреть таблицу 1, где количество LUT и FF использовано 4 и 2 % соответственно от общего числа имеющихся ресурсов. Основная нагрузка при реализации эквалайзера легла на DSP48E1C модулей, было израсходовано 76 %.

Таблица 1 – Затраты ресурсов FPGA Zynq 7010 для 3-х полостного аудио эквалайзера

| Тип ресурса | Количество | Всего | Использовано, % |
|-------------|------------|-------|-----------------|
| LUT | 795 | 17400 | 4 |
| FF | 911 | 35200 | 2 |
| DSP48E1C | 61 | 80 | 76 |

Из результатов синтеза видно, что период тактовых импульсов составляет 43.008 нс., что соответствует 23.251 МГц.

Анализируя полученные результаты, можно сделать вывод, что данная схема трехполосного эквалайзера занимает незначительные ресурсы на кристалле ПЛИС и сможет эффективно обрабатывать входные данные поступающие с частотой дискретизации 44100 кГц в реальном масштабе времени с минимальной задержкой.

Список использованных источников:

1. Вологдин Э.И. Методы и алгоритмы обработки звуковых сигналов. - СПб.: СПбГУТ, 2009. - 96 с.
2. Бибило П.Н. Основы языка VHDL. Издание второе, исправленное и дополненное. – СОЛОН-Р, 2002