

## БЛОК ПАМЯТИ 8-БИТНОГО МИКРОКОНТРОЛЛЕРА С СОКРАЩЕННЫМ НАБОРОМ КОМАНД

Корсак К.В.

Белорусский государственный университет информатики и радиоэлектроники  
г. Минск, Республика Беларусь

Ловшенко И.Ю. – ст. преподаватель каф. МНЭ,  
зав. НИЛ 4.4 НИЧ БГУИР

Аннотация. Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею со структурными блоками микроконтроллера. В настоящее время созданы и используются десятки различных типов ЗУ. Описывается разработка структурной схемы блока памяти 8-битного микроконтроллера.

Блок памяти микроконтроллера (МК) состоит из матрицы ячеек SRAM-памяти, представляющих собой триггерную структуру, и блоков управления, каждый из которых привязан к столбцу ячеек памяти. Ячейка SRAM-памяти состоит из триггера. На узлах триггерной структуры логические «0» или «1» сохраняются.

Существуют различные типы ячеек, состоящие от 5 до 10 транзисторов. Изменение их количества позволяет улучшать стабильность операций записи и чтения при определенных напряжениях питания. Наиболее часто используется ячейка SRAM-памяти, построенная из 6 транзисторов (6Т-ячейка), представленная на рисунке 1. Триггерная структура состоит из двух КМОП-инверторов и двух МОП-транзисторов, подключенных стоками к паре битовых линий (BT, BV) и затворами к шине слов (WL). Чтобы сформировать триггер, вход и выход одного инвертора подключаются к выходу и вход другого инвертора соответственно.

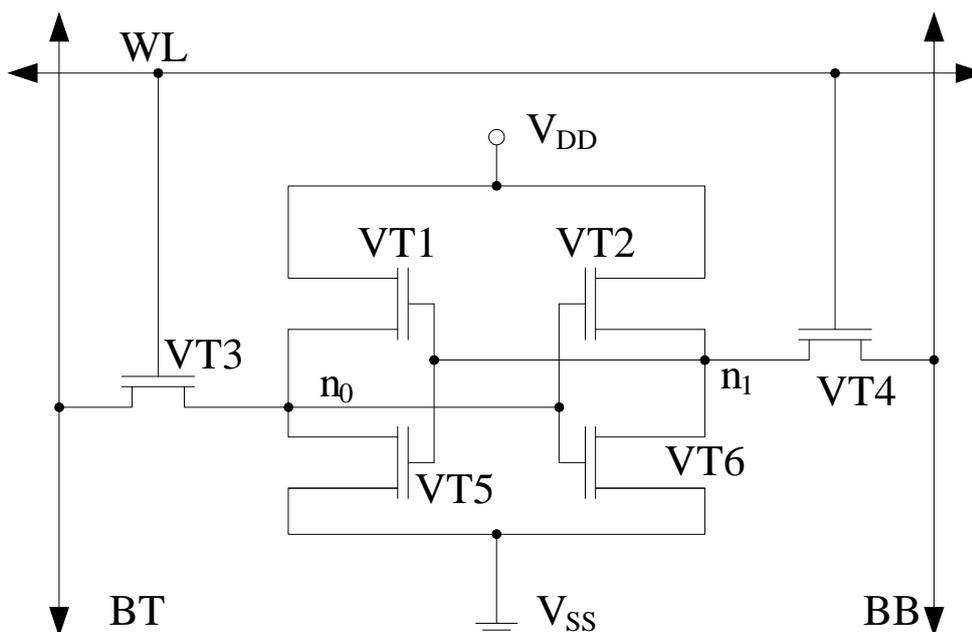


Рисунок 1 – Структурная схема 6Т-ячейки SRAM-памяти

Каждый блок управления состоит из устройств, чьими входными сигналами являются: тактовая частота CLK, сигнал записи (чтение происходит каждый такт, когда не происходит запись) WR и сигнал данных для записи в ячейку памяти IN. Эти сигналы управляют усилителями для чтения и записи.

Выходные сигналы описывают логическое состояние ячейки, т. е. записанные в неё логические «0» или «1». В каждом блоке управления происходит предварительная запись, после чего по шинам данных нужный бит записывается в выбранную ячейку памяти.

На рисунке 2 представлена функциональная схема блока памяти. На ней присутствует массив ячеек памяти, блоки управления, каждый из которых привязан к столбцу ячеек, а также демультиплексоры – по одному для выбора строк и столбцов.

Демультиплексоры предназначены для направления управляющего сигнала для выбранной конфигурации строк и столбцов.

Операция записи начинается с выбора столбца и строки. Сигнал данных (входной сигнал IN), проходя через усилитель записи, формирует соответствующее состояние на битовых линиях. При

подаче сигнала записи, состояние внутри ячейки (триггера) меняется в соответствии с записываемой информацией. Записанная информация хранится в буфере блока управления до следующей операции записи.

Чтение происходит каждый такт, когда не происходит запись в ячейку (приходит «0» на вход WR). Оно, так же, как и запись, начинается с выбора столбца и строки. Эти сигналы формируют скачок напряжения внутри ячейки, не меняя ее состояния и отправляя его по битовым линиям к усилителю чтения. После усиления данные попадают на вход триггера, выход которого принимает прочитанное значение.

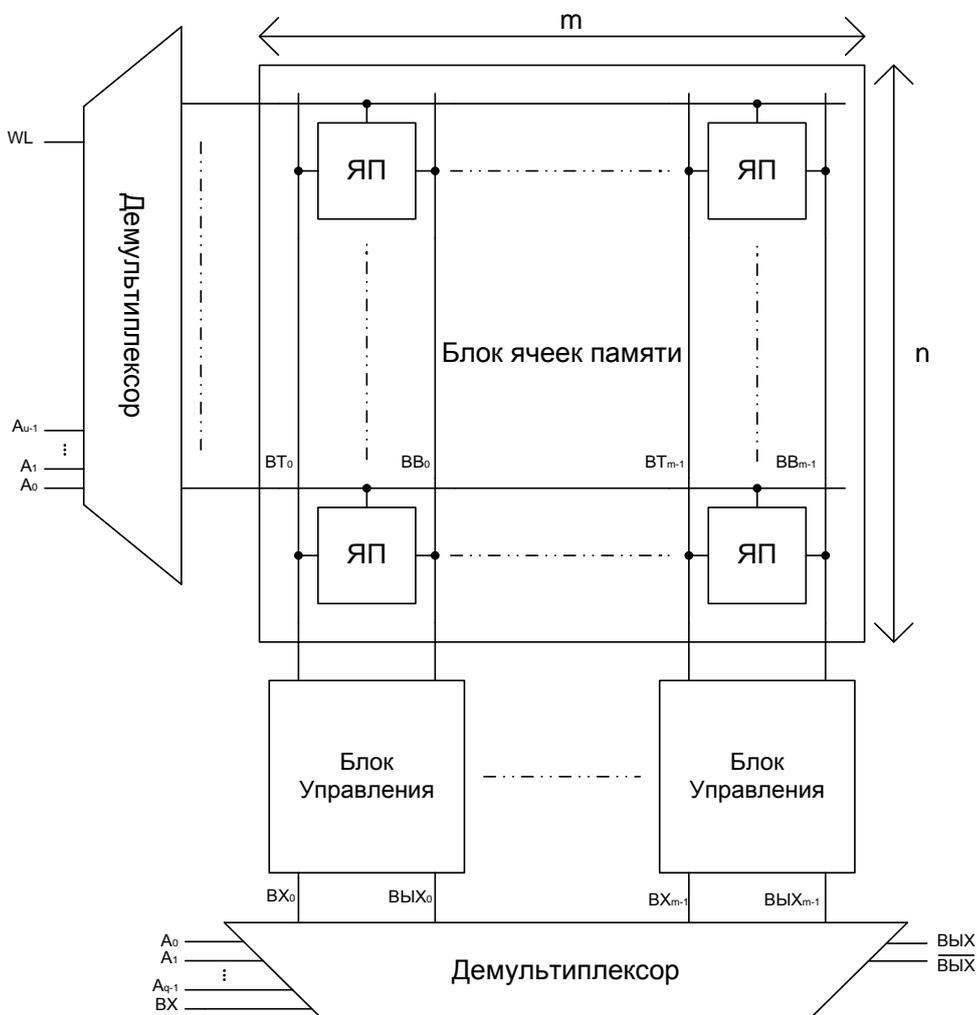


Рисунок 2 – Структурная схема блока памяти

Моделирование режимов работы блока памяти проводилось в программном комплексе компании Cadence. Данные блоки выполнены на основе КМОП-транзисторов с проектными нормами 180 нм. При моделировании эксплуатационных характеристик установлено, что среднее потребление мощности одной ячейки памяти составляет 10 мкВт, время переключения с «0» в «1» составляет 288,6 пс, а с «1» в «0» - 425 пс. Реализованный объем памяти составляет 1024 элемента по 8 ячеек памяти каждый.

Выбранное структурное решение блока памяти может быть использовано при проектировании 8-битного микроконтроллера с архитектурой компьютера с сокращенным набором команд.

*Список использованных источников:*

1. Osada, K. "Low power and reliable SRAM memory cell and array design, Springer Series in Advanced Microelectronics, vol. 31, 2011, pp. 5-10.
2. Understanding the Concept of Microcontroller Based Systems to Choose the Best Hardware for Applications / Y. Güven [et al.] // International Journal of Engineering and Science. – Vol. 6 Issue 9, Sep 2017. – pp. 38-44.
3. A single ended 6T SRAM cell design for ultra-low-voltage applications / J. Singh [et al.] // IEICE Electronics Express, 2018. P. 750–755.
4. Kumar, H., Tomar, V. K. (2020). A Review on Performance Evaluation of Different Low Power SRAM Cells in Nano-Scale Era. Wireless Personal Communications, 117(3), 1959–1984.