



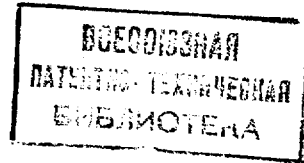
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1575188** **A1**

(51) 5 G 06 F 12/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4486493/24-24
(22) 26.09.88
(46) 30.06.90. Бюл. № 24
(72) Э.В.Орловский, В.А.Вишняков,
В.М.Щурко, О.В.Герман и И.И.Поправ-
кин
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 1355977, кл. G 06 F 12/00, 1986.
Авторское свидетельство СССР
№ 1418711, кл. G 06 F 9/36, 1987.
(54) УСТРОЙСТВО АДРЕСАЦИИ ПАМЯТИ
(57) Изобретение относится к вычисли-
тельной технике и может быть исполь-
зовано в системах параллельной об-
работки информации. Целью изобре-
тения является расширение функциональ-

ных возможностей за счет обеспече-
ния параллельного доступа к блокам
упорядоченной информации переменной
длины. Устройство содержит группу уз-
лов запоминания информации группы,
причем в каждый узел входят блок па-
мяти, счетчик адреса, два элемента И
и элемент ИЛИ, магистраль, элементы
задержки, счетчик, дешифратор, эле-
менты ИЛИ, элемент И, сумматоры по мо-
дулю восемь, группу мультиплексо-
ров, группу регистров, триггер, мульт-
иплексор, блок микропрограммного
управления, накапливающий сумматор,
преобразователь двоичного кода в код
управления приращением счетчика адре-
са, группу триггеров. 1 ил.

Изобретение относится к вычисли-
тельной технике и может быть использо-
вано в системах параллельной обработ-
ки информации.

Целью изобретения является расшире-
ние функциональных возможностей за
счет обеспечения параллельного досту-
па к блокам упорядоченной информации
переменной длины.

На чертеже представлена функциональ-
ная схема предлагаемого устройства.

Устройство содержит узел 1_k запоми-
нания информации группы ($k=1,8$), блок
 2_k памяти группы, счетчик 3_k адреса
группы, элемент И 4_k группы, элемент
ИЛИ 5_k группы, элемент И 6_k группы,
магистраль 7 информационных и управля-
ющих сигналов, элемент 8 задержки,
счетчик 9, дешифратор 10, элемент ИЛИ
11, элемент И 12, элемент 13 задержки,

сумматор 14 по модулю восемь группы,
мультиплексоры 15_1-15_8 группы, регист-
ры 16_1-16_8 группы, триггеры 17_1-17_8
группы, элемент ИЛИ 18, триггер 19,
мультиплексор 20, блок 21 микро-
программного управления, накапливаю-
щий сумматор 22, преобразователь 23
двоичного кода в код управления при-
ращением счетчиков адреса. Преобра-
зователь 23 реализует преобразова-
ние двоичных кодов в соответствии
с таблицей и может быть выполнен
с использованием логических схем
(типа И-НЕ) или ПЗУ.

Цепи начальной установки сброса
устройства не показаны.

Устройство работает следующим
образом.

При чтении информации начальный
адрес с входа устройства поступает

(09) **SU** (11) **1575188** **A1**

на вход сумматора 22. Если в качестве адреса используется смещение относительно текущего адреса, то блок 21 выдает сигнал сложения (СЛЖ) для сложения поступившего смещения с текущим содержимым сумматора 22. Функционирование блока 21 связано с микропрограммой реализацией команды, поступающей на его первый вход. Старшие разряды (СТР.РАЗ) сформированного на сумматоре 22 адреса участвуют в определении порядкового номера байта в блоках памяти. При абсолютной адресации запись адреса в сумматоре производится сигналом записи (ЗПС). Полный адрес на сумматоре содержит две группы разрядов: СТР.РАЗ, соответствующую разрядам адреса, за исключением трех младших разрядов, и МЛД.РАЗ, включающих три младших разряда адреса. Разряды СТР.РАЗ записываются в счетчики 3 соответствующими управляющими сигналами Y_4, \dots, Y_{19} . Далее блок 21 выдает сигнал СЛ.А, который через элементы ИЛИ 5 поступает на входы увеличения на "1" содержимого счетчиков 3_1-3_7 . Этим обеспечивается вычисление точного порядкового номера байта в блоке при предложении, что этот байт является первым байтом считываемого блока информации. Допустим, что полный адрес блока информации есть 011111, а длина блока - 3 байта. Старшие разряды СТР.РАЗ здесь равны "011". В результате счетчики 3_1-3_7 будут хранить число "011" + "001" = "100", а счетчик 3_8 - "011". Дополнительное приращение содержимого счетчиков 3_1-3_8 связано с тем, что первый и второй байты считываемого блока информации являются четвертыми по порядку в соответствующих блоках памяти (седьмом и восьмом соответственно), а третий байт - пятым в блоке 2_4 памяти. Учет этого обстоятельства производит преобразователь 23, который в данном случае сформирует сигналы на выходе СЛ.7="0", СЛ.8="1"=СЛ.1. В итоге при подаче сигнала СЛ."0" на входы всех элементов И 4 к содержимому счетчиков $3_1, 3_8$ будет добавлена "1", как это требуется. Значения остальных счетчиков 3 в данном случае не важны. Далее блок 21 выдает сигнал чтения памяти (ЧТ.П) на все блоки памяти. Информационные байты с выходов блоков памяти поступают на входы мультиплексоров 15. Задача мультиплексоров - скоммутировать

считываемые байты так, чтобы байт с порядковым номером p в рассматриваемом информационном блоке (не смешивать с порядковым номером байта в блоке памяти) попал в регистр 16 p . Управление коммутацией реализуют сумматоры 14, выходы которых соответствуют номерам коммутируемых направлений (блоков памяти). В регистр 16 $_1$ всегда попадает первый байт считываемого блока, номер которого задается разрядами МЛД.РАЗ. В регистр 16 $_2$ коммутируется информация, считываемая из блока с номером МЛД.РАЗ+1 в регистр 16 $_3$ - из блока памяти с номером МЛД.РАЗ+2 и т.д.

Считываемая информация записывается в регистры 16 $_k$. Триггеры 17 $_1, \dots, 17_8$ указывают на наличие в одноименном регистре группы считанного байта в установленном состоянии и на отсутствие полезной информации в противном случае.

Мультиплексор 20 пропускает команду, если триггер 19 сброшен. В противном случае коммутируется нулевая константа. Высокий уровень на выходе триггера 19 поступает на выход признака готовности устройства и используется для синхронизации записи данных в команде записи.

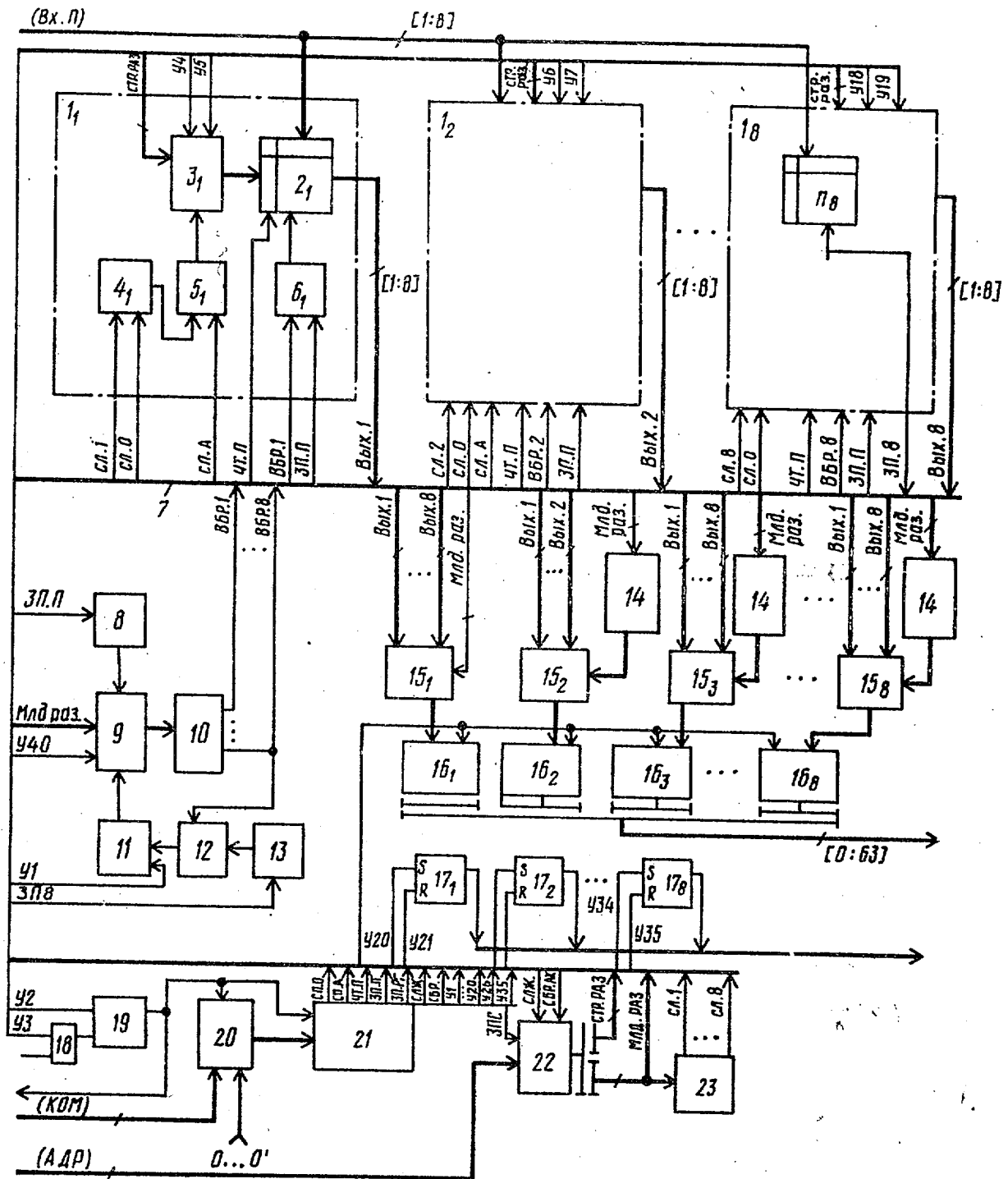
Команда записи информации выполняется следующим образом. На информационный вход устройства выставляется байт записываемого блока информации. Старшие разряды адреса записываются в счетчики 3 сигналами Y_4, \dots, Y_{19} . Далее блок 21 выдает сигнал СЛ.А, а затем СЛ.0. Этим достигается формирование порядковых номеров байтов в счетчиках 3 так же, как и в ранее описанной команде чтения. Параллельно с этим в счетчик 9 записывается номер блока памяти (МЛД.РАЗ) сигналом Y_{40} . Соответственно записанному номеру дешифратор 10 возбуждает выход ВБР $_k$, который разрешает прохождение сигнала записи ЗП.П через элемент И 6 $_k$ на вход управления записью блока памяти 2 $_k$. В случае, когда нужно записывать последовательно несколько байтов (не более восьми), дополнительно к описанному сигнал ЗП.П через элемент 8 поступает на счетный вход счетчика 9, увеличивая его содержимое на "1", т.е. определяя этим следующий по порядку блок памяти, используемый для записи. Сигналом Y_2 блок

21 устанавливает в "1" триггер 19. Выход триггера 19 при этом блокирует работу блока 21 и является признаком того, что на информационный вход устройства можно подавать очередной байт, параллельно сбросив триггер 19. Это обеспечит продолжение прерванной работы блока 21. Отметим, что сигнал записи ЗП.8 для блока 3₈ сбрасывает счетчик 9 через элемент 13 и элементы 12 и 11. Величины времен задержек элементов 8 и 13 должны выбираться равными времени записи в блок памяти.

Ф о р м у л а и з о б р е т е н и я

Устройство адресации памяти, содержащее группу регистров, два элемента ИЛИ, триггер, элемент И, счетчик, дешифратор, два элемента задержки, группу блоков памяти, две группы элементов И, причем выход счетчика подключен к входу дешифратора, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет обеспечения параллельного доступа к блокам упорядоченной информации переменной длины, в него введены группа элементов ИЛИ, группа счетчиков адреса, группа мультиплексоров, группа сумматоров по модулю восемь, группа триггеров, мультиплексор, блок микропрограммного управления, накапливающий сумматор и преобразователь двоичного кода в код управления приращением счетчиков адреса, причем вход кода команды устройства подключен к первому информационному входу мультиплексора, второй информационный вход, управляющий вход и выход которого подключены соответственно к входу логического нуля устройства, выходу триггера и входу кода команды блока микропрограммного управления, вход запуска устройства подключен к первому входу первого элемента ИЛИ, выход которого подключен к входу установки в "0" триггера, выход которого подключен к входу блокировки блока микропрограммного управления и к выходу признака готовности устройства, вход начального адреса устройства подключен к информационному входу накапливающего сумматора, выход старших разрядов которого подключен к информационным входам счетчиков адреса группы, выход К-го счетчика адреса

группы подключен к адресному входу К-го блока памяти группы ($K=1,8$), информационный вход которого подключен к информационному входу устройства, выход младших разрядов накапливающего сумматора подключен к информационному входу счетчика и к входу преобразователя двоичного кода в код управления приращением счетчиков адреса, К-й выход которого подключен к первому входу К-го элемента И первой группы, выход которого подключен к первому входу К-го элемента ИЛИ группы, выход которого подключен к счетному входу К-го счетчика адреса группы, выходы блоков памяти группы с первого по восьмой подключены соответственно к информационным входам мультиплексоров группы с первого по восьмой, выход младших разрядов накапливающего сумматора подключен к управляющему входу первого мультиплексора группы и к входам сумматоров по модулю восемь группы с первого по седьмой, выходы которых подключены соответственно к управляющим входам мультиплексоров группы с второго по восьмой, выход К-го мультиплексора группы подключен к информационному входу К-го регистра группы, выход которого подключен к К-му выходу устройства, выход К-го триггера группы подключен к К-му выходу индикации наличия информации устройства, выход К-го элемента И второй группы подключен к входу записи К-го блока памяти группы вход установки в "0" и счетный вход счетчика подключены соответственно к выходу второго элемента ИЛИ и к выходу первого элемента задержки, выход второго элемента задержки подключен к первому входу элемента И, выход которого подключен к первому входу второго элемента ИЛИ, К-й выход дешифратора подключен к первому входу К-го элемента И второй группы, восьмой выход дешифратора подключен к второму входу элемента И, выходы блока микропрограммного управления с первого по третий подключены соответственно к второму входу второго элемента ИЛИ, входу установки в "1" триггера, второму входу первого элемента ИЛИ, $(2K+2)$ -й и $(2K+3)$ -й выходы блока микропрограммного управления подключены соответственно к входу режима приема информации и входу режима счета К-го счетчика адреса группы,



Составитель М.Силин
 Редактор Ю.Середа Техред Л.Сердюкова Корректор Т.Палий

Заказ 1785 Тираж 565 Подписное

ВНИИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101