

ВЫДЕЛЕНИЕ ЛОГИЧЕСКОЙ КОМПОНЕНТЫ ПРИ ДЕКОМПИЛЯЦИИ ТРАНЗИСТОРНОЙ СХЕМЫ

Черемисинова Л. Д., Черемисинов Д. И.

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: {cld, cher}@newman.bas-net.by

Рассматривается задача, возникающая при восстановлении функционального описания цифровых устройств СБИС, представленных на транзисторном уровне. Предлагается метод и программное средство выделения компоненты, представляющей логическую сеть, из двухуровневого описания транзисторной схемы.

ВВЕДЕНИЕ

Основными инструментами автоматизированного проектирования и верификации современных СБИС, содержащих сотни миллионов транзисторов, стали средства декомпиляции транзисторных схем, которые позволяют построить иерархическое структурное описание на уровне логических элементов по плоскому структурному описанию схем на транзисторном уровне. В настоящей работе рассматривается задача формирования схемы, состоящей только из логических элементов, исходя из двухуровневого описания транзисторной схемы, полученной в результате декомпиляции СБИС [1].

Рассматривается наиболее распространенный стиль логики – логические комплементарные МОП-структуры. Предполагается, что декомпилированная схема может кроме распознанных КМОП элементов и передаточных логических элементов (pass gates), содержать также выделенные при декомпиляции псевдо элементы (нераспознанные как КМОП вентили), а также отдельные транзисторы.

Исходная транзисторная схема и полученная в результате декомпиляции двухуровневая транзисторная схема задаются в формате SPICE (Simulation Program with Integrated Circuit Emphasis). Главной частью описания схемы в этом формате является список транзисторов, в котором для каждого вывода транзистора (сток, затвор, исток, подложка) указано имя цепи, соединяющей его с остальной частью схемы.

I. ДЕКОМПИЛЯЦИЯ ТРАНЗИСТОРНЫХ СХЕМ

Декомпиляция плоского описания транзисторной схемы состоит из следующих этапов: 1) анализ исходного SPICE-описания, в процессе которого находятся передаточные логических элементы (pass gates) и строится графовое представление транзисторной схемы; 2) разбиение полученного помеченного графа на связные подграфы, которым соответствуют подсхемы из связанных по току транзисторов; 3) распознавание подсхем, реализующих КМОП вентили; 4) генерация двухуровневого SPICE-описания транзисторной схемы, второй уровень которого пред-

ставляют подсхемы из связанных по току транзисторов: логические и псевдо элементы; 5) выделение в двухуровневом SPICE-описании компонент, реализующих логические сети; 6) генерация трехуровневого SPICE-описания транзисторной схемы, в котором третий уровень представляют найденные логические компоненты.

II. ГРАФОВЫЕ МОДЕЛИ ОБЪЕКТОВ ДЕКОМПИЛЯЦИИ

Транзисторная схема в формате SPICE представляется помеченным неориентированным двудольным графом $G = (V_1, V_2, E)$, $V_1 \cap V_2 = \emptyset$. Вершины из V_1 соответствуют входам и выходам схемы, выводам транзисторов. Вершины из V_2 соответствуют цепям. Каждое ребро $e \in E$ связывает вершины из разных множеств V_1 и V_2 .

Логическая сеть дискретного устройства отражает его внутреннее строение с точностью до функций, реализуемых его элементами. В графовой интерпретации сети соответствует помеченный ориентированный граф $H = (W, A)$, где множество W разбито на три подмножества вершин, соответствующих входам, выходам сети и элементам. Каждая вершина из первых двух подмножеств помечена входным или выходным полюсом сети. Вершины из третьего подмножества помечены функциями, реализуемыми элементами сети.

Ориентированный граф $H = (W, A)$ логической сети строится, исходя из неориентированного графа $G = (V_1, V_2, E)$, описывающего двухуровневую транзисторную схему, путем извлечения из него связного подграфа, включающего только те вершины из V_1 , которые соответствуют логическим элементам. Так как помимо таких вершин в множестве V_1 могут быть и другие вершины, то извлекаемая логическая сеть в общем случае может описываться несколькими логическими компонентами, соответствующими непересекающимся связным графам $H_i = (W_i, A_i)$.

Предлагаемый метод позволяет выделить лексикографически ранжируемую логическую сеть. От нее производится переход к логическим

уравнениям, задающим функции, реализуемые на выходных полюсах логической компоненты.

III. ИЗВЛЕЧЕНИЕ ЛОГИЧЕСКОЙ СЕТИ ИЗ ДВУХУРОВНЕВОЙ ТРАНЗИСТОРНОЙ СХЕМЫ

Каждый граф, описывающий логическую компоненту $H = (W, A)$, получается из неориентированного связного подграфа $H^* = (W, E^*)$, соответствующего компоненте связности графа $G = (V_1, V_2, E) = (W, E^*)$, путем ориентации его ребер из E^* . Поиск очередной связной компоненты H^* в графе G начинается с любой нерассмотренной вершины, помеченной как логический элемент, и осуществляется в процессе обхода графа G по входящим и исходящим путям от вершин, помеченных как элементы (передаточные или КМОП вентили).

Метод поиска позволяет не только найти компоненту связности $H^* = (W, E^*)$, но и получить лексикографическое упорядочение ее вершин, учитывающее достижимость вершин друг из друга, и соответственно ранжировать граф по уровням. То есть, если вершина u непосредственно достижима из вершины v , то ребро $(u, v) \in E^*$ порождает дугу $(v, u) \in A$, и если вершина v принадлежит i -му рангу графа, то вершина u принадлежит $(i + 1)$ -у рангу.

Следующей задачей, связанной с выделением логической сети, является определение ее входных и выходных полюсов. Эта задача решается путем рассмотрения полукрестностей исхода Γ^+v и захода Γ^-v для всех вершин v графа $H = (W, A)$. Если для некоторой вершины $v \in W$ все вершины из ее $\Gamma^+v \cup \Gamma^-v$ помечены как элементы, то вершина v является внутренней. Вершины, не являющиеся внутренними, порождают входы или выходы логической сети, в зависимости от того, какое из множеств Γ^+v или Γ^-v содержит не внутреннюю вершину.

IV. ПРИМЕР ВЫДЕЛЕНИЯ ЛОГИЧЕСКОЙ СЕТИ

В качестве примера рассмотрим декомпиляцию транзисторной схемы полного одноразрядного зеркального сумматора (рис. 1).

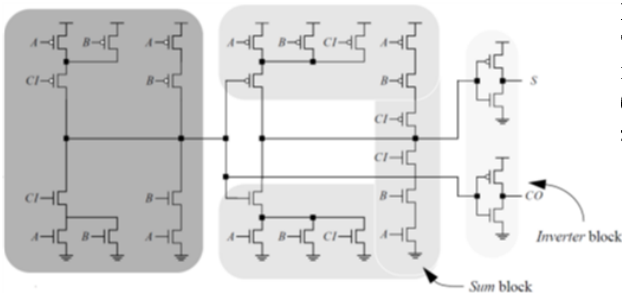


Рис. 1 – Схема зеркального сумматора

В результате декомпиляции этой транзисторной схемы обнаружено четыре группы тран-

зисторов, реализующих КМОП вентили: два вентиля из них являются инверторами, остальные реализуют функции:

$$\overline{A(B \vee C) \vee DE} \text{ и } \overline{ABC \vee G(D \vee E \vee F)}.$$

Результатом декомпиляции является следующее двухуровневое SPICE-описание транзисторной схемы сумматора:

```
*.SPICE .deck .for .cell .
adder .book .gen¶
.GLOBAL .vdd .gnd ¶
.SUBCKT .G0 .A .B .C .D .E .Y ¶
* . ( ( A .AND . ( B .OR . C ) ) .OR . ( D .
AND . E ) ) ¶
M1 .Y .A .2 .gnd .n¶
M2 .2 .B .gnd .gnd .n¶
M3 .2 .C .gnd .gnd .n¶
M4 .Y .D .4 .gnd .n¶
M5 .4 .E .gnd .gnd .n¶
M6 .vdd .B .6 .vdd .p¶
M7 .6 .A .Y .vdd .p¶
M8 .vdd .C .6 .vdd .p¶
M9 .vdd .E .7 .vdd .p¶
M10 .7 .D .Y .vdd .p¶
.ENDS¶
.SUBCKT .G1 .A .B .C .D .E .F .G .
Y .¶
* . ( ( A .AND . B .AND . C ) .OR . ( G .
AND . ( D .OR . E .OR . F ) ) ) ¶
M1 .Y .A .2 .gnd .n¶
M2 .2 .B .3 .gnd .n¶
M3 .3 .C .gnd .gnd .n¶
M4 .5 .D .gnd .gnd .n¶
M5 .5 .E .gnd .gnd .n¶
M6 .5 .F .gnd .gnd .n¶
M7 .Y .G .5 .gnd .n¶
M8 .vdd .C .7 .vdd .p¶
M9 .7 .G .Y .vdd .p¶
M10 .vdd .B .7 .vdd .p¶
M11 .vdd .A .7 .vdd .p¶
M12 .vdd .F .8 .vdd .p¶
M13 .8 .E .9 .vdd .p¶
M14 .9 .A .Y .vdd .p¶
.ENDS¶
.SUBCKT .G2 .A .Y .¶
* .A¶
M1 .Y .A .gnd .gnd .n¶
M2 .vdd .A .Y .vdd .p¶
.ENDS¶
.SUBCKT .C0 .P0 .P1 .P2 .O3 .O4¶
XM0I1 .P2 .P0 .P1 .P1 .P0 .
1 .G0¶
XM1I1 .P2 .P1 .P0 .P2 .P1 .
P0 .1 .2 .G1¶
XM2I1 .1 .O3 .G2¶
XM2I2 .2 .O4 .G2¶
.ENDS¶
.SUBCKT .adder .book .gen .A .
B .CI .CO .S .¶
XC0 .A .B .CI .CO .S .CO¶
.ENDS
```

Логическая сеть, извлеченная из двухуровневого SPICE-описания транзисторной схемы зеркального сумматора, приведена на рис. 2.

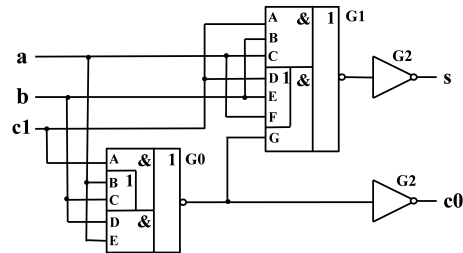


Рис. 2 – Логическая сеть сумматора

V. ЗАКЛЮЧЕНИЕ

Метод выделения логических компонент в двухуровневом SPICE-описании реализован в рамках программы декомпиляции, которая протестирована на ряде практических примеров и имеет достаточное быстродействие, чтобы обрабатывать схемы с более чем 500 тысячами транзисторов за несколько минут на персональной ЭВМ.

VI. СПИСОК ЛИТЕРАТУРЫ

1. Черемисинов, Д.И. Извлечение сети логических элементов из КМОП схемы транзисторного уровня / Д.И. Черемисинов, Л.Д. Черемисинова // Микроэлектроника. – № 3 (48). – 2019. – С. 224–234.
2. Weste, N.H.E. CMOS VLSI Design: A Circuits and Systems Perspective / N.H.E. Weste, D.M. Harris. – Boston: Pearson/Addison-Wesley, 2010. – 867 p.