



Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

МАШИНОСТРОИТЕЛЬНАЯ
БИБЛИОТЕКА ИБА

О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 504200

- (61) Дополнительное к авт. свид-ву -
(22) Заявлено 27.06.73 (21) 1940450/18-24
с присоединением заявки № -
(23) Приоритет -
(43) Опубликовано 25.02.76 Бюллетень № 7
(45) Дата опубликования описания 20.04.76

(51) М. Кл.²
G06F 5/02

(53) УДК
681.325.63
(088.8)⁹

(72) Авторы
изобретения

В. А. Вишняков и А. Т. Пешков

(71) Заявитель

Минский радиотехнический институт

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА В ДЕСЯТИЧНЫЙ

1

Изобретение касается вычислительной техники, где оно может использоваться в качестве одного из узлов устройства обработки и вывода данных.

Известен преобразователь двоичного кода в десятичный, содержащий тетраду, каждый разряд которой содержит триггер, входы которого соединены соответственно с двумя элементами задержки, входы которых в первом разряде соединены с выходами двух соответствующих вентилей, первые входы которых объединены и подключены к шине сдвига, а вторые входы подключены к двум входным шинам, причем в первом, втором и третьем разрядах единичный выход триггера через соответствующие неинверсные элементы И и первый элемент ИЛИ подключены ко входу первого элемента задержки, выход которого подключен к единичному входу триггера последующего разряда, нулевые входы триггера каждого из указанных разрядов через второй элемент И и второй элемент ИЛИ подключены ко входу второго элемента задержки, выход которого подключен к нулевому входу триггера пос-

2

ледующего разряда, другие входы первых и вторых элементов И соединены между собой.

Однако для этого преобразователя характерно низкое быстродействие.

Целью изобретения является повышение быстродействия преобразователя.

Для этого предложенный преобразователь содержит семь дополнительных элементов И, элемент ИЛИ и инвертор, причем первый вход первого дополнительного элемента И подключен к единичному выходу триггера первого разряда, второй вход - к единичному выходу триггера третьего разряда, выход первого дополнительного элемента И подключен к первому входу дополнительного элемента ИЛИ, ко второму входу которого подключен выход триггера четвертого разряда, а к третьему входу - выход второго дополнительного элемента И, входы которого соединены с единичными выходами триггеров второго и третьего разрядов, выход дополнительного элемента ИЛИ через инвертор подключен к первому входу третьего дополнительного элемента И, ко вто-

рому входу которого подключена шина сдвига, а его выход соединен с первыми и вторыми элементами И первого, второго и третьего разрядов, шина сдвига подключена к первым входам четвертого, пятого и седьмого дополнительных элементов И, ко второму и третьему входам четвертого дополнительного элемента И и подключены единичный выход триггера первого разряда и выход второго дополнительного элемента И, а выход четвертого дополнительного элемента И соединен со вторым входом второго элемента ИЛИ первого разряда, ко второму и третьему входам пятого дополнительного элемента И и подключены нулевой выход триггера первого разряда и единичный выход триггера четвертого разряда, а выход пятого дополнительного элемента И подключен ко вторым входам первого элемента ИЛИ первого и второго разрядов и ко второму входу второго элемента ИЛИ третьего разряда, ко второму и третьему входам шестого дополнительного элемента И и подключены выход второго дополнительного элемента И и нулевой выход триггера первого разряда, выход шестого дополнительного элемента И и подключен ко второму входу второго элемента ИЛИ второго разряда, ко второму и третьему входам седьмого дополнительного элемента И и подключены выходы первого дополнительного элемента И и нулевой выход триггера второго разряда, а выход седьмого дополнительного элемента И и подключен к третьему входу второго элемента ИЛИ второго разряда.

На чертеже показана одна тетрада предположенного преобразователя. На чертеже приняты следующие обозначения 1-4 - триггеры первого, второго, третьего и четвертого разрядов тетрады, 5-8 - первые элементы задержки первого, второго, третьего и четвертого разрядов тетрады, 9-12 - вторые элементы задержки первого, второго, третьего и четвертого разрядов тетрады, 13-15 - первые элементы И и первого, второго и третьего разрядов, 16-18 - вторые элементы И первого, второго и третьего разрядов, 19-20 - первые элементы ИЛИ первого и второго разрядов, 21-23 - вторые элементы ИЛИ первого, второго и третьего разрядов, 24-25 - вентили (элементы И), 26-32 - первый, второй, третий, четвертый, пятый, шестой и седьмой дополнительные элементы И, 33 - дополнительный элемент ИЛИ, 34 - инвертор и 35 - шина сдвига.

В исходном состоянии все триггеры тетрады находятся в нулевом состоянии. В процессе преобразования на триггер первого разряда 1 тетрады единич поступают парафазным кодом последовательно во времени двоичные разряды преобразуемого числа, начиная со старшего разряда. Поступление по сигналу на шину сдвига 35 очередного двоичного разряда на вход тетрады в зависимости от ее содержимого вызывает сдвиг кода тетрады в сторону старших разрядов или установку в тетраде определенного кода с выработкой переноса, поступающего парафазным кодом на вход соседней старшей тетрады.

Сигнал переноса Π вырабатывается в соответствии со следующим логическим выражением:

$$\Pi = a_4 \vee a_2 a_3 \vee a_3 a_1$$

где a_1, a_2, a_3, a_4 - значения в разрядах тетрады на момент поступления сигнала по шине сдвига.

Появление сигнала на выходе элемента ИЛИ 33 обеспечивает через элементы 34 и 28 блокировку поступления сигнала с шины сдвига разряды тетрады. Если в тетраде $a_1 a_2 a_3 = 1$, через элементы 27, 29, 21 и 10 обеспечивается перевод триггера 2 в нулевое состояние, если же $a_1 a_2 a_3 = 1$, по цепи из элементов 27, 31, 22, 11 осуществляется установка нулевого значения в триггере 3. Если в тетраде $a_1 a_2 a_3 = 1$, по цепи из элементов 26, 32, 22, 11 устанавливается нулевое значение в триггере 3, если $a_1 a_4 = 1$, по цепи из элементов 23, 12 устанавливается нулевое значение в триггере 4, а в триггерах 2 и 3 по сигналу с выхода элемента 27 по цепи из элементов 19,6 и 20,7 - '1'.

Таким образом, по поступлении сигнала сдвига в тетраде будет обеспечен сдвиг, если в ней был код, не превышающий 4. Если в тетраде на момент сдвига имеется один из кодов 0101, 0110, 0111, 1000, 1001, сдвиг запрещается, а в трех старших разрядах тетрады будет установлен один из кодов 000, 001, 010, 011, 100 соответственно. В младшем разряде тетрады всегда устанавливается значение, поступившее на ее вход.

В таблице приведена последовательность значений в тетрадах преобразователя при переводе в десятичный двоичный код.

N сигнала	Значения в тетрадах		
	3	2	1
0	0000	0000	0000
1	0000	0000	0001
2	0000	0000	0011
3	0000	0000	0110
4	0000	0001	0011
5	0000	0010	0110
6	0000	0101	0011
7	0001	0000	0111
8	0010	0001	0101
9	0110	0011	0000
10	1000	0110	0001

Формула изобретения

Преобразователь двоичного кода в десятичный, содержащий тетраду, каждый разряд которой содержит триггер, входы которого соединены соответственно с двумя элементами задержки, входы которых в первом разряде соединены с выходами двух соответствующих вентилей, первые входы которых объединены и подключены к шине сдвига, а вторые входы подключены к двум входным шинам, причем в первом, втором и третьем разрядах единичный выход триггера через соответствующие первый элемент И и первый элемент ИЛИ подключен ко входу первого элемента задержки, выход которого подключен к единичному входу триггера последующего разряда, нулевые выходы триггера каждого из указанных разрядов через второй элемент И и второй элемент ИЛИ подключены ко входу второго элемента задержки, выход которого подключен к нулевому входу триггера последующего разряда, другие входы первых и вторых элементов И соединены между собой, отличающийся тем, что, с целью увеличения быстродействия, он содержит семь дополнительных элементов И, элемент ИЛИ и инвертор, причем первый вход первого дополнительного элемента И подключен к единичному выходу триггера первого разряда, второй вход к единичному выходу триггера третьего разряда, выход первого дополнительного элемента И подключен к первому входу дополнительного элемента ИЛИ, ко второму входу которого подключен выход триггера четвертого разряда, а к третьему вхо-

ду - выход второго дополнительного элемента И, входы которого соединены с единичными выходами триггеров второго и третьего разрядов, выход дополнительного элемента ИЛИ через инвертор подключен к первому входу третьего дополнительного элемента И, ко второму входу второго подключена шина сдвига, а его выход соединен с первыми и вторыми элементами И первого, второго и третьего разрядов, шина сдвига подключена к первым входам четвертого, пятого, шестого и седьмого дополнительных элементов И, ко второму и третьему входам четвертого дополнительного элемента И подключены единичный выход триггера первого разряда и выход второго дополнительного элемента И, а выход четвертого дополнительного элемента И соединен со вторым входом второго элемента ИЛИ первого разряда, ко второму и третьему входам пятого дополнительного элемента И подключены нулевой выход триггера первого разряда и единичный выход триггера четвертого разряда, а выход пятого дополнительного элемента И подключен ко вторым входам первого элемента ИЛИ первого и второго разрядов и ко второму входу второго элемента ИЛИ третьего разряда, ко второму и третьему входам шестого дополнительного элемента И подключены выход второго дополнительного элемента И и нулевой выход триггера первого разряда, выход шестого дополнительного элемента И подключен ко второму входу второго элемента ИЛИ второго разряда, ко второму и третьему входу седьмого дополнительного элемента И подключены выходы первого дополнительного элемента И и нулевой выход