



Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 520583

(61) Доволятельное к авт. свид-ву -

(22) Заявлено 10.06.74 (21) 2033487/24

с присоединением заявки № -

(23) Приоритет -

(43) Опубликовано 05.07.76 Бюллетень № 25

(45) Дата опубликования описания 29.09.76

(51) М. Кл.⁷

G 06 F 5/02

(53) УДК 681.325

(088.8)

(72) Авторы
изобретения

В. А. Вишняков и А. Т. Пешков

(71) Заявитель

Минский радиотехнический институт



(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА В ДЕСЯТИЧНЫЙ

1

Изобретение относится к области вычислительной техники и может быть использовано в устройствах информации цифровой вычислительной машины.

Известен преобразователь двоичного кода в десятичный, содержащий набор тетрад по числу разрядов десятичного кода, каждая из которых содержит четырехразрядный регистр сдвига и дешифратор.

Недостатком известного устройства является его невысокое быстродействие.

Целью изобретения является повышение быстродействия.

Эта цель достигается за счет того, что в предложенном преобразователе в каждой тетраде вначале управляющие входы дешифраторов и четырехразрядного регистра сдвига соединены и подключены к первой входной шине, второй, третий и четвертый выходы дешифратора соединены со входами первого, второго и третьего разрядов регистра сдвига, входы всех разрядов которого соединены с соответствующими информационными входами дешифратора, второй управляющий вход которого соединен с четвертым выходом

2

дешифратора предыдущей тетрады. Пятый выход дешифратора соединен со вторым управляющим входом четырехразрядного регистра сдвига последующей тетрады, а шестой - с третьим управляющим входом четырехразрядного регистра сдвига той же тетрады.

Структурная схема предлагаемого устройства для n -разрядных десятичных чисел приведена на чертеже, где обозначены: четырехразрядные регистры $1_1 - 1_n$ сдвига тетрад, имеющие первый управляющий вход m , на который подается тактирующий сигнал, второй управляющий вход n , поступление сигнала на который обеспечивает установку значения в младшем (четвертом) разряде регистра сдвига, третий управляющий вход, сигнал на котором разрешает сдвиг содержимого тетрады на два разряда в сторону младших разрядов, выходы первого, второго, третьего и четвертого разрядов, а также входы первого, второго и третьего разрядов: дешифраторы тетрад $2_1, 2_2, \dots, 2_{(n+1)}$, каждый из которых имеет первый управляющий вход P , на который поступает тактирующий сигнал, второй управляющий вход z ,

четыре информационных входа \bar{a} , \bar{b} , \bar{c} и \bar{d} , подключенные к соответствующим выходам разрядов регистра сдвига этой же тетрады, первый А второй В и третий С выхода, подключенные к первому, второму и третьему входам четырехразрядного регистра сдвига этой же тетрады, четвертый выход, подключенный ко второму управляющему входу дешифратора соседней слева (старшей) тетрады, пятый выход, подключенный ко второму управляющему входу регистра сдвига этой же тетрады; первая входная линия 3, подключенная к первым входам дешифратора и четырехразрядных регистров сдвига всех тетрад, по которой подается тактирующий сигнал и регистр 4 исходного двоичного кода.

Устройство работает следующим образом.

В исходном состоянии во всех разрядах регистров сдвига тетрад устанавливается нулевой код, в регистре 4 — преобразуемый двоичный код. Преобразователь работает точно по сигналам шины и выполняет полное преобразование за $M/2$ тактов (где M — разрядность исходного двоичного числа).

В каждом такте в зависимости от сигналов на входах \bar{a} , \bar{b} , \bar{c} , \bar{d} , дешифраторы на своих выходах по сигналу на входе Р вырабатывают или сигнал разрешения сдвига на два разряда (сигнал на выходе К), или сигналы на выходах А, В, С для установки соответствующего кода в трех старших разрядах регистра той же тетрады. Кроме этого, дешифраторы вырабатывают на своих выходах сигналы переноса в соседнюю старшую тетраду (сигнал переноса "2" на выходе L и сигнал переноса "1" на выходе N).

Выработка сигналов на выходе дешифратора в зависимости от сигналов на его входах производится следующим образом. Если в регистре данной тетрады зафиксированы коды 0000, 0001, 0010 и в последнем случае нет переноса "2" из соседней младшей тетрады, то в данной тетраде разре-

шается сдвиг кода регистра на два разряда влево по сигналу на выходе К дешифратора. Если в тетраде зафиксированы коды 0011, 0100, 0101, 0110, 0111, 1000, 1001, то запрещается сдвиг в данной тетраде и происходит коррекция кода последней и формируются переносы в старшую тетраду. Запрет сдвига и коррекция кода регистра данной тетрады выполняется и тогда, когда на момент начала такта в регистре зафиксирован код 0010 и в данную тетраду происходит перенос "2" (сигнал на выходе дешифратора) из младшей тетрады.

В таблице 1 представлены выходные сигналы, формируемые дешифратором тетрады при различных комбинациях сигналов на его входе. При этом перенос "1" образуется при передаче десятка из данного десятичного разряда в старшей, перенос "2" образуется при передаче двух десятков, при передаче трех десятков из данного десятичного разряда образуются одновременно перенос "2" и перенос "1" в соседний разряд (сигналы с выходов L и N дешифратора данной тетрады, поступающие в соседнюю старшую тетраду).

При коррекции младший разряд регистра тетрады устанавливается в соответствующее состояние парафазным сигналом N, поступающим из соседней тетрады.

На основании приведенной таблицы можно составить следующие функции зависимости выходов дешифратора входных сигналов

$$A = a\bar{d}\bar{c} \vee b\bar{c}\bar{d} \vee b\bar{c}\bar{d}\bar{e}$$

$$B = a\bar{d}\bar{c} \vee a\bar{d}\bar{e} \vee b\bar{a}\bar{d}\bar{e} \vee \bar{a}\bar{b}\bar{d}\bar{e} \vee b\bar{c}\bar{d}$$

$$C = a\bar{d} \vee b\bar{c}\bar{d}\bar{e} \vee \bar{c}\bar{d}\bar{e} \vee b\bar{e} \vee b\bar{c}\bar{d}\bar{e}$$

$$L = a \vee b\bar{d} \vee b\bar{c}$$

$$N = b \vee \bar{c}\bar{d} \vee c\bar{d}\bar{e}$$

Для более наглядной иллюстрации работы преобразователя в таблице 2 приведены промежуточные значения в тетрадах преобразователя на отдельных тактах преобразования двоичного кода 101011011001₂ = 2777₁₀.

Таким образом после выполнения шести тактов будет преобразовано двенадцатизначное двоичное число.

Таблица 1

Входы дешифратора (аргументы)					Выходы дешифратора (функции)		
1					2		
a	b	c			A	B	C
0	0	1	1	0	0	0	1
0	1	0	0	0	0	1	1

1	2
0 1 0 1 0	0 0 0 0 1
0 1 1 0 0	0 1 0 0 1
0 1 1 1 0	1 0 0 0 1
1 0 0 0 0	0 0 1 1 1
1 0 0 1 0	0 1 1 1 1
0 0 1 0 1	0 0 0 0 1
0 0 1 1 1	0 1 0 1 0
0 1 0 0 1	1 0 0 1 0
0 1 0 1 1	0 0 1 0 1
0 1 1 0 1	0 1 1 0 1
0 1 1 1 1	0 0 0 1 1
1 0 0 0 1	0 1 0 1 1
1 0 0 1 1	1 0 0 1 1

Таблица 2

Такт	Тетрада				Двоичный код
	4-я	3-я	2-я	1-я	
0	0000	0000	0000	0000	101011011001
1	0000	0000	0000	0010	10110 11001
2	0000	0000	0001	0000	11011001
3	0000	0000	0100	0011	011001
4	0000	0001	0111	0011	1001
5	0000	0110	1001	0100	01
6	0010	0111	0111	0111	

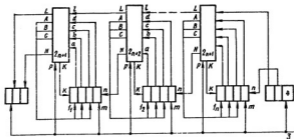
Формула изобретения

Преобразователь двоичного кода в десятичный, содержащий набор тетрад по числу разрядов десятичного кода, каждая из которых содержит четырехразрядный регистр сдвига и дешифратор, отличающийся тем, что, с целью повышения быстродействия, в каждой тетраде первые управляющие входы дешифратора и четырехразрядного регистра сдвига соединены и подключены к первой входной шине, первый, второй и третий выходы дешифратора соеди-

нены со входами первого, второго и третьего разрядов регистра сдвига, выходы всех разрядов которого соединены с соответствующими информационными входами дешифратора, второй управляющий вход которого соединен с четвертым выходом дешифратора предыдущей тетрады; пятый выход дешифратора соединен со вторым управляющим входом четырехразрядного регистра сдвига последующей тетрады; шестой выход дешифратора соединен с третьим управляющим входом четырехразрядного регистра сдвига той же тетрады,

50

55



Редактор Л. Утежина
 Составитель А. И. Шкагула
 Техред М. Ликонич Корректор А. Гриценко

Заказ 4379/204 Тираж 864 Подписное
 ШНИПИ Государственного комитета Совета Министров СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Физмат ЦНИИ "Патент", г. Ужгород, ул. Проектная, 4