



О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 590727

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 12.12.73 (21) 1980728/18-24

с присоединением заявки —

(23) Приоритет —

(43) Опубликовано 30.01.78. Бюллетень № 4

(45) Дата оубликования описания 20.01.78

(51) М.Кл.² G 06 F 5/02

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

А. Т. Пешков, В. А. Вишняков и В. Б. Сухомлинов

(71) Заявитель

Минский радиотехнический институт

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ

1

Изобретение относится к области вычислительной техники и может быть использовано в устройствах ввода цифровых вычислительных машин.

Известны преобразователи [1] двоично-десятичного кода в двоичный, использующие метод сдвига и коррекции. Недостатком этих устройств является большое время такта преобразования, равное времени сдвига плюс время коррекции.

Наиболее близким к изобретению является преобразователь кодов, содержащий n тетрад и $(n-1)$ дешифраторов (по одному дешифратору на тетраду, кроме старшей), тактовую шину, соединенную с управляющим входом старшего разряда старшей тетрады и первым входом каждого дешифратора. Недостатком устройства является невысокое быстродействие, обусловленное получением за один такт двоичной цифры [2].

Целью изобретения является повышение быстродействия преобразования. Указанная цель достигается тем, что в преобразователь введены триада и n -ый дешифратор, первый, второй, третий, четвертый и пятый входы которого подключены соответственно к тактовой шине, выходу младшего разряда $(n-1)$ -й тетрады, выходам двух младших разрядов n -й тетрады и к выходу старшего разряда триады; второй, третий, четвертый, пятый, шестой

2

входы каждого i -го ($i=1, 2, \dots, n-1$) дешифратора подключены соответственно к выходу младшего разряда $(i-2)$ -й тетрады, к выходам двух младших разрядов $(i-1)$ -й тетрады, к двум старшим разрядам i -й тетрады, а выходы i -го дешифратора подключены к разрядным входам всех, кроме старшей, тетрад; выходы двух младших разрядов триады являются информационными выходами преобразователя.

На чертеже представлена структурная схема предлагаемого преобразователя.

Он содержит n тетрад 1, n дешифраторов 2, триады 3.

Преобразователь работает следующим образом. В исходном состоянии в тетрадах зафиксирован двоично-десятичный код. Дешифратор каждой i -й тетрады расшифровывает код подаваемых на его входы сигналов, причем младший разряд $(i-2)$ -й тетрады подается с весом «5», младшие разряды $(i-1)$ -й тетрады с весом «+5» и «+2» соответственно, старшие разряды i -й тетрады — с весом «2» и «1» соответственно. Это обусловлено тем, что при сдвиге на 2 разряда вправо код каждого разряда уменьшается в 4 раза. Единица в младшем разряде $(i-2)$ -й тетрады имеет вес «100» по отношению к i -й тетраде, а после сдвига этот вес равен «25», поэтому «2» подается в $(i-1)$ -ю тетраду, а «5» — в

i -ю тетраду. Второй младший разряд $(i-1)$ -й тетрады имеет вес «20» по отношению к i -й тетраде. После сдвига этот вес равен «5», поэтому на дешифратор i -й тетрады подается код «5». Веса старших разрядов i -й тетрады равны соответственно «8» и «4», поэтому с учетом сдвига они подаются соответственно как «2» и «1» на входы дешифратора i -й тетрады.

По тактирующему сигналу во всех тетрадах устанавливается код, равный сумме кодов, поданных на входы соответствующих дешифраторов. На входы n -го дешифратора поступают коды двух младших разрядов n -ой тетрады с весами «2» и «1» и код младшего разряда $(n-1)$ -й тетрады с весом «2». Кроме

того, выход дополнительного триггера триады 3 подается на вход n -го дешифратора с весом «1». По тактирующему сигналу в триаде 3 устанавливается код, равный сумме кодов, поступивших на вход n -го дешифратора. Вес разряда дополнительного триггера равен «4». Очередная пара двоичного кода получается на выходе двух младших разрядов триады.

Работа преобразователя иллюстрируется таблицей 1, в которой приведена последовательность значений в отдельных тетрадах и в триаде при преобразовании десятичного числа $889=1000\ 1000\ 1001$. В старшей тетраде всегда происходит сдвиг на 2 разряда.

№ такта	Тетрада сотен	Тетрада десятков	Тетрада единиц	Триада			Выходной двоичный код
				$T_{доп.}$	T_1	T_2	
0	1000	1000	1001	0	0	0	01
1	0010	0010	0010	0	0	1	1001
2	0000	0101	0101	0	1	0	1001
3	0000	0001	0011	0	1	1	111001
4	0000	0000	0010	1	0	1	01111001
5	0000	0000	0000	0	1	1	1101111001

Результат в двоичном коде: $2^9 + 2^8 + 2^6 + 2^4 + 2^3 + 2^1 = 512 + 256 + 64 + 32 + 16 + 8 + 1 = 889$.

Предложенное устройство позволяет уменьшить длительность такта сдвига за счет исключения времени суммирования и сократить число тактов в два раза по сравнению с известными преобразователями.

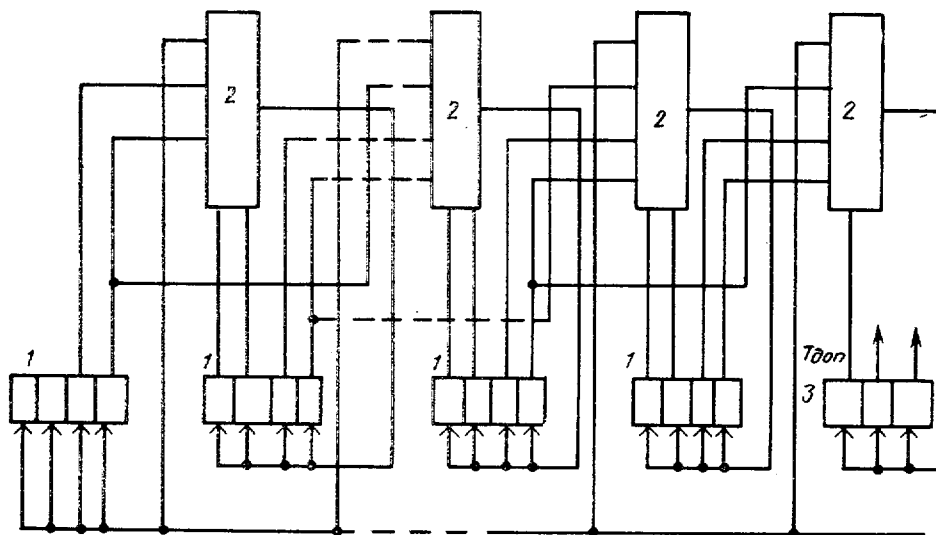
Формула изобретения

Преобразователь двоично-десятичного кода в двоичный, содержащий n тетрад и $(n-1)$ дешифраторов по одному на тетраду, кроме старшей, и тактовую шину, соединенную с управляющим входом старшего разряда старшей тетрады и первым входом каждого из $(n-1)$ дешифраторов, отличающийся тем, что, с целью повышения быстродействия преобразования, в него введены триада и n -й дешифратор, первый, второй, третий, четвертый и пятый входы которого подключены соответ-

ственно к тактовой шине, к выходу младшего разряда $(n-1)$ -й тетрады, к выходам двух младших разрядов n -й тетрады и к выходу старшего разряда триады; второй, третий, четвертый, пятый и шестой входы каждого i -го ($i=1, 2, \dots, n-1$) дешифратора подключены соответственно к выходу младшего разряда $(i-2)$ -й тетрады, к выходам двух младших разрядов $(i-1)$ -й тетрады и к двум старшим разрядам i -й тетрады, а выходы i -го дешифратора подключены к разрядным входам всех, кроме старшей, тетрад; выходы двух младших разрядов триады являются информационными выходами преобразователя.

Источники информации, принятые во внимание при экспертизе:

1. Авторское свидетельство СССР № 517890, G 06 F 5/02, 1976.
2. Авторское свидетельство СССР № 275522, G 06 F 5/02, 1969.



Составитель Н. Шелобанова

Редактор Н. Громов

Техред А. Камышникова

Корректор В. Гутман

Заказ 1011/2062

Изд. № 209

Тираж 818

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР
по делам изобретений и открытий
Москва, Ж-35, Раушская наб., д. 4/5

Тип. Харьк. фил. пред. «Патент»