

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



(19) **ВУ** (11) **9564**
(13) **С1**
(46) **2007.08.30**
(51) МПК (2006)
Н 03L 7/00

НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

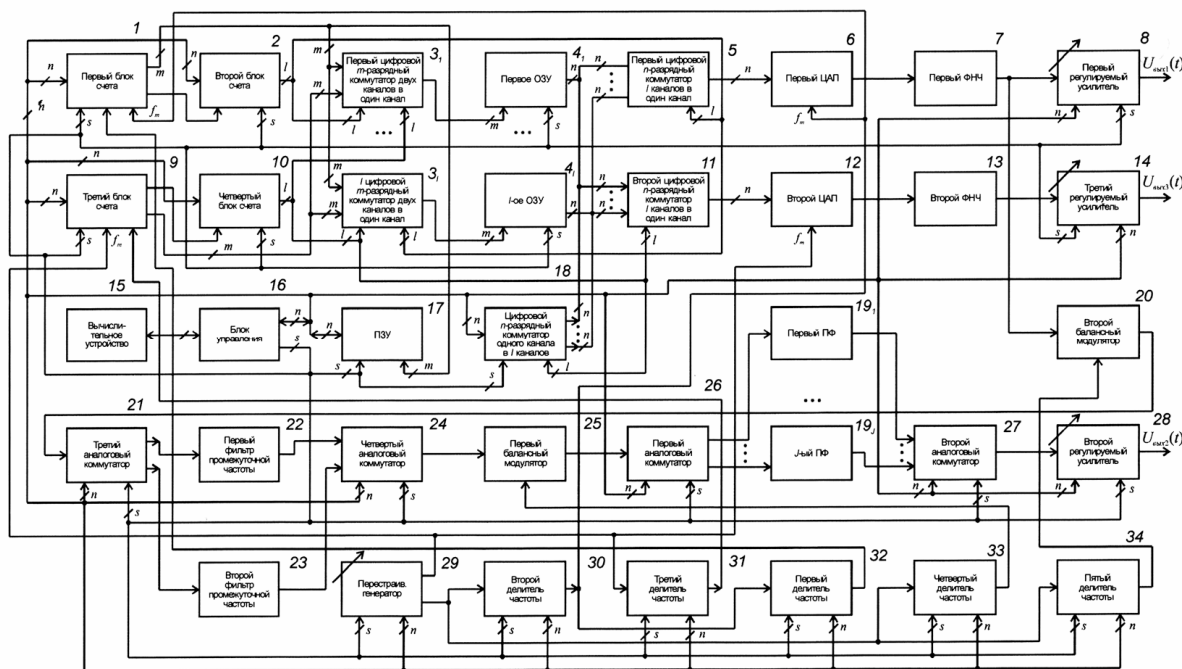
(54) **СИСТЕМА ГЕНЕРИРОВАНИЯ ЭЛЕКТРИЧЕСКИХ СИГНАЛОВ
В ШИРОКОМ ДИАПАЗОНЕ ЧАСТОТ**

(21) Номер заявки: а 20040837
(22) 2004.09.07
(43) 2006.04.30
(71) Заявитель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)
(72) Авторы: Ильинков Валерий Андреевич; Романов Вячеслав Евгеньевич; Беленкевич Наталья Ивановна (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)
(56) Шахгильдян В.В. и др. Радиопередающие устройства. - М.: Радио и связь, 1996. - С. 360-365, 526-531.
SU 1385238 A2, 1988.
SU 1415413 A1, 1988.
SU 1753578 A1, 1992.
GB 2372163 A, 2002.
US 5542113 A, 1996.

(57)

Система генерирования электрических сигналов в широком диапазоне частот, отличающаяся тем, что содержит первый блок счета, перестраиваемый генератор, первый делитель частоты, J полосовых фильтров, первое оперативное и постоянное запоминающие устройства, соединенные интерфейсной шиной блок управления и вычислительное устройство, последовательно соединенные первый цифро-аналоговый преобразователь, первый



Фиг. 3

ВУ 9564 С1 2007.08.30

ВУ 9564 С1 2007.08.30

фильтр нижних частот и первый регулируемый усилитель, последовательно соединенные первый балансный модулятор и первый аналоговый коммутатор и последовательно соединенные второй аналоговый коммутатор и второй регулируемый усилитель, причем блок управления своими n выходами данных соединен с соответствующими двунаправленными выводами данных постоянного запоминающего устройства и соответствующими входами данных первого блока счета, перестраиваемого генератора, первого делителя частоты, первого и второго аналоговых коммутаторов, первого и второго регулируемых усилителей, а своими s выходами управления - с соответствующими входами управления первого блока счета, первого оперативного и постоянного запоминающих устройств, первого и второго аналоговых коммутаторов, первого и второго регулируемых усилителей, первого делителя частоты и перестраиваемого генератора, первый делитель частоты счетным входом соединен со входом синхронизации первого цифро-аналогового преобразователя и счетным входом первого блока счета, а выходом - со входом установки последнего, каждый из J полосовых фильтров включен между соответствующим из J канальных выходов первого и соответствующим из J канальных входов второго аналоговых коммутаторов, m выходов данных первого блока счета соединены с соответствующими входами адреса постоянного запоминающего устройства, а выходы первого и второго регулируемых усилителей соединены соответственно с первым и вторым выходами системы; второй, третий и четвертый блоки счета, I цифровых m -разрядных коммутаторов двух каналов в один канал, $(I-1)$ оперативных запоминающих устройств, первый и второй цифровые n -разрядные коммутаторы I каналов в один канал, цифровой n -разрядный коммутатор одного канала в I каналов, второй цифро-аналоговый преобразователь, второй фильтр нижних частот, третий регулируемый усилитель, второй балансный модулятор, третий и четвертый аналоговые коммутаторы, первый и второй фильтры промежуточной частоты, второй, третий, четвертый и пятый делители частоты, при этом блок управления своими n двунаправленными выводами данных соединен с соответствующими входами данных второго, третьего и четвертого блоков счета, третьего и четвертого аналоговых коммутаторов, третьего регулируемого усилителя, цифрового n -разрядного коммутатора одного канала в I каналов, второго, третьего, четвертого и пятого делителей частоты, а своими s выходами управления - с соответствующими входами управления второго, третьего и четвертого блоков счета, третьего регулируемого усилителя, третьего и четвертого аналоговых коммутаторов, цифрового n -разрядного коммутатора одного канала в I каналов, $(I-1)$ оперативных запоминающих устройств, второго, третьего, четвертого и пятого делителей частоты, выходы переноса первого и третьего блоков счета соединены соответственно со счетными входами второго и четвертого блоков счета, I выходов данных второго блока счета соединены с соответствующими входами установки первого цифрового n -разрядного коммутатора I каналов в один канал и с соответствующими из I входов первой группы входов установки каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал, I выходов данных четвертого блока счета соединены с соответствующими входами установки цифрового n -разрядного коммутатора одного канала в I каналов, второго цифрового n -разрядного коммутатора I каналов в один канал и с соответствующими из I входов второй группы входов установки каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал, m выходов данных первого и m выходов данных третьего блоков счета соединены со входами соответственно первого и второго каналов каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал, выходы каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал соединены со входами адреса соответствующих из I оперативных запоминающих устройств, выходы каждого из каналов цифрового n -разрядного коммутатора одного канала в I каналов соединены с двунаправленными выводами данных, соответствующих из I оперативных запоминающих устройств и входами соответствующих каналов первого и второго цифровых n -разрядных коммутаторов I каналов в один канал, выходы которых соединены со

ВУ 9564 С1 2007.08.30

входами данных соответственно первого и второго цифро-аналоговых преобразователей, второй фильтр нижних частот включен между выходом второго цифро-аналогового преобразователя и сигнальным входом третьего регулируемого усилителя, соединенного выходом с третьим выходом системы, модулирующий, опорный входы и выход второго балансного модулятора соединены соответственно с выходом первого фильтра нижних частот, выходом пятого делителя частоты и входом третьего аналогового коммутатора, первый и второй выходы которого соответственно через первый и второй фильтры промежуточной частоты соединены соответственно с первым и вторым входами четвертого аналогового коммутатора, модулирующий и опорный входы первого балансного модулятора соединены соответственно с выходом четвертого аналогового коммутатора и выходом четвертого делителя частоты, счетный вход которого соединен со счетным входом пятого делителя частоты, первым выходом перестраиваемого генератора и счетным входом второго делителя частоты, соединенного выходом со счетным входом первого делителя частоты, второй выход перестраиваемого генератора соединен со счетным входом третьего блока счета, входом синхронизации второго цифро-аналогового преобразователя и счетным входом третьего делителя частоты, соединенного выходом со входом установки третьего блока счета.

Важной для радиоэлектроники, телекоммуникаций и измерительной техники является проблема генерирования электрических сигналов различной формы и разных видов модуляции в широком диапазоне несущих частот. На практике она решается с помощью известной системы генерирования электрических сигналов [1].

В известной системе формирование относительно низкочастотных сигналов осуществляется методом цифрового синтеза отсчетных значений с последующим их цифро-аналоговым преобразованием в полезный сигнал $U_{\text{ВЫХ1}}(t)$. Формирование высокочастотных модулированных сигналов $U_{\text{ВЫХ2}}(t)$ выполняется модуляцией сигналом $U_{\text{ВЫХ1}}(t)$ по тому или (и) иному параметру колебания неизменной промежуточной частоты и последующим переносом на несущую частоту с помощью опорного колебания с изменяемой (перестраиваемой) частотой.

Известная система генерирования электрических сигналов позволяет генерировать немодулированные и модулированные электрические сигналы в широком диапазоне частот. Однако она обладает следующими существенными недостатками: обеспечивает недостаточную для многих применений стабильность несущей частоты модулированных сигналов; имеет ограниченные функциональные возможности.

Для устранения отмеченных существенных недостатков известной системы предлагается следующая система генерирования электрических сигналов в широком диапазоне частот.

Задача изобретения - расширение функциональных возможностей и повышение стабильности несущей частоты генерируемых модулированных сигналов.

Система генерирования электрических сигналов в широком диапазоне частот, отличающаяся тем, что содержит первый блок счета, перестраиваемый генератор, первый делитель частоты, J полосовых фильтров, первое оперативное и постоянное запоминающие устройства, соединенные интерфейсной шиной блок управления и вычислительное устройство, последовательно соединенные первый цифро-аналоговый преобразователь, первый фильтр нижних частот и первый регулируемый усилитель, последовательно соединенные первый балансный модулятор и первый аналоговый коммутатор и последовательно соединенные второй аналоговый коммутатор и второй регулируемый усилитель, причем блок управления своими n выходами данных соединен с соответствующими двунаправленными выводами данных постоянного запоминающего устройства и соответствующими входами данных первого блока счета, перестраиваемого генератора, первого делителя частоты, первого и второго аналоговых коммутаторов, первого и второго регулируемых уси-

ВУ 9564 С1 2007.08.30

лителей, а своими с выходами управления - с соответствующими входами управления первого блока счета, первого оперативного и постоянного запоминающих устройств, первого и второго аналоговых коммутаторов, первого и второго регулируемых усилителей, первого делителя частоты и перестраиваемого генератора, первый делитель частоты счетным входом соединен со входом синхронизации первого цифро-аналогового преобразователя и счетным входом первого блока счета, а выходом - со входом установки последнего, каждый из J полосовых фильтров включен между соответствующим из J канальных выходов первого и соответствующим из J канальных входов второго аналоговых коммутаторов, m выходов данных первого блока счета соединены с соответствующими входами адреса постоянного запоминающего устройства, а выходы первого и второго регулируемых усилителей соединены соответственно с первым и вторым выходами системы; второй, третий и четвертый блоки счета, I цифровых m -разрядных коммутаторов двух каналов в один канал, $(I-1)$ оперативных запоминающих устройств, первый и второй цифровые n -разрядные коммутаторы I каналов в один канал, цифровой n -разрядный коммутатор одного канала в I каналов, второй цифро-аналоговый преобразователь, второй фильтр нижних частот, третий регулируемый усилитель, второй балансный модулятор, третий и четвертый аналоговые коммутаторы, первый и второй фильтры промежуточной частоты, второй, третий, четвертый и пятый делители частоты, при этом блок управления своими n двунаправленными выводами данных соединен с соответствующими входами данных второго, третьего и четвертого блоков счета, третьего и четвертого аналоговых коммутаторов, третьего регулируемого усилителя, цифрового n -разрядного коммутатора одного канала в I каналов, второго, третьего, четвертого и пятого делителей частоты, а своими с выходами управления - с соответствующими входами управления второго, третьего и четвертого блоков счета, третьего регулируемого усилителя, третьего и четвертого аналоговых коммутаторов, цифрового n -разрядного коммутатора одного канала в I каналов, $(I-1)$ оперативных запоминающих устройств, второго, третьего, четвертого и пятого делителей частоты, выходы переноса первого и третьего блоков счета соединены соответственно со счетными входами второго и четвертого блоков счета, I выходов данных второго блока счета соединены с соответствующими входами установки первого цифрового n -разрядного коммутатора I каналов в один канал и соответствующими из I входов первой группы входов установки каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал, I выходов данных четвертого блока счета соединены с соответствующими входами установки цифрового n -разрядного коммутатора одного канала в I каналов, второго цифрового n -разрядного коммутатора I каналов в один канал и с соответствующими из I входов второй группы входов установки каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал, m выходов данных первого и m выходов данных третьего блоков счета соединены со входами соответственно первого и второго каналов каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал, выходы каждого из I цифровых m -разрядных коммутаторов двух каналов в один канал соединены со входами адреса соответствующих из I оперативных запоминающих устройств, выходы каждого из каналов цифрового n -разрядного коммутатора одного канала в I каналов соединены с двунаправленными выводами данных? соответствующих из I оперативных запоминающих устройств и входами соответствующих каналов первого и второго цифровых n -разрядных коммутаторов I каналов в один канал, выходы которых соединены со входами данных соответственно первого и второго цифро-аналоговых преобразователей, второй фильтр нижних частот включен между выходом второго цифро-аналогового преобразователя и сигнальным входом третьего регулируемого усилителя, соединенного выходом с третьим выходом системы, модулирующий, опорный входы и выход второго балансного модулятора соединены соответственно с выходом первого фильтра нижних частот, выходом пятого делителя частоты и входом третьего аналогового коммутатора, первый и второй выходы которого соответственно через первый и второй фильтры промежуточной частоты соединены соответственно с первым и вторым входами четвертого аналогового

ВУ 9564 С1 2007.08.30

коммутатора, модулирующий и опорный входы первого балансного модулятора соединены соответственно с выходом четвертого аналогового коммутатора и выходом четвертого делителя частоты, счетный вход которого соединен со счетным входом пятого делителя частоты, первым выходом перестраиваемого генератора и счетным входом второго делителя частоты, соединенного выходом со счетным входом первого делителя частоты, второй выход перестраиваемого генератора соединен со счетным входом третьего блока счета, входом синхронизации второго цифро-аналогового преобразователя и счетным входом третьего делителя частоты, соединенного выходом со входом установки третьего блока счета.

На фиг. 1 приведен синтезируемый аналоговый сигнал, на фиг. 2 - модулированный сигнал вспомогательной промежуточной частоты, на фиг. 3 - структурная схема предлагаемой системы генерирования, на фиг. 4 - спектры мощностей сигналов и АЧХ функциональных звеньев, поясняющие работу предлагаемой системы.

Структурная схема предлагаемой системы генерирования содержит в себе (фиг. 3) первый 1, второй 2, третий 9 и четвертый 10 блоки счета, первый 3₁, второй 3₂,..., I-ый 3_I цифровые m-разрядные коммутаторы двух каналов в один канал, первое 4₁, второе 4₂,..., I-ое 4_I ОЗУ, первый 5 и второй 11 цифровые n-разрядные коммутаторы I каналов в один канал, первый 6 и второй 12 ЦАП, первый 7 и второй 13 ФНЧ, первый 8, второй 28 и третий 14 регулируемые усилители, вычислительное устройство 15, блок 16 управления, ПЗУ 17, цифровой n-разрядный коммутатор 18 одного канала в I каналов, первый 19₁, второй 19₂,..., J-ый 19_J ПФ, первый 25 и второй 20 балансные модуляторы, первый 26, второй 27, третий 21 и четвертый 24 аналоговые коммутаторы, первый 22 и второй 23 фильтры промежуточной частоты, перестраиваемый генератор 29, первый 32, второй 30, третий 31, четвертый 33 и пятый 34 делители частоты.

Как и в известной системе, в предлагаемой системе генерирования вычислительное устройство 15 связано с блоком 16 управления интерфейсной шиной, представляющей совокупность трех информационных шин: двунаправленной шины данных, шины управления и шины сигналов состояния. С помощью сигналов шины управления и шины сигналов состояния по шине данных из вычислительного устройства в блок управления и (через него) в другие функциональные блоки (в прямом направлении), а также из блока управления в вычислительное устройство (в обратном направлении) передаются необходимые данные. Блок 16 управления, помимо интерфейсной шины, связывающей его с вычислительным устройством 15, имеет еще две информационные шины: s-разрядную шину управления и n-разрядную шину данных (см. фиг. 3). С помощью сигналов шины управления по шине данных из него в блоки 1, 2, 8-10, 14, 17, 21, 24, 26-34 заносятся необходимые числовые данные. Для их приема и хранения каждый из перечисленных функциональных блоков имеет в своем составе параллельный регистр. Дополнительно блок 16 управления содержит полноценные поле набора, поле индикации, другие необходимые блоки, что при выполнении системы по варианту с отдельным модулем генерирования сигналов обеспечивает возможность ее работы в автономном режиме.

Первый блок 1 счета построен на основе m-разрядного двоичного счетчика с максимальным коэффициентом счета $K_m = 2^m$ и m-разрядного параллельного регистра. Он является формирователем адресов данных, считываемых из ОЗУ 4₁-4_I и ПЗУ 17 либо записываемых в эти устройства. Под действием непрерывной последовательности тактовых (счетных) импульсов, подаваемых на счетный вход блока счета, числовое значение, вырабатываемое в двоичном коде на его m выходах данных, циклически изменяется, последовательно принимая в каждом цикле Y соседних значений числовой последовательности 0,1,2,...,2^m-1,0,1,...,2^m-1,0,1,... (в цикле число с номером 1 имеет значение M₁, число с номером Y - значение M_Y). Значение M₁ можно устанавливать произвольно из условия $0 \leq M_1 \leq 2^m - 1$, что обеспечивается занесением (через входы данных) в упомянутый параллельный регистр блока счета числового значения M₁. В конце каждого цикла двоичный счетчик импульсами установки, подаваемыми на вход установки блока счета, принудит-

ВУ 9564 С1 2007.08.30

тельно переводится из состояния с числовым значением M_Y в состояние со значением M_1 . Длина цикла Y ($1 \leq Y \leq 2^m$) является варьируемой и определяется отношением частот повторений тактовых импульсов и импульсов установки. При каждом переходе двоичного счетчика из состояния M_Y в состояние M_1 на выходе переноса блока 1 счета вырабатывается короткий импульс переноса, подаваемый на счетный вход второго блока 2 счета. Третий 9 блок счета является формирователем адресов данных, считываемых из (записываемых в) ОЗУ 4_1-4_1 . Его построение и функционирование такие же, как первого 1 блока счета. Второй 2 и четвертый 10 блоки счета предназначены для управления цифровыми коммутаторами 3_1-3_1 , 5, 11 и 18. Каждый из блоков 2 и 10, реализованный на основе 1-разрядного двоичного счетчика с максимальным коэффициентом счета $K_1 = 2^1$, работает в трех режимах: записи и хранения; циклического счета; нейтральном. Выбор режима осуществляется сигналами управления, подаваемыми на их s входов управления. В режиме циклического счета под действием непрерывной последовательности импульсов переноса, подаваемых на счетный вход блока 2 (10), числовое значение на его 1 выходах данных циклически изменяется (через единицу) в пределах от 0 до 2^1-1 . В режиме записи и хранения в блок счета 2(10) записывается (через входы данных), хранится и присутствует на выходах данных числовое значение N_2 (N_{10}). При этом $0 \leq N_{2(10)} \leq 2^1-1$, а $N_2 \neq N_{10}$, т.е. одновременное наличие одинаковых значений на выходах блоков 2 и 10 - невозможное состояние. В нейтральном режиме (в так называемом третьем состоянии) обеспечивается высокое значение выходного сопротивления на всех выходах данных, что эквивалентно их отключению.

Каждый из 3_1-3_1 цифровых коммутаторов имеет m входов первого и m входов второго каналов, соединенных с выходами данных соответственно первого 1 и третьего 9 блоков счета, а также 1 вход первой и 1 вход второй групп входов установки, которые подключены к выходам данных соответственно второго 2 и четвертого 10 блоков счета. При этом коммутатор 3_k ($1 \leq k \leq I$) пропускает на свои выходы цифровые данные со входов первого (второго) каналов только тогда, когда на 1 входы первой (второй) группы его входов установки присутствует числовое значение (в двоичном коде), равное $(k-1)$. Цифровой n -разрядный коммутатор 18 одного канала в I каналов содержит n входов данных, S входов управления, 1 вход установки, I n -разрядных канальных выходов и работает в двух режимах: коммутации; нейтральном. В режиме коммутации он передает входные данные на выходы k -го канала, если на входы установки подан двоичный код, соответствующий значению $(k-1)$. В нейтральном режиме цифровые данные через коммутатор не проходят и на всех его выходах реализуется высокое значение выходного сопротивления, что обеспечивает нормальное функционирование ОЗУ. Выбор режима осуществляется сигналами управления, подаваемыми на s входов управления коммутатора 18. Первый 5 и второй 11 цифровые n -разрядные коммутаторы I каналов в один канал имеют I n -разрядных канальных входов, 1 вход установки и n выходов. В любой момент времени через коммутатор 5(11) проходят данные с одного из I канальных входов, например с требуемого k -го ($1 \leq k \leq I$), для чего на входы установки необходимо подать в двоичном коде числовое значение $(k-1)$ (см. фиг. 3).

ПЗУ 17 своими n двунаправленными выводами данных, s входами управления и m входами адреса подключено к соответствующим выводам шины данных и шины управления блока 16 управления и выходам данных блока 1 счета. Оно имеет максимальный размер адресного пространства и максимальный объем памяти соответственно 2^m адресов и $(2^m \cdot n)$ бит, что обеспечивает одновременное хранение отсчетных значений нескольких сигналов. Выбор необходимой области памяти для записи (считывания) отсчетных значений конкретного сигнала достигается занесением в параллельный регистр блока 1 счета адреса M_1 и заданием длины Y цикла. ПЗУ 17 работает в трех режимах: записи; считывания; нейтральном (в третьем состоянии).

В предлагаемой системе ОЗУ выполнено в виде I самостоятельных устройств (ОЗУ 4_1-4_1) с независимым друг от друга доступом к ячейкам памяти, что необходимо при одновремен-

ном формировании двух смещенных по времени (фазе) сигналов $U_{M1}(t)$ и $U_{M1}(t-\tau)$. Каждое из ОЗУ 4₁-4₁ посредством блоков 2, 10 и 3₁-3₁ может подключаться к обоим формирователям адресов - блокам 1 и 9 счета - и иметь такие же, как и ПЗУ 17, максимальный размер адресного пространства и максимальный объем памяти. При использовании последнего суммарный максимальный объем памяти всех ОЗУ превысит максимальный объем памяти ПЗУ 17 в I раз, что соответствует лишь частичной (на $100/I$ %) загрузке ОЗУ в автономном режиме работы системы генерирования. Поэтому целесообразно общее количество I ОЗУ, а также максимальный размер адресного пространства и максимальный объем памяти каждого из них выбирать соответственно равными $I = 2^1, 2^{m-1}$ и $(2^{m-1} \cdot n)$. Тогда суммарный максимальный объем памяти всех ОЗУ 4₁-4₁ будет равен максимальному объему памяти ПЗУ 17, а при доступе к ячейкам памяти ОЗУ на выходах первого 1 и третьего 9 блоков счета будут изменяться состояния только младших $(m-1)$ разрядов. ОЗУ, как и ПЗУ, работает в трех режимах: записи; считывания; нейтральном.

Первый 8, второй 28 и третий 14 регулируемые усилители выполняют функцию усиления и регулирования уровня. Для установки требуемых уровней выходных сигналов в их n -разрядные параллельные регистры из вычислительного устройства 15 (блока управления 16) по шине данных с помощью сигналов шины управления заносятся соответствующие числовые значения. Первый аналоговый коммутатор 26 представляет собой устройство, коммутирующее входной сигнал на требуемый k -й ($1 \leq k \leq J$) каналный выход, а второй аналоговый коммутатор 27 - устройство, передающее на свой выход сигнал с k -го каналного входа. Третий 21 и четвертый 24 аналоговые коммутаторы, являясь двухканальными, выполняют функции, аналогичные соответственно коммутаторам 26 и 27.

Перестраиваемый генератор 29 представляет собой синтезатор стабильных колебаний в широком диапазоне частот, построенный на основе управляемого напряжением генератора, генератора опорного колебания, фазового детектора и четырех делителей частоты с переменными коэффициентами деления. Он формирует на своих первом и втором выходах стабильные колебания на частотах соответственно f_1 и f_2 . Эти частоты, благодаря такой структуре синтезатора, могут быть одинаковыми ($f_1 = f_2$), кратными (отличаться в целое количество раз) либо некратными. Выбор требуемых значений частот колебаний на выходах перестраиваемого генератора 29 обеспечивается занесением с помощью сигналов шины управления по шине данных необходимых значений коэффициентов деления упомянутых четырех делителей частоты, входящих в перестраиваемый генератор.

Предлагаемая система генерирования электрических сигналов имеет два режима работы: режим записи; режим генерирования. В режиме записи вычислительное устройство 15 вычисляет Y n -разрядных значений цифрового сигнала $U_{Ц}(t)$, соответствующих отсчетным значениям $U_M(t_i)$ синтезируемого аналогового сигнала $U_M(t)$ на P периодах T_M его повторения (фиг. 1). С помощью сигналов шины управления по шине данных из вычислительного устройства 15 через блок управления 16 передается и записывается в параллельный регистр первого 1 блока счета значение M_1 - граничное значение адресов области памяти ПЗУ 17, отводимой для хранения цифровых данных сигнала $U_{Ц}(t)$. Далее сигналами управления ПЗУ переводится в режим записи, после чего с помощью серии из Y тактовых импульсов и других управляющих сигналов, подаваемых по шине управления в первый блок счета, в ПЗУ 17 записываются Y n -разрядных значений цифрового сигнала $U_{Ц}(t)$. В процессе записи числовое значение на m выходах данных блока 1 счета последовательно принимает Y соседних значений в пределах от M_1 до M_Y . На каждом i -м из Y тактов записи оно задает адрес группы из n ячеек памяти, в которые на этом же такте записывается соответствующее n -разрядное значение сигнала $U_{Ц}(t)$, подаваемое из вычислительного устройства 15 по шине данных на двунаправленные выходы ПЗУ 17. Аналогично осуществляется запись цифровых данных остальных сигналов $U_M(t)$, выбирая для каждого из них свое адресное значение M_1 и (при необходимости) свое значение Y . После ее выполнения ПЗУ 17, а также блоки 2 и 10 счета, ОЗУ 4₁-4₁ и цифровой коммутатор 18 переводятся в нейтральный режим. Режим записи всей системы генерирования заканчивается.

ВУ 9564 С1 2007.08.30

В режиме генерирования вначале сигналами шины управления блок 10 счета переводится в режим записи и хранения, коммутатор 18 - в режим коммутации, ОЗУ 4_k (например, первое 4_1) - в режим записи, а ПЗУ 17 - в режим считывания информации. С помощью сигналов шины управления в параллельные регистры первого 1, третьего 9 и четвертого 10 блоков счета записываются значения соответственно $M_{ПЗУ}$ - граничное значение адресов области памяти ПЗУ 17, где хранятся цифровые данные выбранного сигнала $U_{M1}(t)$, $M_{ОЗУ}$ - граничное значение адресов области памяти ОЗУ 4_k , отводимой для хранения считываемых из ПЗУ данных, и N_{10} - адресное значение ОЗУ 4_k , при котором коммутатор 3_k пропускает на свои выходы цифровые данные со входов второго канала, подключая тем самым m выходов данных блока 9 счета ко входам адреса ОЗУ 4_k , а коммутатор 18 передает входные данные на выходы k -го канала (соединяет двунаправленные выводы данных ПЗУ 17 и соответствующие двунаправленные выводы данных выбранного ОЗУ 4_k). Далее с помощью серии из Y тактовых импульсов и других управляющих сигналов, подаваемых по шине управления в блоки 1, 4_k , 9 и 17, в ОЗУ 4_k (из ПЗУ 17) записываются Y n -разрядных цифровых данных сигнала $U_{M1}(t)$. В процессе записи числовое значение на выходах данных первого 1 блока счета последовательно принимает Y соседних значений в пределах от $M_{ПЗУ}$ до $M_{УПЗУ}$, а значение на выходах данных третьего 9 блока счета - в пределах от $M_{ОЗУ}$ до $M_{УОЗУ}$. На каждом i -м из Y тактов записи они задают соответственно адрес группы из n ячеек памяти ПЗУ, из которых считывается n -разрядное значение сигнала $U_{M1}(t)$ и адрес группы из n ячеек памяти ОЗУ, в которые это значение, поступая через коммутатор 18, записывается. Предлагаемая система обеспечивает возможность одновременного формирования прямым цифровым синтезом двух сигналов $U_{M1}(t)$ и $U_{M2}(t)$. В случае такой необходимости в описанной последовательности выполняется запись в ОЗУ 4_q ($1 \leq q \leq I$, $q \neq k$) цифровых данных второго сигнала $U_{M2}(t)$, задавая для него свои адресные значения $M_{ПЗУ}$, $M_{ОЗУ}$, N_{10} и свою длину цикла Y .

После записи данных в ОЗУ сигналами шины управления ПЗУ 17 и коммутатор 18 переводятся в нейтральный режим, ОЗУ 4_k и 4_q - в режим считывания, блок 2 счета - в режим записи и хранения (блок 10 находится в этом режиме). Для определенности предположим, что первый $U_{M1}(t)$ из синтезируемых сигналов формируется на первом, а второй $U_{M2}(t)$ - на третьем выходах предлагаемой системы (можно наоборот: $U_{M1}(t)$ - на третьем, $U_{M2}(t)$ - на первом). В соответствии с этим сигналами управления по шине данных в блоки 2 и 1 счета записываются соответственно адресное значение N_2 ОЗУ 4_k и граничное значение $M_{ОЗУ}$ адресов его области памяти, где хранятся цифровые данные сигнала $U_{M1}(t)$, в блоки 10 и 9 счета - соответственно адресное значение ОЗУ 4_q и граничное значение адресов его области памяти, где хранятся цифровые данные сигнала $U_{M2}(t)$, в перестраиваемый генератор 29 и делители 30-32 частоты - данные, устанавливающие необходимые при формировании сигналов $U_{M1}(t)$ и $U_{M2}(t)$ значения тактовых частот f_{T1} , f_{T2} и длин циклов Y_1 и Y_2 , после чего блоки 1 и 9 счета переводятся в режим непрерывного (циклического) счета тактовых импульсов, поступающих на их счетные входы.

Делением частоты колебаний с первого выхода перестраиваемого генератора 29 образуется непрерывная последовательность импульсов, поступающих с тактовой частотой f_T на счетный вход блока 1 счета. На вход установки последнего с выхода первого 32 делителя частоты подаются импульсы установки, следующие с частотой f_{T1}/Y_1 (тактовая частота $f_T = 1/T_T = Y/(PT_M)$ выбирается с запасом по условию $f_T \geq (2,5-3,0)F_{МВ}$, где P , Y - целые числа, $F_{МВ}$ - верхняя граничная частота спектра сигнала $U_M(t)$). В результате из ОЗУ 4_k циклически считываются n -разрядные значения цифрового сигнала $U_{Ц1}(t)$, соответствующие отсчетным значениям $U_{M1}(t_i)$ аналогового сигнала $U_{M1}(t)$ на P_1 периодах T_{M1} его повторения. Они проходят через цифровой коммутатор 5 и с помощью ЦАП 6, управляемого по входу синхронизации тактовыми импульсами, и ФНЧ 7 с АЧХ $K_M(f)$ преобразуются в аналоговый сигнал $U_{M1}(t)$ с амплитудным спектром $A_M(f)$ (см. фиг. 1). Этот сигнал в усилителе 8 усиливается и регулируется (нормируется) по уровню, тем самым превращаясь в

ВУ 9564 С1 2007.08.30

сигнал $U_{\text{ВЫХ1}}(t)$ на первом выходе системы генерирования. Аналогично, под действием тактовых импульсов с частотой f_{T2} и импульсов установки с частотой f_{T2}/Y_2 , снимаемых со второго выхода генератора 29 и выхода третьего 31 делителя частоты и подаваемых соответственно на счетный вход и вход установки третьего 9 блока счета, из ОЗУ 4_q циклически считываются n -разрядные значения цифрового сигнала $U_{\text{Ц1}}(t)$, преобразуемые ЦАП 12 и ФНЧ 13 в аналоговый сигнал $U_{M2}(t)$, который после усиления и регулирования (в усилителе 14) превращается в сигнал $U_{\text{ВЫХ3}}(t)$ на третьем выходе системы. Как показано выше, генератор 29 может формировать на своих выходах колебания кратных и некратных частот, что обеспечивает возможность одновременного синтеза двух сигналов $U_{\text{ВЫХ1}}(t)$ и $U_{\text{ВЫХ3}}(t)$ различной формы и разных (в общем случае некратных) периодов (частот) повторения.

Предлагаемая система обеспечивает возможность одновременного формирования двух одинаковых сдвинутых по времени (фазе) сигналов $U_{M1}(t)$ и $U_{M2}(t) = U_{M1}(t-\tau)$. Для реализации этой возможности количество Y_1 n -разрядных значений цифрового сигнала $U_{\text{Ц1}}(t)$, соответствующих отсчетным значениям $U_{M1}(t_i)$ синтезируемого аналогового сигнала $U_{M1}(t)$ на P периодах T_M его повторения, обязательно выбирается кратной количеству $I = 2^1$ используемых ОЗУ 4_1-4_I . Запись цифровых данных сигнала $U_{\text{Ц1}}(t)$ в ПЗУ 17 выполняется в описанной выше последовательности, а запись в ОЗУ - по-другому. Для ее осуществления Y_1 n -разрядных значений условно разбиваются на I групп по $Y_1/2^1$ значений в каждой группе (соответствующих $Y_1/2^1$ соседним отсчетным значениям сигнала $U_{M1}(t)$). Каждая группа данных записывается в соответствующее ей по номеру ОЗУ, причем во всех ОЗУ 4_1-4_I запись происходит по одинаковым адресам (последовательность операций при записи данных в конкретное ОЗУ описана выше). После записи данных в ОЗУ сигналами шины управления ПЗУ 17 и коммутатор 18 переводятся в нейтральный режим, ОЗУ 4_1-4_I - в режим считывания, блоки 2 и 10 - в режим записи и хранения. Сигналами управления по шине данных в блоки 2 и 10 счета записываются числовые значения соответственно N_2 и N_{10} (как показано выше, $N_2 \neq N_{10}$ и $0 \leq N_{2(10)} \leq 2^1-1$), определяющие величину τ запаздывания (опережения) сигнала $U_{M2}(t) = U_{M1}(t-\tau)$ относительно сигнала $U_{M1}(t)$. В предлагаемой системе абсолютная величина смещения $|\tau| = |N_2 - N_{10}|T_M / 2^1$ является изменяемой с шагом $T_M/2^1$ в пределах от $T_M/2^1$ до $(2^1-1)T_M/2^1$. Далее сигналами управления по шине данных в блоки 1 и 9 счета записывается граничное значение $M_{1\text{ОЗУ}}$ адресов области памяти ОЗУ 4_1-4_I , где хранятся цифровые данные сигнала $U_{M1}(t)$, в перестраиваемый генератор 29 - данные, устанавливающие (необходимые) одинаковые значения частот колебаний (f_{T1}) на первом и втором выходах, в делители 30, 31 и 32 частоты - значения коэффициентов деления, равные соответственно 1, $Y_1/2^1$ и $Y_1/2^1$, после чего блоки 1, 2, 9 и 10 счета переводятся в режим непрерывного (циклического) счета тактовых импульсов, поступающих на их счетные входы. В результате первый 1 и третий 9 блоки счета синхронно формируют с тактовой частотой в двоичном коде на своих m выходах данных одинаковые совпадающие по времени числовые последовательности, принимающие в каждом цикле $Y_1/2^1$ соседних значений последовательности $0,1,2,\dots,2^m-1,0,1,2,\dots,2^m-1,\dots$ (начиная со значения $M_{1\text{ОЗУ}}$). По окончании каждого цикла на счетные входы второго 2 и четвертого 10 блоков счета синхронно с частотой $f_{T1}/2^1$ поступают импульсы переноса, под действием которых блоки 2 и 10 вырабатывают на своих выходах (с учетом предварительной записи в них значений N_2 и N_{10}) в l -разрядном двоичном коде циклически изменяющиеся (через единицу) в пределах от 0 до 2^1-1 числовые последовательности, сдвинутые друг относительно друга на $|N_2-N_{10}|$ позиций. Тем самым обеспечивается циклическое подключение блоков 1 и 9 счета - формирователей адресов - к каждому из ОЗУ 4_1-4_I и одновременный доступ к двум (разным) ОЗУ, данные с которых через синхронно переключаемые коммутаторы 5 и 11 попадают на входы соответственно первого 6 и второго 12 ЦАП. Последние вместе с ФНЧ 7 и 13 преобразуют их в сигналы $U_{M1}(t)$ и $U_{M1}(t-\tau)$,

превращающиеся после усиления и регулирования в сигналы $U_{\text{ВЫХ1}}(t)$ и $U_{\text{ВЫХ3}}(t)$ на первом и третьем выходах системы генерирования (см. фиг. 3).

Сигналы $U_{\text{ВЫХ1}}(t)$ и $U_{\text{ВЫХ3}}(t)$, формируемые на первом и третьем выходах предлагаемой системы генерирования, образуются методом прямого цифрового синтеза. Максимальная верхняя граничная частота $F_{\text{МВ}}$ их амплитудного спектра в основном определяется быстродействием ОЗУ 4₁₋₄ и на современном этапе составляет 50-70 МГц. Это обеспечивает возможность синтеза смодулированных сигналов различной формы, а также (относительно низкочастотных) модулированных сигналов с несущей частотой $f_{\text{Н}}$, не превышающей значения $F_{\text{МВ}}$.

Предлагаемая система генерирования позволяет формировать также высокочастотные модулированные сигналы с несущей частотой $f_{\text{Н}} > F_{\text{МВ}}$ в диапазоне $f_{\text{Р}} \dots f_{\text{Л}}$. Для достижения этого в описанной выше последовательности вычисляются и записываются в ОЗУ 4 Y n-разрядных значений цифрового сигнала $U_{\text{Ц}}(t)$, соответствующих отсчетным значениям $U_{\text{ВПМ}}(t_i)$ модулированного (периодическим сигналом $U_{\text{М}}(t)$ с периодом повторения $T_{\text{М}}$ и амплитудным спектром $A_{\text{М}}(f)$) по тому или (и) иному параметру сигнала $U_{\text{ВПМ}}(t)$ вспомогательной промежуточной частоты $f'_{\text{ВП}}$, выбираемой из условия $f'_{\text{ВП}} < F_{\text{МВ}}$, на интервале времени $T_3 = PT_{\text{М}} = Q/f'_{\text{ВП}}$ (P, Q целые числа). Генератор 29 вырабатывает на первом выходе колебание $U_{\text{Г}}(t)$ с перестраиваемой в диапазоне $0,5f_{\text{Л}} \dots f_{\text{Л}}$ частотой $f'_{\text{Г}}$. Делением в W, Z и X целое количество раз (делители соответственно 34, 33 и 30) частоты колебания $U_{\text{Г}}(t)$ образуются соответственно вспомогательное опорное колебание $U_{\text{ВО}}(t)$, опорное колебание $U_{\text{О}}(t)$ и колебание $U_{\text{Т}}(t)$ тактовой частоты $f_{\text{Т}} = 1/T_{\text{Т}} = Y/(PT_{\text{М}})$, значение которой с запасом выбирается из условия $f_{\text{Т}} \geq (2,5-3,0) F_{\text{ВПМВ}}$, где $F_{\text{ВПМВ}}$ - верхняя граничная частота сигнала $U_{\text{ВПМ}}(t)$. В режиме непрерывного счета импульсов $U_{\text{Т}}(t)$ блоком 1 счета с помощью блоков 2, 3 и 5 в описанной последовательности из ОЗУ циклически считываются цифровые данные сигнала $U_{\text{Ц}}(t)$, которые с помощью ЦАП 6 и первого ФНЧ 7 с АЧХ $K_{\text{М}}(f)$ преобразуются в аналоговый сигнал - модулированный по тому или (и) иному параметру (по амплитуде или (и) фазе (частоте)) сигнал вспомогательной промежуточной частоты с амплитудным спектром $A_{\text{ВПМ}}(f)$. Сигнал $U_{\text{ВПМ}}(t)$ во втором балансном модуляторе 20 выполняет балансную амплитудную модуляцию колебания $U_{\text{ВО}}(t)$. В результате модуляции образуется сигнал $U_{\text{ВПП}}(t)$, подаваемый аналоговым коммутатором 21 на первый фильтр 22 промежуточной частоты. Сигнал $U_{\text{ВПП}}(t)$ имеет амплитудный спектр $A_{\text{ВПП}}(f)$, одна группа спектральных компонент которого расположена выше, другая - ниже (подавленной) частоты $f'_{\text{ВО}}$ вспомогательного опорного колебания. Фильтр 22 с АЧХ $K_{\text{ПМ}}(f)$ выделяет одну из двух групп спектральных компонент $A_{\text{ВПП}}(f)$ и тем самым образует модулированный сигнал $U_{\text{ПМ}}(t)$ промежуточной частоты с ее фактическим значением

$$f'_{\text{П}} = f'_{\text{ВО}} \pm f'_{\text{ВП}} = f'_{\text{Г}} / W \pm f'_{\text{ВП}} = \frac{YX}{PWT_{\text{М}}} \pm \frac{Q}{PT_{\text{М}}} \quad (4)$$

При формировании модулированных сигналов в диапазоне $f_{\text{Р}} \dots f_{\text{Л}}$ частота $f'_{\text{ВО}}$ не остается постоянной. Эти изменения можно компенсировать равными им по величине и соответствующими по знаку изменениями частоты $f'_{\text{ВП}}$. Учитывая это, значения параметров P, Y, X, W и Q выбираются (варьируются) так, что при всех несущих частотах в диапазоне $f_{\text{Р}} \dots f_{\text{Л}}$ значение $f'_{\text{П}}$ воспроизводит выбранное значение $f_{\text{П}}$ с необходимой точностью. На выбор конкретных значений $f_{\text{П}}$ ограничения не накладываются. Вытекает: центральная частота полосы пропускания фильтра 22 совпадает с выбранной промежуточной частотой $f_{\text{П}}$; вспомогательная промежуточная частота $f'_{\text{ВП}}$ изменяется в некотором поддиапазоне $f'_{\text{ВПМИН}} \dots f'_{\text{ВПМАХ}}$ в пределах полосы пропускания ФНЧ 7 (фиг. 2, 4).

Сигнал $U_{ПМ}(t)$ поступает через аналоговый коммутатор 24 на модулирующий вход балансного модулятора 25, где он выполняет балансную амплитудную модуляцию опорного колебания $U_0(t)$, подаваемого от делителя 33 частоты. В результате образуется сигнал $U_{ПП}(t)$ с амплитудным спектром $A_{ПП}(f)$. Одна группа его спектральных компонент расположена выше, другая - ниже (подавленной) частоты f'_0 опорного колебания. С помощью одного из ПФ 19 с АЧХ $K_H(f)$ выделяется одна из двух групп спектральных компонент сигнала $U_{ПП}(t)$ и тем самым образуется высокочастотный модулированный сигнал $U_H(t)$ на фактической несущей частоте

$$f'_H = f'_0 \pm f'_П = \frac{f'_Г}{Z} \pm \left(\frac{f'_Г}{W} \pm f'_{ВП} \right) = \frac{YX}{PZT_M} \pm \left(\frac{YX}{PWT_M} \pm \frac{Q}{PT_M} \right) \quad (5)$$

(на фиг. 4 изображен случай $f'_П = f'_{ВО} + f'_{ВП}$ и $f'_H = f'_0 + f'_П$). При этом значения параметров P, Y, X, Z, W и Q выбираются (варьируются) так, что при всех несущих частотах в диапазоне $f_p \dots f_L$ значение f'_H воспроизводит требуемое значение f_H с необходимой точностью. В усилителе 28 сигнал $U_H(t)$ усиливается и регулируется (нормируется) по уровню, превращаясь тем самым в сигнал $U_{ВЫХ2}(t)$ на втором выходе системы генерирования. Его требуемый уровень устанавливается занесением в n -разрядный параллельный регистр усилителя 28 из вычислительного устройства 15 через блок 16 управления по шине данных с помощью сигналов шины управления соответствующего числового значения.

В случае использования одного ПФ 19 значение $f_L - f_p \approx f_{П}$, т.е. не превышает значения промежуточной частоты. Если диапазон $f_p \dots f_L$ частот является более широким, то его в общем случае необходимо разбить на J отдельных поддиапазонов и ввести в состав устройства не один, а J ПФ 19₁-19_J (см. фиг. 3). Формирование модулированного сигнала $U_H(t)$ в конкретном k -м поддиапазоне достигается с помощью соответствующего ПФ 19_k, подключаемого первым 26 и вторым 27 аналоговыми коммутаторами.

Одной из причин, ограничивающих функциональные возможности известной системы, является невозможность формирования модулированных сигналов в поддиапазоне несущих частот $(f_{П} - \Delta F) \dots (f_{П} + \Delta F)$ (в окрестности промежуточной частоты) шириной примерно $2\Delta F \approx f_{П}$ из-за прямого прохождения через соответствующий ПФ 19 мешающих спектральных компонент модулированного сигнала $U_{ПМ}(t)$ промежуточной частоты. Для исключения этого недостатка в предлагаемой системе генерирования применяются два значения $f_{П}$ и $f_{П}^*$ промежуточной частоты. Им соответствуют первый 22 и второй 23 фильтры промежуточной частоты. Формирование модулированных сигналов $U_H(t)$ во всем диапазоне $f_p \dots f_L$, за исключением поддиапазона $(f_{П} - \Delta F) \dots (f_{П} + \Delta F)$, выполняется с использованием значения $f_{П}$ и соответственно фильтра 22, а в поддиапазоне $(f_{П} - \Delta F) \dots (f_{П} + \Delta F)$ - с применением фильтра 23, центральная частота полосы пропускания которого равна $f_{П}^*$ и выбирается за пределами этого поддиапазона.

Рассмотренный механизм функционирования предлагаемой системы в режиме генерирования электрических сигналов соответствует неавтономному режиму работы, когда все управляющие воздействия (выбор вида сигналов $U_{M1}(t)$ и $U_{M2}(t)$, установка требуемых значений несущей частоты (частот повторения), задержки и уровней сигналов $U_{ВЫХ1}(t)$ - $U_{ВЫХ3}(t), \dots$) поступают из вычислительного устройства 15. Благодаря наличию в блоке 16 управления полноценных полей набора и индикации, других необходимых блоков и выполнению системы по варианту с отдельным модулем генерирования сигналов, она может функционировать также в автономном режиме работы, когда после окончания режима записи (в ПЗУ 17) вычислительное устройство 15 отключается и подача всех управляющих воздействий осуществляется только из блока 16 управления с помощью его поля набора. Операции, выполняемые в автономном режиме работы (генерирования), полностью соответствуют операциям рассмотренного выше неавтономного режима генерирования.

ВУ 9564 С1 2007.08.30

Оценим максимальную абсолютную погрешность воспроизведения в предлагаемой системе генерирования сигналов требуемого значения f_H несущей частоты и выбранного значения f_{Π} промежуточной частоты. С этой целью для определенности предположим, что модулирующий сигнал $U_M(t)$ имеет период T_M повторения, а несущая частота формируется по варианту (см. фиг. 4)

$$f_H = f_O + f_{\Pi} = f_O + (f_{BO} + f_{B\Pi}) = \frac{f_{\Gamma}}{Z} + \left(\frac{f_{\Gamma}}{W} + f_{B\Pi} \right). \quad (6)$$

Тогда для получения требуемого значения f_H с учетом выполняемых над сигналами операций частота колебания $U_{\Gamma}(t)$ с перестраиваемой частотой должна иметь значение

$$f_{\Gamma} = Z(f_H - f_{\Pi}) = (Y + \Delta Y)X / (PT_M), \quad (7)$$

а частоты опорного $U_O(t)$, вспомогательного опорного $U_{BO}(t)$ колебаний и колебания $U_{B\Pi}(t)$ вспомогательной промежуточной частоты - значения соответственно $f_O = f_{\Gamma}/Z = (Y + \Delta Y)X / (PZT_M)$, $f_{BO} = (Y + \Delta Y)X / (PWT_M)$ и $f_{B\Pi} = f_{\Pi} - f_{BO} = (Q_{\Pi} + \Delta Q_{\Pi}) / (PT_M)$, где X, Y, Z, P, W, Q_{Π} - целые числа, $|\Delta Y| \leq 0,5$, $|\Delta Q_{\Pi}| \leq 0,5$. Их подстановка в выражение (6) дает:

$$\begin{aligned} f_H &= \left(\frac{YX}{PZT_M} + \frac{YX}{PWT_M} + \frac{Q_{\Pi}}{PT_M} \right) + \left(\frac{\Delta YX}{Z} + \frac{\Delta YX}{W} + \Delta Q_{\Pi} \right) \frac{1}{PT_M} = \\ &= \left(\frac{YX}{PZT_M} + \frac{YX}{PWT_M} + \frac{Q}{PT_M} \right) + \Delta Q \frac{1}{PT_M}, \end{aligned} \quad (8)$$

где $Q = Q_{\Pi} + Q_P$, $\Delta YX/Z + \Delta YX/W + \Delta Q_{\Pi} = Q_P + \Delta Q$, $|\Delta Q| \leq 0,5$, Q_P - целое число. На интервале времени $T_3 = PT_M$ должно укладываться целое количество периодов тактовой частоты и целое количество периодов колебания вспомогательной промежуточной частоты. С учетом этого и соотношений (4) и (5) фактические значения частот колебаний $U_{\Gamma}(t)$, $U_O(t)$ и $U_{BO}(t)$ составляют $f'_{\Gamma} = YX / (PT_M)$, $f'_O = YX / (PZT_M)$, $f'_{BO} = YX / (PWT_M)$, что обеспечивает фактическое значение несущей частоты

$$f'_H = f'_O + f'_{\Pi} = f'_O + (f'_{BO} + f'_{B\Pi}) = \frac{YX}{PZT_M} + \frac{YX}{PWT_M} + \frac{Q}{PT_M} \quad (9)$$

и с учетом выражения (8) максимальную абсолютную погрешность воспроизведения требуемого значения несущей частоты $\Delta f_{HB} = |f_H - f'_H|_{\max} = 1 / (2PT_M)$. Последняя даже в худшем случае ($P = 1$) имеет малое значение (например, при $f_M = 1/T_M = 1$ кГц $\Delta f_{HB} = 500$ Гц) и может быть дополнительно уменьшена посредством увеличения параметра P .

Учитывая, что выбранное f_{Π} и фактическое f'_{Π} значения промежуточной частоты составляют (см. (6)-(9)) $f_{\Pi} = f_{BO} + f_{B\Pi} = (Y + \Delta Y)X / (PWT_M) + (Q_{\Pi} + \Delta Q_{\Pi}) / (PT_M)$, $f'_{\Pi} = f'_{BO} + f'_{B\Pi} = YX / (PWT_M) + Q / (PT_M)$, их разность равна $f_{\Pi} - f'_{\Pi} = (\Delta Q - \Delta YX/Z) / (PT_M)$. Это соответствует максимальной абсолютной погрешности воспроизведения промежуточной частоты $\Delta f_{\Pi B} = |f_{\Pi} - f'_{\Pi}|_{\max} = (1 + X/Z) / (2PT_M) = (1 + X/Z) \Delta f_{HB}$, которая, как следует, также мала, хотя и несколько больше, чем Δf_{HB} .

Отметим важную особенность предлагаемой системы генерирования. Из соотношений (4) и (5) следует, что при неизменной частоте f'_{Γ} колебания $U_{\Gamma}(t)$ с перестраиваемой частотой и неизменных параметрах Y, X, Z и W посредством изменения параметра Q возможно генерирование модулированных сигналов $U_H(t)$ на несущих частотах, расположенных вокруг определяемой соотношением (5) частоты f'_H и образующих сетку частот с

шагом $\Delta f = 1/(PT_M)$. Такая возможность в некоторых случаях является исключительно полезной, поскольку обычно величина Δf оказывается намного меньшей шага сетки формируемых частот колебания $U_{\Gamma}(t)$ с перестраиваемой частотой.

Оценим стабильность несущей частоты f'_H генерируемых модулированных сигналов. Для этого, как и при анализе известной системы генерирования, предположим, что перестраиваемый генератор 29 (см. фиг. 3) обладает относительной нестабильностью $\delta = \Delta f'_{\Gamma} / f'_{\Gamma}$, а модулированный сигнал формируется по варианту $f'_{\Pi} = f'_{BO} + f'_{B\Pi}$ и $f'_H = f'_O - f'_{\Pi} = f'_O - f'_{BO} - f'_{B\Pi}$. Колебания $U_O(t)$, $U_{BO}(t)$ и $U_{B\Pi}(t)$ образуются из одного колебания $U_{\Gamma}(t)$ и их частоты в соответствии с уравнениями (4) и (5) представляются в виде

$$f'_O = f'_{\Gamma} / Z, \quad f'_{BO} = f'_{\Gamma} / W \quad \text{и} \quad f'_{B\Pi} = f'_{\Gamma} Q / (XY). \quad \text{Тогда} \quad f'_H = f'_{\Gamma} \left(\frac{1}{Z} - \frac{1}{W} - \frac{Q}{XY} \right).$$

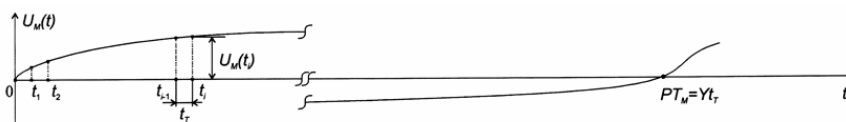
него предположим, что в некоторый момент времени частота колебаний генератора 29 приняла значение $f'_{\Gamma} + \Delta f'_{\Gamma}$. Ему отвечает мгновенное значение несущей частоты

$$f'_H + \Delta f'_H = (f'_{\Gamma} + \Delta f'_{\Gamma}) \left(\frac{1}{Z} - \frac{1}{W} - \frac{Q}{XY} \right) \quad \text{и, значит, относительная нестабильность последней}$$

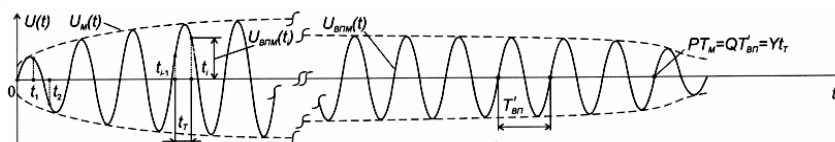
$\delta_H = \Delta f'_H / f'_H = \delta$. Это означает, что на любой несущей частоте f'_H , независимо от ее абсолютного значения, обеспечивается одинаковая относительная нестабильность, равная относительной нестабильности колебания перестраиваемого генератора 29 и существенно меньшая, чем в известной системе генерирования.

Источники информации:

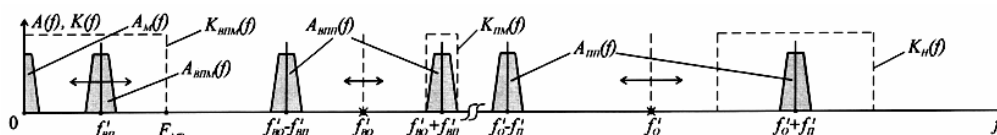
1. Радиопередающие устройства / В.В. Шахгильдян, В.Б. Козырев, А.А. Ляховкин и др. Под ред. В.В. Шахгильдяна. - 3-е изд., перераб. и доп.- М.: Радио и связь, 1996. - С. 560 (прототип) (с. 342-364, 450-458, 502-531).



Фиг. 1



Фиг. 2



Фиг. 4