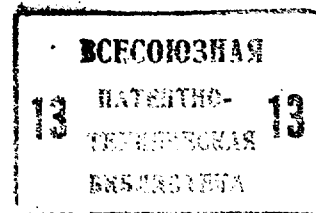




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3729797/24-24
(22) 21.04.84
(46) 23.08.85. Бюл. № 31
(72) А.И. Шемаров и А.Е. Леусенко
(71) Минский радиотехнический институт
(53) 681.32 (088.8)
(56) Авторское свидетельство СССР № 548863, кл. G 06 F 15/332, 1976.
Авторское свидетельство СССР № 999062, кл. G 06 F 15/332, 1983.

(54) (57) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ АДРЕСОВ ПРОЦЕССОРА БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ, содержащее первый и второй реверсивные счетчики, группу элементов И, N (где N - разрядность) мультиплексоров, регистр, элемент И-НЕ, синхронизатор, первый и второй выходы которого соединены соответственно с суммирующим и вычитающим входами первого реверсивного счетчика, выходы переноса и заема которого соединены соответственно с суммирующим и вычитающим входами второго реверсивного счетчика, третий выход синхронизатора соединен с тактовым входом регистра, выходы разрядов которого являются информационными выходами устройства, выходы разрядов второго реверсивного счетчика соединены с соответствующими входами элемента И-НЕ и первыми входами

соответствующих элементов И группы, вторые входы которых объединены и подключены к четвертому выходу синхронизатора, тактовый вход которого является тактовым входом устройства, а вход запуска синхронизатора соединен с выходом элемента И-НЕ, первый информационный вход j -го ($j = 0, N-1$) мультиплексора соединен с прямым выходом j -го разряда первого реверсивного счетчика, второй информационный вход j -го мультиплексора соединен с инверсным выходом j -го разряда первого реверсивного счетчика, выход j -го мультиплексора соединен с входом j -го разряда регистра, отличающееся тем, что, с целью упрощения устройства, оно содержит узел постоянной памяти, входы кода адреса которого соединены с выходами соответствующих элементов И группы, а выход $Q; j$ -го ($i = 0, 1; j = 0, N-1$) разряда узла постоянной памяти соединен с i -м адресным входом j -го мультиплексора, третий информационный вход j -го мультиплексора соединен с выходом младшего разряда первого реверсивного счетчика, четвертый информационный вход k -го ($k = 0, N-2$) мультиплексора соединен с прямым выходом $(k+1)$ -го ($k = 0, N-2$) разряда первого реверсивного счетчика.

Изобретение относится к вычислительной технике и может быть использовано в составе процессора быстрого преобразования Фурье (БПФ) или быстрого преобразования в базис иных ортогональных функций, используемых в спектроанализаторах, генераторах широкополосного случайного процесса, синтезаторах речевых сигналов и т.д.

Цель изобретения - упрощение устройства.

На фиг.1 представлена функциональная схема устройства; на фиг.2 - функциональная схема синхронизатора; на фиг.3 - временные диаграммы работы синхронизатора; на фиг.4 - прошивка узла постоянной памяти для произвольной разрядности устройства адресации.

Устройство для формирования адресов процессора БПФ (фиг.1) содержит синхронизатор 1, первый реверсивный счетчик 2, второй реверсивный счетчик 3, группу (двухходовых) элементов И 4, N мультиплексов (данных четыре канала на один) 5, регистр 6, элемент И-НЕ 7 и узел 8 постоянной памяти.

Слой									
0	2^0	2^1	2^2	2^{j-1}	2^j	2^{j+1}	2^{N-1}
1	2^1	2^0	2^2	2^{j-1}	2^j	2^{j+1}	2^{N-1}
2	2^1	2^2	2^0	2^{j-1}	2^j	2^{j+1}	2^{N-1}
$j-1$	2^1	2^2	2^3	2^0	2^j	2^{j+1}	2^{N-1}
j	2^1	2^2	2^3	2^j	2^0	2^{j+1}	2^{N-1}
$j+1$	2^1	2^2	2^3	2^j	2^{j+1}	2^0	2^{N-1}
N-1	2^1	2^2	2^3	2^j	2^{j+1}	2^{j+2}	2^0

В известном устройстве с помощью мультиплексов соответствующим образом коммутируются разряды счетчика в зависимости от номера слоя, информация о котором подается на адресные входы всех мультиплексов одновременно, т.е. параллельно. Однако это требует, чтобы количество каналов мультиплекса было равно количеству слоев алгоритма БПФ, которое зависит от длины обрабатываемого массива. Причем, чем выше длина обрабатываемого массива, тем выше решающая способность в частотной области и тем точнее можно получить результаты спектрального анализа.

Если проанализировать разряды счетчика, которые коммутирует каж-

Синхронизатор (фиг.2) содержит счетчик 9, элемент 4И-4И/ИЛИ 10, элемент 4И-4И-3И/ИЛИ 11, элемент 2И-НЕ 12.

На временной диаграмме (фиг.3) приведены следующие сигналы: ТИ - тактовые импульсы; А1-А4 - разрядные выходы счетчика 9; сигналы 13 на втором входе, 14 на первом выходе, 15 на втором выходе, 16 на третьем выходе и 17 на четвертом выходе синхронизатора 1.

Принцип работы устройства заключается в следующем.

Известно, что адреса пары операндов алгоритма БПФ отличаются информацией в одном разряде, номер которого соответствует номеру слоя алгоритма БПФ, причем адрес первого операнда содержит логический ноль в данном разряде, а адрес второго операнда - логическую единицу. Если сравнить адреса алгоритма БПФ и коды, вырабатываемые счетчиком, то нетрудно заметить, что в каждом слое алгоритма БПФ адреса отличаются от кодов счетчика только порядком следования разрядов:

дый мультиплексор (данных), то окажется, что каждый мультиплексор (данных) j ($j = 0, N-1$) коммутирует не более трех разрядов счетчика ($2^j, 2^0, 2^{j+1}$). Следовательно, не обязательно применять многоходовые мультиплексы (данных), а необходимо и достаточно четырехканальных мультиплексов (данных). Четвертый вход j -го ($j = 0, N-1$) мультиплекса (данных) подключается к инверсному разрядному выходу счетчика 2^j и применяется при работе в специальном слое алгоритма БПФ. При использовании четырехканальных мультиплексов (данных) переключать нужно не все каналы одновременно, как в известном устройстве, а последовательно мультиплек-

сор (данных) за мультиплексором (данных).

Для каждого слоя алгоритма БПФ каналы мультиплексоров (данных) коммутируются следующим образом:

Слой							
0	X1,	X0,	X0,	X0,	X0,	X0,	X0
1	X2,	X1,	X0,	X0,	X0,	X0,	X0
2	X2,	X2,	X1,	X0,	X0,	X0,	X0
$j-1$	X2,	X2,	X2,	X1,	X0,	X0,	X0
j	X2,	X2,	X2,	X2,	X1,	X0,	X0
$j+1$	X2,	X2,	X2,	X2,	X2,	X1,	X0

Слой	0	1	2	$j-1$	j	$j+1$	$N-1$
	A1A0	A1A0	A1A0	A1A0	A1A0	A1A0	A1A0
0	01,	00,	00,	00,	00,	00,	00
1	10,	01,	00,	00,	00,	00,	00
2	10,	10,	01,	00,	00,	00,	00
$j-1$	10,	10,	10,	01,	00,	00,	00
j	10,	10,	10,	10,	01,	00,	00
$j+1$	10,	10,	10,	10,	10,	01,	00
$N-1$	10,	10,	10,	10,	10,	10,	01

При работе в специальном слое безызбыточный алгоритм БПФ на управляющих входах мультиплексоров (данных) появляется

Слой N	0	1	2	$j-1$	j	$j+1$	$N-1$
	A1A0	A1A0	A1A0	A1A0	A1A0	A1A0	A1A0
	11,	11,	11,	11,	11,	11,	11

Кроме того, с помощью группы элементов И 4 на управляющих входах мультиплексоров (данных) может быть сформирован код путем подачи на вто-

Слой 0	0	1	2	$j-1$	j	$j+1$	$N-1$
	A1A0	A1A0	A1A0	A1A0	A1A0	A1A0	A1A0
	01	00	00	00	00	00	00

При работе в специальном слое адресует пара операндов $n, 2^{N-n}$ ($n = 1, 2^{N-1}-1$), где N - количество разрядов счетчика.

Формирование адресов специального слоя алгоритма осуществляется следующим образом. Инверсное значение первого счетчика адресует второй опе-

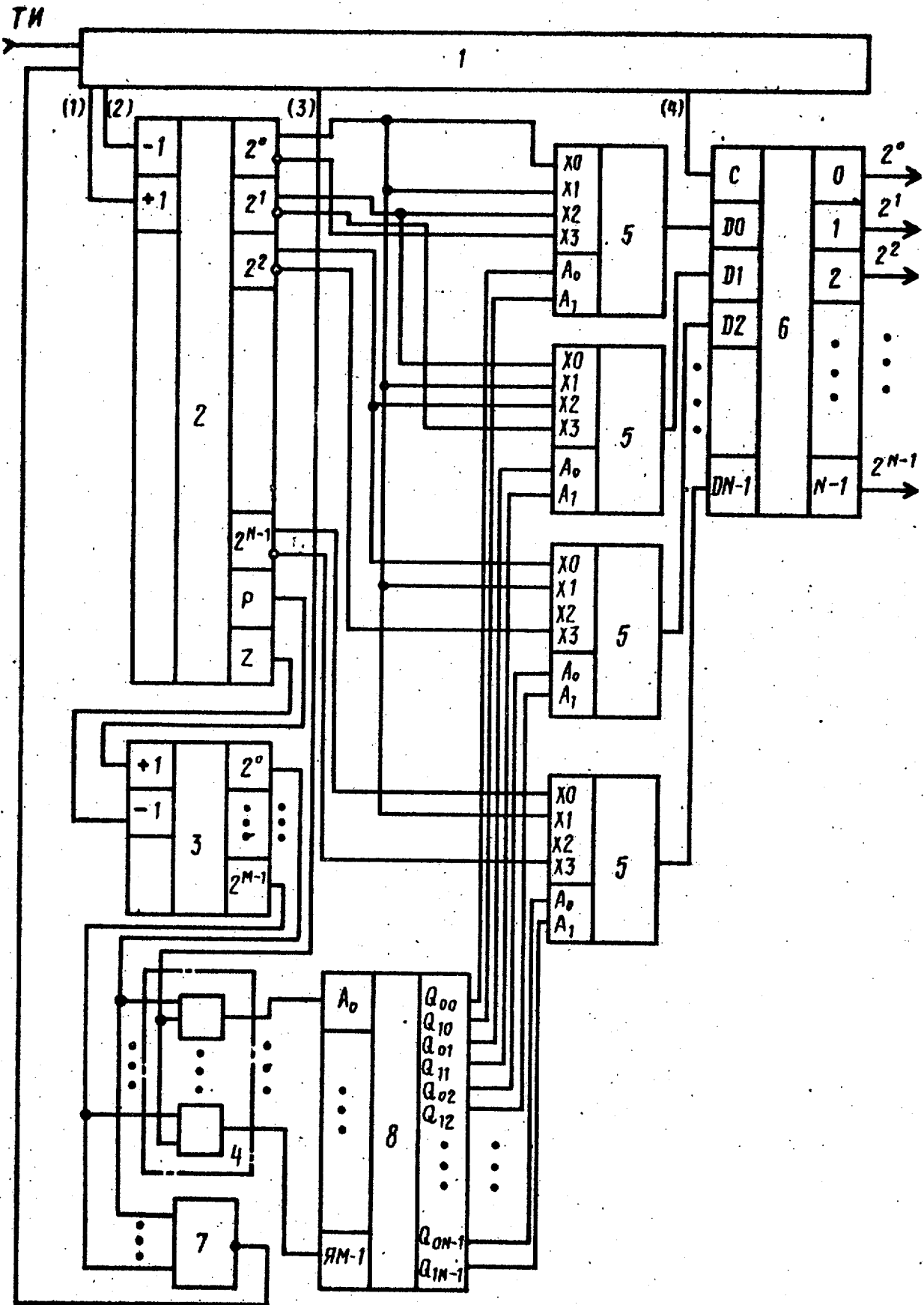
$N-1$ X2, X2, X2, X2, X2, X2, X1

Мультиплексор (данных четыре канала на один) имеет два адресных входа A1 и A0 (A1 = 0 и A0 = 0 - на выход коммутируется канал X0, A1 = 0 и A0 = 1 - на выход коммутируется канал X1; A1 = 1 и A0 = 0 - на выход коммутируется канал X2, A1 = 1 и A0 = 1 - на выход коммутируется канал X3). Следовательно, прошивка узла постоянной памяти будет выглядеть следующим образом:

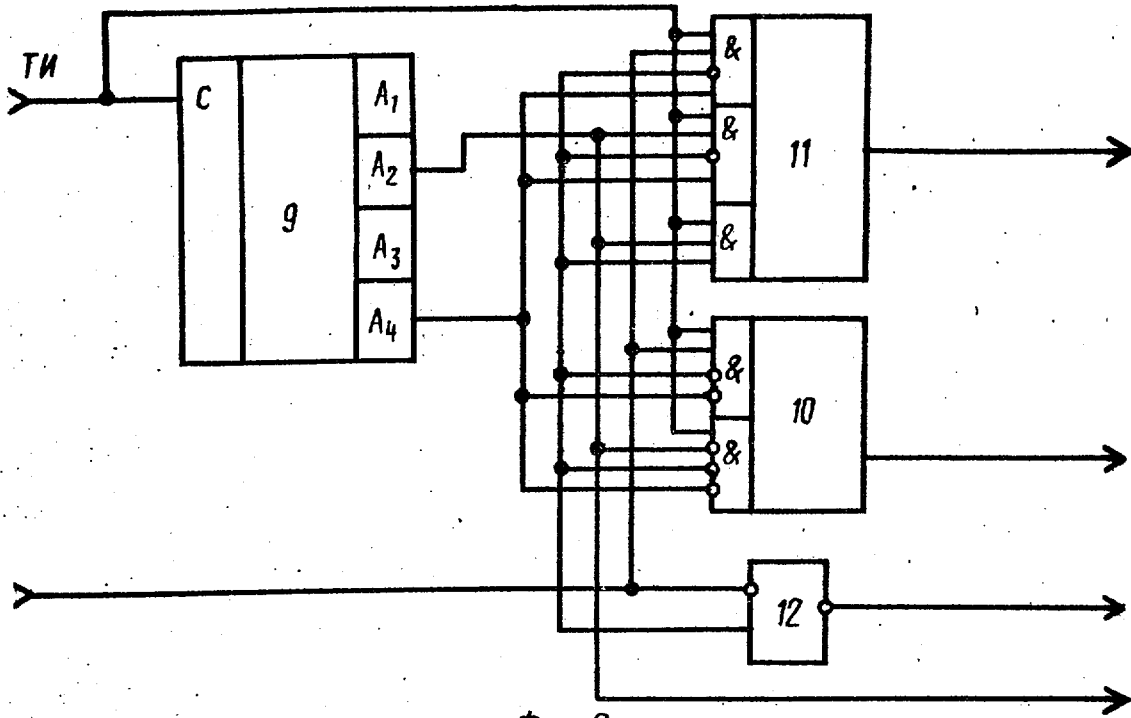
код, по которому на выходах мультиплексоров (данных) появляются инверсные значения двоичного счетчика.

рые входы группы элементов И 4 уровня логического нуля, по которому на выходах мультиплексоров (данных) появляются прямые значения кодов счетчика!

ранд, затем в счетчик добавляется единица и его прямое значение адресует первый операнд. Порядок следования пары специального слоя БПФ может быть произвольным, так как данная пара обрабатывается по способу, отличающемуся от способа обработки пары операндов основных слоев алгоритмов БПФ.

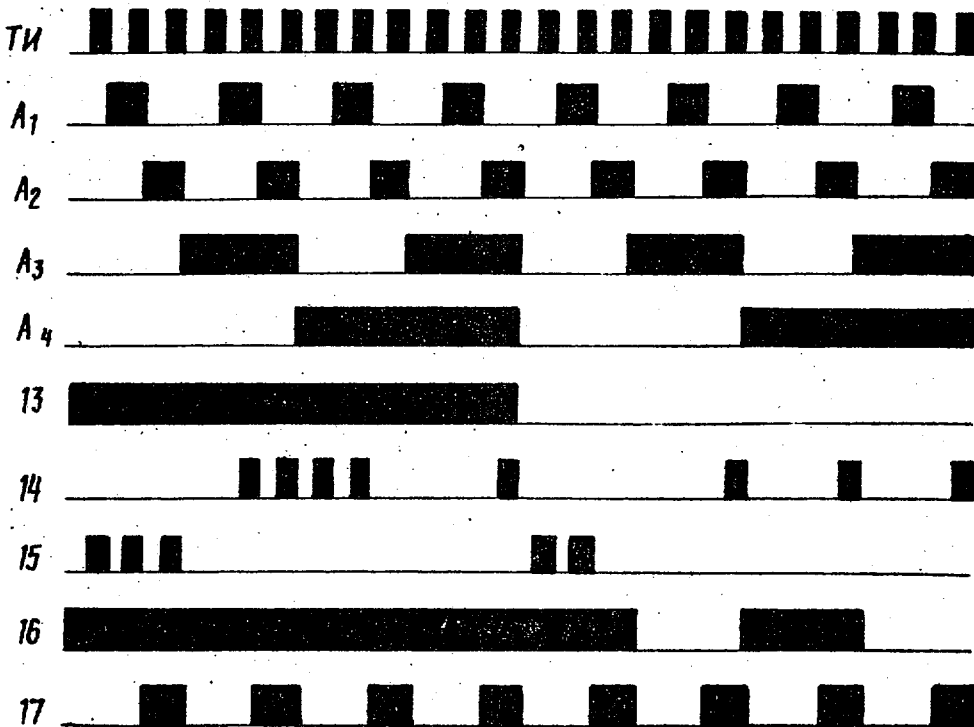


Фиг.1

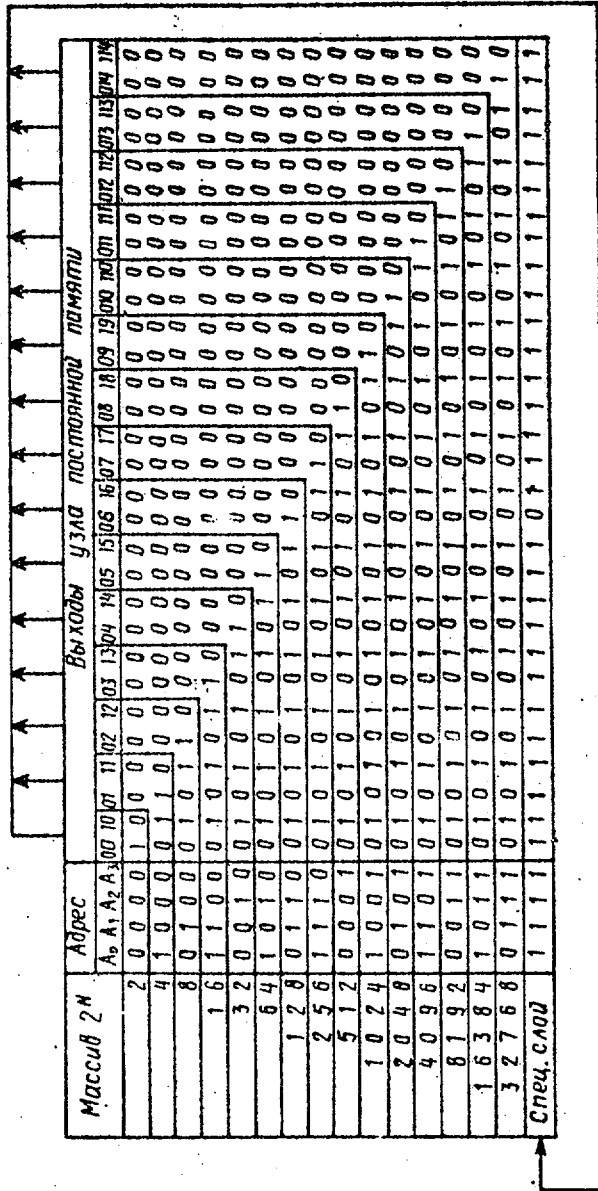


Фиг. 2

Такты 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12,



Фиг. 3



Фиг. 4

Составитель А. Баранов
 Редактор В. Петраш Техред А.Ач Корректор Л. Бескид

Заказ 5202/51 Тираж 710 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4