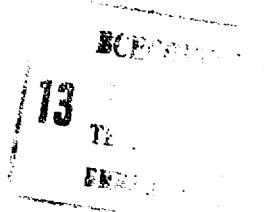




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4101124/24-24
- (22) 29.07.86
- (46) 07.10.88. Бюл. № 37
- (71) Минский радиотехнический институт
- (72) А.Г.Батюков и А.А.Шостак
- (53) 681.325 (088.8)
- (56) Карцев М.А. Арифметика цифровых машин - М.: Наука, 1969, с.494, рис.5-1.

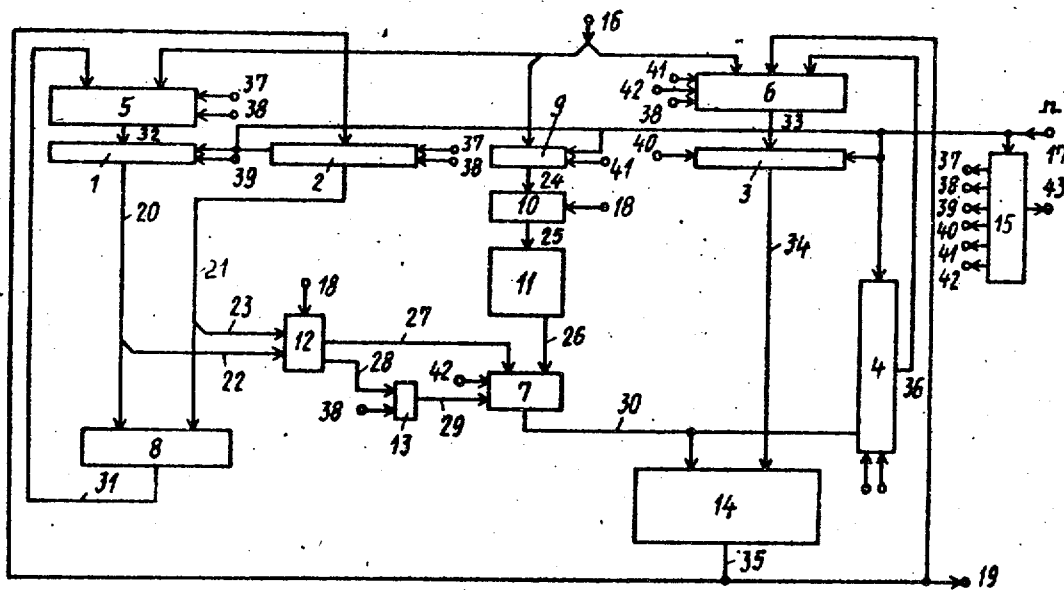
Патент США № 3234367, кл. 235-156, опублик. 1962.

Авторское свидетельство СССР № 1390608, кл. G 06 F 7/52, 01.04.86.

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

(57) Изобретение относится к области вычислительной техники и может быть

применено в быстродействующих вычислительных устройствах для выполнения операции деления чисел. Целью изобретения является повышение быстродействия устройства. Устройство для деления содержит два регистра 1,2 остатка, регистр 3 делителя, сумматор 4 частного, три коммутатора 5,6,7, два вычитателя 8,12, регистр 9 старших разрядов делителя, сумматор 10 принудительного округления делителя, узел 11 вычисления обратной величины, блок 14 умножения, блок 15 управления и элемент И 13. Цель достигается за счет введения в устройство второго регистра остатка, второго вычитателя, элемента И и соответствующей системы связи. 4 ил.



Фиг.1

Изобретение относится к вычислительной технике и может быть применено в быстродействующих вычислительных устройствах для выполнения операции деления чисел.

Цель изобретения - повышение быстродействия устройства за счет сокращения длительности такта формирования k цифр частного.

На фиг.1 приведена структурная схема устройства для деления; на фиг.2 - функциональная схема сумматора частного; на фиг.3 - функциональная схема блока управления; на фиг.4 - микропрограмма работы устройства.

Устройство для деления содержит (фиг.1) первый регистр 1 остатка, второй регистр 2 остатка, регистр 3 делителя, сумматор 4 частного, первый коммутатор 5, второй коммутатор 6, третий коммутатор 7, первый вычитатель 8, регистр 9 старших разрядов делителя, сумматор 10 принудительного округления делителя, узел 11 вычисления обратной величины, второй вычитатель 12, элемент И 13, блок 14 умножения, блок 15 управления, вход 16 данных устройства, вход 17 синхронизации устройства, вход 18 логической единицы устройства, выход 19 частного устройства, выходы 20 разрядов регистра 1, выходы 21 разрядов регистра 2, выходы 22 старших разрядов регистра 1, выходы 23 старших разрядов регистра 2, выходы 24 разрядов регистра 9, выходы 25 сумматора 10, выходы 26 узла 11, выходы 27 младших разрядов вычитателя 12, выход 28 старшего разряда вычитателя 12, выход 29 элемента И 13, выходы 30 коммутатора 7 (выходы 30₁ пяти старших разрядов, выходы 30₂ (k-1) младших разрядов), выходы 31 вычитателя 8, выходы 32 коммутатора 5, выходы 33 коммутатора 6, выходы 34 разрядов 3 регистра, выходы 35 блока 14, выходы 36 сумматора 4, выходы 37-43 блока 15 управления.

Сумматор 4 (фиг.2) содержит регистр 44 и комбинационный сумматор 45.

Блок 15 управления (фиг.3) содержит счетчик 46 и память 47 микрокоманд.

Информационные входы регистра 9 старших разрядов делителя и информационные входы первой группы первого и второго коммутаторов 5 и 6 соединены с входом 16 данных устройства,

информационные входы второй группы первого коммутатора 5 соединены с выходами 31 первого вычитателя 8, выходы 32 первого коммутатора 5 соединены с информационными входами первого регистра 1 остатка, выходы 20 разрядов которого соединены с входами уменьшаемого первого вычитателя 8, входы вычитаемого которого соединены с выходами 21 разрядов второго регистра 2 остатка, выходы 24 регистра 9 старших разрядов делителя соединены с входами сумматора 10 принудительного округления делителя, вход переноса которого соединен с входом 18 логической единицы устройства, выходы 25 сумматора 10 принудительного округления делителя соединены с входами узла 11 вычисления обратной величины, выходы 26 которого соединены с информационными входами первой группы третьего коммутатора 7, выходы 22 старших разрядов первого регистра 1 остатка соединены с входами уменьшаемого второго вычитателя 12, входы вычитаемого которого соединены с выходами 23 старших разрядов второго регистра 2 остатка, вход заема второго вычитателя 12 соединен с входом 18 логической единицы устройства, выходы 27 младших разрядов второго вычитателя 12 соединены с информационными входами второй группы третьего коммутатора 7, выход 28 старшего разряда второго вычитателя 12 соединен с инверсным входом элемента И 13, выход 29 которого соединен с вторым управляющим входом третьего коммутатора 7, выходы 30 которого соединены с входами младших разрядов сумматора 4 частного и с входами второй группы блока 14 умножения, выходы 35 которого являются выходом 19 частного устройства и соединены с информационными входами второй группы второго коммутатора 6, выходы 30 сумматора 4 частного соединены с информационными входами третьей группы второго коммутатора 6, выходы 33 которого соединены с информационными входами регистра 3 делителя, выходы 34 разрядов которого соединены с входами первой группы блока 14 умножения, синхровходы первого и второго регистров 1 и 2 остатка, регистра 3 делителя, регистра 9 старших разрядов делителя, сумматора 4 частного и блока 15 управления объединены и соединены с входом

17 синхронизации устройства, первый выход 37 блока 15 управления соединен с первым управляющим входом первого коммутатора 5 и с входами установки в нуль второго регистра 2 остатка и сумматора 4 частного, второй выход 38 блока 15 управления соединен с вторым управляющим входом первого коммутатора 5, с прямым входом элемента И 13 и с входами разрешения записи второго регистра 2 остатка и сумматора 4 частного, третий и четвертый выходы 39 и 40 блока 15 управления соединены с входами разрешения записи первого регистра 1 остатка и регистра 3 делителя соответственно, пятый выход 41 блока 15 управления соединен с входом разрешения записи регистра 9 старших разрядов делителя, шестой выход 42 блока 15 управления соединен с первым управляющим входом третьего коммутатора 7, седьмой выход 43 блока 15 управления является выходом сигнализации окончания деления устройства, выходы 38, 41 и 42 соединены с управляющими входами коммутатора 6.

Рассмотрим функциональное назначение и реализацию основных узлов и блоков предлагаемого устройства для деления.

Первый регистр 1 остатка $(n+k+7)$ -разрядный, из которых два разряда расположены слева от запятой и $(n+k+5)$ - справа от запятой. В исходном состоянии в этом регистре хранится n -разрядный двоичный код делимого без знака, а в процессе деления в него записывается значение предыдущего остатка в однорядном коде. Второй регистр 2 остатка также содержит $(n+k+7)$ разрядов, из которых два расположены слева от запятой, а остальные - справа. В исходном состоянии этот регистр обнулен, а в процессе деления в него записывается значение произведения, сформированного на выходах 35 блока 14 умножения. Регистр 3 делителя $(n+k+1)$ -разрядный, причем все разряды расположены справа от запятой. В регистре 3 делителя в исходном состоянии хранится n -разрядный двоичный код делителя без знака, прижатый к левой границе регистра 3, а к началу собственно деления в него записывается $(n+k+1)$ разрядов произведения n -разрядного делителя на $(k+2)$ старших разрядов обратной величины, вы-

численной по значению $(k+3)$ принудительно округленных разрядов делителя. На последнем такте собственно деления в регистр 3 делителя записывается $(m(k-1)+5)$ разрядов промежуточного значения частного (m - число тактов собственно деления), образованного на выходах 36 сумматора 4 частного. Предполагается что регистры 1-3 реализованы на основе двухтактных синхронных DV-триггеров. Запись информации в регистры 1-3 производится по синхриимпульсу при наличии разрешающего потенциала на их V-входах. Кроме этого, второй регистр 2 остатка в начале деления обнуляется путем подачи импульса с входа 17 синхронизации устройства на его синхровходы разрешающего потенциала с первого выхода 37 блока 15 управления на вход разрешения установки в нуль второго регистра 2 остатка.

Сумматор 4 частного предназначен для хранения промежуточного значения частного. Он участвует при выполнении деления в процессе формирования промежуточного значения частного. После завершения собственно деления образованное в нем промежуточное значение частного наступает с выходов 36 на информационные входы третьей группы второго коммутатора 6 и записывается в регистр 3 делителя. Сумматор 4 частного содержит (фиг.2) регистр 44 и комбинационный двоичный сумматор 45. Предполагается, что регистр 44 реализован на двухтактных синхронных DV-триггерах с возможностью их обнуления. Перед выполнением в устройстве собственно деления сумматор 4 частного обнуляется путем подачи с входа 17 синхронизации устройства импульса на синхровход регистра 44 и разрешающего потенциала с первого выхода 37 блока 15 управления на вход установки в нуль регистра 44. В процессе собственно деления в сумматоре 4 частного осуществляется прибавление к значению пяти младших разрядов содержимого регистра 44, которое подается на входы сумматора 45 со сдвигом влево (в сторону старших разрядов) на $(k-1)$ разрядов, значения пяти старших разрядов, поступающих с выходов 30 третьего коммутатора 7 на входы младших разрядов сумматора 4 частного по входам 30₁. Младшие $(k-1)$ разрядов с выходов 30₂ третьего коммутатора 7 по-

входам 30 непосредственно поступают на информационные входы младших разрядов регистра 44. Получившийся на выходах комбинационного сумматора 45 результат записывается без сдвига в соответствующие старшие разряды регистра 44. На последнем такте собственно деления получившийся на выходах сумматора 45 результат вместе со значением на входах 30 записывается соответствующим образом в регистр 3 делителя. На последнем такте собственно деления возможна запись результата с выходов сумматора 45 в регистр 44. Однако при этом потребуются дополнительные такты для перезаписи содержимого регистра 44 в регистр 3 делителя. Запись информации в регистр 44 производится синхронным импульсом при наличии разрешающего потенциала на входе разрешения записи, который подключен к второму выходу 38 блока 15 управления.

С помощью первого коммутатора 5 осуществляется передача на информационные входы первого регистра 1 остатка либо делимого с входа 16 данных устройства, когда на первом выходе 37 блока 15 управления формируется сигнал логической единицы, либо значения произведения, образованного на выходах 35 блока 14 умножения, когда на втором выходе 38 блока 15 управления формируется сигнал логической единицы. Первый коммутатор 5 может быть реализован на элементах 2И-2ИЛИ.

С помощью второго коммутатора 6 осуществляется передача на информационные входы регистра 3 делителя либо делителя с входа 16 данных устройства, когда на пятом выходе 41 блока 15 управления формируется сигнал логической единицы, либо значения произведения, образованного на выходах 35 блока 14 умножения, когда на шестом выходе 42 блока 15 управления формируется сигнал логической единицы, либо промежуточного значения частного, образованного на выходах 36 сумматора 4 частного, когда на втором выходе 38 блока 15 управления формируется сигнал логической единицы. Второй коммутатор 6 может быть реализован на элементах 2И-3ИЛИ.

С помощью третьего коммутатора 7 осуществляется передача на его входы 30 либо значения старших $(k+2)$ разря-

дов обратной величины от принудительного округленного значения старших разрядов делителя, образовавшегося на выходах 26 узла 11, вычисление обратной величины, когда на шестом выходе 42 блока 15 управления формируется сигнал логической единицы, либо значения однорядного кода $(k+4)$ старших разрядов остатка, поступающего с выходов 27 младших разрядов остатка, поступающего с выходов 27 младших разрядов второго вычитателя 12, когда на выходе 29 элемента И 13 формируется сигнал логической единицы. Третий коммутатор 7 может быть реализован на элементах 2И-2ИЛИ.

С помощью первого вычитателя 8 производится вычитание из значения предыдущего остатка, поступающего на входы уменьшаемого первого вычитателя 8 с выходов 20 первого регистра 1 остатка, значения произведения, поступающего на входы вычитаемого первого вычитания 8 с выходов 21 второго регистра 2 остатка, в результате чего и формируется текущий остаток в однорядном коде. Первый вычитатель 8 комбинационного типа - с ускоренным расширением займа. Он может быть заменен быстродействующим сумматором, если информацию, поступающую на его вход вычитаемого, проинвертировать, а на вход переноса сумматора подать сигнал логической единицы.

Формирование цифр частного и остатка на каждом такте работы предполагаемого устройства для деления производится следующим образом. Пусть делимое x и делитель y есть положительные нормализованные двоичные дроби, т.е. $1/2 \leq x < 1$ и $1/2 \leq y < 1$. Это справедливо только на первом шаге деления. В дальнейшем же, когда в роли делимого выступают промежуточные остатки, возможно нарушение нормализации делимого как влево, так и вправо. Пусть x_1 - значение старших $(k+4)$ разрядов делимого (остатка) x , y_1 - значение старших $(k+3)$ разрядов делителя y , $y_1 + 2^{-(k+3)}$ - значение принудительно округленных старших $(k+3)$ разрядов делителя, s - значение обратной величины от принудительно округленных старших $(k+3)$ разрядов делителя ($s = 1/(y_1 + 2^{-(k+3)})$), s_1 - значение старших $(k+2)$ разрядов обратной величины, $x_1 - P$ - значение усеченного остатка, полученного приведением к однорядно-

му коду старших разрядов двухрядного кода остатка, где $P=0$, если в старших разрядах остатка x при приведении его к однополярному коду придет заем из младших разрядов, и $P=2^{-(k+3)}$ если не придет, P — величина, на которую отличается значение усеченного остатка, полученного приведением к однорядному коду старших разрядов двухрядного кода остатка и принудительно уменьшенное на единицу младшего разряда во втором вычитателе 12, от значения старших разрядов остатка, получаемого приведением к однорядному коду всех разрядов двухрядного кода остатка в первом вычитателе 8. На подготовительном этапе деления формируется произведение делителя u на значение старших $(k+2)$ разрядов обратной величины s_1 ($w=u \cdot s_1$). При выполнении собственно деления следующий остаток вычисляется по формуле $x' = x - w \cdot x_1$. Параллельно с вычислением остатка в сумматоре 4 частного производится накапливание промежуточного значения частного x'' , являющегося суммой всех $(x_i - P)$, полученных на каждом такте работы устройства и сдвинутых относительно друг друга на $(k-1)$ разрядов. После выполнения собственно деления значение x'' умножается на значение s_1 . Старшие n разрядов этого произведения и являются значением частного z .

В устройстве не формируется произведение на каждом такте работы, а производится накапливание промежуточного значения частного как суммы значений $(x_i - P)$, полученных на каждом такте работы устройства, которое умножается на значение s_1 после выполнения собственно деления. Абсолютная погрешность конечного результата будет меньше либо равна единице младшего разряда с весом $2^{-(n-1)}$.

Регистр 9 старших разрядов делителя $(k+3)$ разрядный и предназначен для хранения u_1 старших $(k+3)$ разрядов делителя u без знака. Предполагается, что регистр 9 старших разрядов делителя реализован на основе двухтактных синхронных DV-триггеров. Запись информации в регистр производится по синхроимпульсу при наличии разрывающего потенциала на его V-входах.

Сумматор 10 принудительного округления делителя является комбинационной схемой. В нем осуществляется при-

нудительное округление значения старших $(k+3)$ разрядов делителя u_1 путем прибавления единицы в его младший разряд, поступающий на вход переноса сумматора 10 принудительного округления делителя через вход 18 логической единицы устройства (т.е. в сумматоре 10 вычисляется значение $u_1 + 2^{-(k+3)}$). На выходах 25 сумматора 10 образуется значение старших разрядов делителя, увеличенное на единицу разряда. Этим самым устраняется возможность получения на выходе 19 частного устройства частного с избытком.

Узел 11 вычисления обратной величины производит вычисление значения старших $(k+2)$ разрядов обратной величины s_1 от принудительно округленного значения старших разрядов делителя, поступающего на входы узла 11 с выходов 25 сумматора 10 принудительного определения делителя. На выходах 26 узла 11 вычисления обратной величины формируется значение старших $(k+2)$ разрядов обратной величины принудительно округленного усеченного делителя. Узел 11 вычисления обратной величины может быть реализован любым из известных методов. В данном случае предполагается его реализация совместно с сумматором 10 принудительного округления делителя на ПЗУ.

Второй вычитатель 12 комбинационного типа осуществляет преобразование $(k+5)$ старших разрядов двухрядного кода остатка, хранимого в регистрах 1 и 2 остатка, в однорядный код (два разряда слева от запятой и $(k+3)$ разряда справа от запятой). При этом во втором вычитателе 12 осуществляется принудительное уменьшение значения усеченного остатка на единицу младшего разряда, поступающего на вход заема второго вычитателя через вход 18 логической единицы устройства, и формируется значение $x_1 - P$. На выходах 27 младших разрядов второго вычитателя 12 образуется однополярный код $(k+4)$ старших разрядов остатка (один разряд слева от запятой и $(k+3)$ разряда справа от запятой), а на выходе 28 старшего разряда второго вычитателя 12 образуется старший разряд остатка. Так как в устройстве при формировании частного используются старшие разряды остатка, полученные при приведении на втором вычитателе 12 к однорядному коду старших разрядов

двухрядного кода остатка и принудительно уменьшенные на единицу младшего разряда, то становится возможным образование неправильного значения частного. Так, если значение старших разрядов приведенного остатка, полученного на выходах 31 первого вычитателя 8, равно нулю, то при формировании однорядного кода старших разрядов остатка путем приведения к однорядному коду старших разрядов двухрядного кода остатка и принудительно уменьшения на единицу младшего разряда, возможно получение значения разности на выходах 27 младших разрядов вычитателя 12 меньше чем нуль на единицу младшего разряда, т.е. значения 1, 1...1. Но в этом случае на выходе 28 старшего разряда второго вычитателя 12 формируется единица, а в случае, если значение старших разрядов приведенного остатка, полученного на выходах 31 первого вычитателя 8, не равно нулю, на выходе 28 старшего разряда второго вычитателя 12 формируется логический нуль. Для исключения возможности получения в первом случае неверного значения частного в устройстве предусмотрена блокировка (формирование значения старших разрядов остатка x_1-R равно нулю). Это производится путем подачи на инверсный вход элемента И 13 единичного сигнала с выхода 28 старшего разряда второго вычитателя 12. В этом случае на выходе 29 элемента И 13, не зависимо от значения сигнала на его прямом входе, формируется сигнал логического нуля, который запрещает прохождение значения x_1-R с информационных входов второй группы третьего коммутатора 7 на его выходы 30 (формируется значение 0, 0...0). В случае, когда на инверсный вход элемента И 13 подается сигнал логического нуля с выхода 28 старшего разряда второго вычитателя 12, а на прямой вход элемента И 13 подается сигнал логической единицы с второго выхода 38 блока 15 управления, значение старших разрядов остатка x_1-R с информационных входов второй группы третьего коммутатора 7 поступает на его выходы 30.

Блок 14 умножения производит умножение содержимого регистра 3 делителя на значение величины, сформированной на выходах 30 третьего комму-

татора 7. На его выходах 35 образуется произведение в однорядном коде. Блок 14 умножения комбинационного типа может быть разработан хорошо известными методами и средствами.

Блок 15 управления координирует работу узлов и блоков устройства при выполнении в нем операции деления чисел. Он может быть реализован самыми различными методами и средствами. На фиг.3 в качестве примера приведена реализация блока 15 на основе счетчика 46 и памяти 47 микрокоманд. Счетчик 46 накапливающего типа предназначен для естественной адресации микрокоманд. Вход счета счетчика 46 соединен с входом 17 синхронизации устройства. В качестве памяти 47 микрокоманд может быть применена быстросрабатывающая постоянная память емкостью $(M+3) \times 7$, где $M = \frac{n}{k-1}$. В самом начале работы устройства счетчик 46 устанавливается в некоторое исходное состояние, например в нуль (на фиг.3 цепь установки счетчика 46 в исходное состояние не показана). Микропрограмма работы устройства представлена на фиг.4.

Устройство для деления работает следующим образом.

Пусть на вход 16 данного устройства уже поступил n -разрядный двоичный код делителя y (здесь предполагается, что делимое x и делитель y - правильные нормализованные положительные дроби), а счетчик 46 блока 15 управления установлен в исходное нулевое состояние. По содержимому счетчика 46, которое служит адресом обращения к памяти 47 микрокоманд блока 15, из памяти 47 микрокоманд считывается микрокоманда 1, которой соответствуют управляющие сигналы Y_{40} и Y_{41} (фиг.4). В результате этого соответственно на четвертом и пятом входах 40 и 41 блока 15 управления устанавливаются уровни логической единицы. Под действием этих управляющих сигналов второй коммутатор 6 пропускает на информационные входы регистра 3 делителя делитель y с входа 16 данных устройства, а регистр 3 делителя и регистр 9 старших разрядов делителя подготовлены к приему информации, так как на их входах разрешения записи присутствуют потенциалы логической единицы. С приходом первого импульса

на вход 17 синхронизации устройства производится запись двоичного кода делителя u в регистр 3 делителя и двоичного кода старших разрядов делителя u_1 в регистр 9 старших разрядов делителя, а также установка счетчика 46 блока 15 управления в состояние "1". С момента окончания синхронимпульса заканчивается первый такт работы устройства.

Во втором такте работы устройства из памяти 47 микрокоманд считывается микрокоманда 2, которой соответствуют управляющие сигналы Y 37, Y 39, Y 40, Y 42 (фиг.4). В результате этого соответственно на первом, третьем, четвертом и шестом выходах 37, 39, 40 и 42 блока 15 управления устанавливаются уровни логической единицы. Под действием этих управляющих сигналов первый коммутатор 5 пропускает на информационные входы регистра 1 делимое x с входа 16 данных устройства, первый регистр 1 остатка подготовлен к приему информации, третий коммутатор 7 пропускает на входы второй группы блока 14 умножения значение старших разрядов обратной величины s_1 , сформированной на выходах 26 узла 11 вычисления обратной величины по значению принудительно округленных в сумматоре 10 принудительного округления делителя старших разрядов делителя u_1 , хранящихся в регистре 9 старших разрядов делителя. На выходах 35 блока 14 умножения формируется произведение n -разрядного делителя u на значение s_1 ($w = s_1 \cdot u$). Под действием управляющего сигнала с выхода 42 блока 15 управления второй коммутатор 6 пропускает на информационные входы регистра 3 делителя значение этого произведения w с выходов 35 блока 14 умножения. Под действием управляющего сигнала с выхода 40 блока 15 управления регистр 3 делителя подготовлен к приему информации. Кроме этого, сумматор 4 частного и второй регистр 2 остатка настроены на обнуление. С приходом второго импульса на вход 17 синхронизации устройства производится запись двоичных кодов делимого x и произведения w в регистры соответственно 1 и 3, а также обнуление сумматора 4 частного, второго регистра 2 остатка и установка счетчика 46 блока 15 управления в состояние "2". С момента окончания действия второго

импульса на входе 17 синхронизации устройства заканчивается второй такт и вместе с ним подготовительный этап работы устройства и начинается собственно деление, в процессе которого в течение m тактов формируется $(m(k-1)+5)$ двоичных цифр промежуточного значения частного.

В первом такте собственно деления из памяти 47 микрокоманд считывается микрокоманда 3, которой соответствуют управляющие сигналы Y 38, Y 39 и соответственно на втором и третьем выходах 38 и 39 блока 15 управления устанавливаются уровни логической единицы. Под действием этих управляющих сигналов первый коммутатор 5 пропускает на информационные входы первого регистра 1 остатка результат с выходов 31 вычитателя 8, первый и второй регистры 1 и 2 остатка и сумматор 4 частного подготовлены к приему информации. Если сигнал на выходе 28 старшего разряда второго вычитателя 12 соответствует уровню логического нуля, то, так как на прямом выходе элемента И 13 присутствует единичный сигнал с выхода 38 блока 15 управления, третий коммутатор 7 пропускает на входы второй группы блока 14 умножения значение старших разрядов остатка $x_1 - P$ с выходов 27 младших разрядов второго вычитателя 12. Если сигнал на выходе 28 старшего разряда второго вычитателя 12 соответствует уровню логической единицы, то третий коммутатор 7 формирует на входах второй группы блока 14 умножения значение, равное нулю. Это позволяет произвести в предлагаемом устройстве следующие вычисления. На выходах 35 блока 14 умножения формируется произведение величины $w = u \cdot s_1$, хранящейся в регистре 3 делителя и поступающей на входы первой группы блока 14 умножения с выходов 34 разрядов регистров 3 делителя, на значение старших разрядов остатка $(x_1 - P)$, поступающих на входы второй группы блока 14 и формируемых во втором вычитателе 12 по значению старших разрядов двухрядного кода остатка и поступающих на входы уменьшаемого и вычитаемого второго вычитателя с выходов 22 и 23 старших разрядов соответственно регистров 1 и 2 остатка. При этом во втором вычитателе 12 производится принудительное уменьшение

значения старших разрядов остатка на единицу младшего разряда. В результате этого на выходах 35 блока 14 умножения образуется значение $(x_1 - P) \cdot u \cdot c_1$. Следующий остаток x' формируется в двухрядном коде (в виде двух чисел), первое - предыдущий остаток x , формируемый в однорядном коде на выходах 31 первого вычитателя 8, второе - произведение $(x_1 - P) \cdot u \cdot c_1$, формируемое на выходах 35 блока 14 умножения. Значение текущего остатка x и произведение $(x_1 - P) \cdot u \cdot c_1$ поступает соответственно на информационные входы второй группы первого коммутатора 5 и информационные входы второго регистра 2 остатка со сдвигом на $(k-1)$ разрядов в сторону его старших разрядов. Параллельно с работой блока 14 умножения и первого вычитателя 8 значение старших разрядов остатка $x_1 - P$ поступает на информационные входы младших разрядов сумматора 4 частного с выходов 30 третьего коммутатора 7 и подсуммируются к младшим разрядам содержимого сумматора 4 частного, сдвинутому на $(k-1)$ разрядов в сторону его старших разрядов (на первом такте собственно деления в устройстве сумматор частного 4 обнулен). В результате в регистре 44 сумматора 4 частного накапливается промежуточное значение частного x'' , как сумма $(x_1 - P)$ полученных на каждом такте собственно деления и сдвинутых относительно друг друга на $(k-1)$ разрядов. С приходом третьего импульса на вход 17 синхронизации устройства в первый регистр 1 остатка записывается значение предыдущего остатка, сформированное на выходах 31 первого вычитателя 8, во второй регистр 2 остатка записывается значение произведения $(x_1 - P) \cdot u \cdot c_1$, сформированное на выходах 35 блока 14 умножения, в регистр 44 сумматора 4 частного заносится результат сумматора 45 вместе со значением величины на шине 30, а счетчик 46 блока 15 управления устанавливается в состояние "3". На этом третий такт работы устройства заканчивается.

Аналогичным образом устройство работает и в других тактах собственно деления. Отметим только, что на последнем такте собственно деления (микрокоманда $m+2$ на фиг. 4) значение накопленной суммы x'' с выходов 36

сумматора 4 частного поступает на информационные входы третьей группы второго коммутатора 6, который под действием управляющего сигнала с выхода 38 блока 15 управления пропускает значение x'' на информационные входы регистра 3 делителя. Регистр 3 делителя под действием управляющего сигнала с выхода 40 блока 15 управления подготовлен к приему информации. С приходом импульса с входа 17 синхронизации устройства промежуточное значение частного x'' с выходов 36 сумматора 4 частного записывается в регистр 3 делителя, а счетчик 46 блока 15 управления устанавливается в состояние " $m+2$ ".

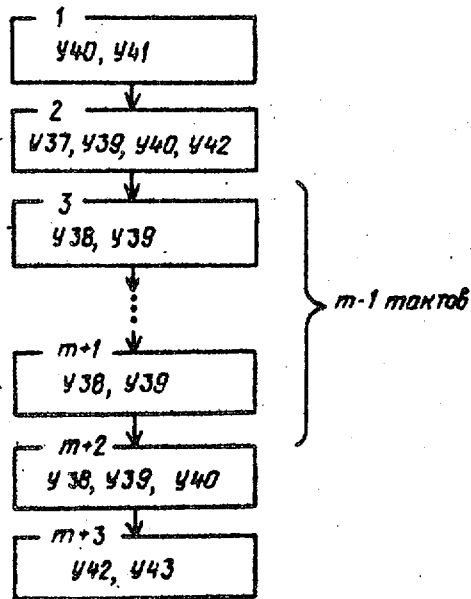
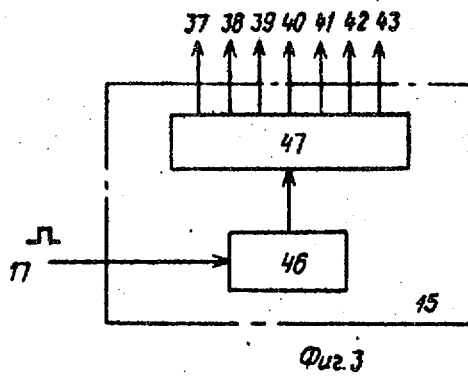
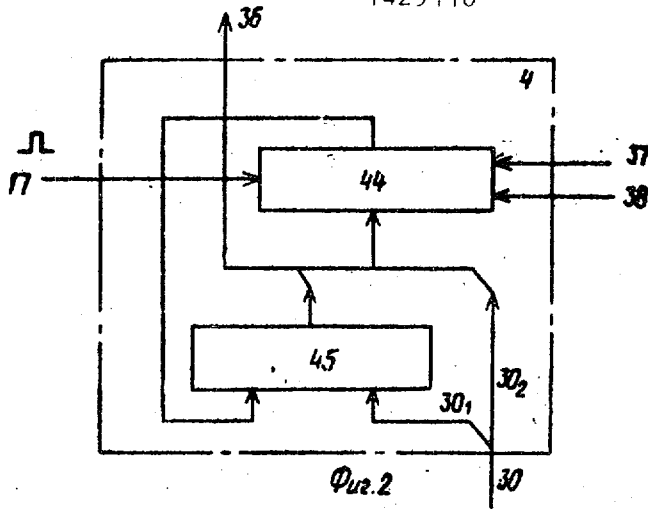
На последнем ($m+3$) такте деления из памяти 47 микрокоманд считывается микрокоманда $m+3$, которой соответствуют управляющие сигналы Y_{42} , Y_{43} и соответственно на шестом и седьмом выходах 42 и 43 блока 15 управления устанавливаются уровни логической единицы. Под действием этих управляющих сигналов третий коммутатор 7 пропускает на входы второй группы блока 14 умножения значение старших разрядов обратной величины s_1 . На выходах 35 блока 14 умножения формируется произведение $x'' \cdot s_1$, старшие разряды которого являются значением частного z и поступают на выход 19 частного устройства. При этом уровень логической единицы, установленный на седьмом выходе 43 блока 15 управления, сигнализирует об окончании операции деления в устройстве.

Ф о р м у л а и з о б р е т е н и я

Устройство для деления, содержащее первый регистр остатка, регистр делителя, сумматор частного, первый, второй и третий коммутаторы, первый вычитатель, регистр старших разрядов делителя, сумматор принудительного округления делителя, узел вычисления обратной величины, блок умножения и блок управления, причем информационные входы регистра старших разрядов делителя и информационные входы первой группы первого и второго коммутаторов соединены с входом данных устройства, информационные входы второй группы первого коммутатора соединены с выходами первого вычитателя, выходы первого коммутатора соединены

с информационными входами первого регистра остатка, выходы разрядов которого соединены с входами уменьшаемого первого вычитателя, выходы блока умножения являются выходом частного устройства и соединены с информационными входами второй группы второго коммутатора, информационные входы третьей группы которого соединены с выходами сумматора частного, выходы второго коммутатора соединены с информационными входами регистра делителя, выходы разрядов которого соединены с входами первой группы блока умножения, выходы разрядов регистра старших разрядов делителя соединены с входами сумматора принудительного округления делителя, вход переноса которого соединен с входом логической единицы устройства, выходы разрядов сумматора принудительного округления делителя соединены с входами узла вычисления обратной величины, выходы которого соединены с информационными входами первой группы третьего коммутатора, синхровходы первого регистра остатка, регистра делителя, регистра старших разрядов делителя, сумматора частного и блока управления соединены с входом синхронизации устройства, первый выход блока управления соединен с первым управляющим входом первого коммутатора и с входом установки в "0" сумматора частного, второй выход блока управления соединен с вторым управляющим входом первого коммутатора, с первым управляющим входом второго коммутатора и с входом разрешения записи сумматора частного, третий и четвертый выходы блока управления соединены с входами разрешения записи первого регистра остатка и регистра делителя соответственно, пятый выход блока управления соединен с входом

разрешения записи регистра старших разрядов делителя и с вторым управляющим входом второго коммутатора, шестой выход блока управления соединен с третьим управляющим входом второго коммутатора и с первым управляющим входом третьего коммутатора, седьмой выход блока управления является выходом сигнализации окончания деления устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, устройство содержит второй регистр остатка, второй вычитатель и элемент И, причем выходы блока умножения соединены с информационными входами второго регистра остатка, выходы разрядов которого соединены с входами вычитаемого первого вычитателя, выходы старших разрядов первого регистра остатка соединены с входами уменьшаемого второго вычитателя, входы вычитаемого которого соединены с выходами старших разрядов второго регистра остатка, вход заема второго вычитателя соединен с входом логической единицы устройства, выходы младших разрядов второго вычитателя соединены с информационными входами второй группы третьего коммутатора, второй управляющий вход которого соединен с выходом элемента И, инверсный вход которого соединен с выходом старшего разряда второго вычитателя, а прямой вход - с вторым выходом блока управления, выходы третьего коммутатора соединены с входами второй группы блока умножения и с входами младших разрядов сумматора частного, входы установки в "0" и разрешения записи второго регистра остатка соединены с входами установки в "0" и разрешения записи сумматора частного соответственно, синхровход второго регистра остатка соединен с входом синхронизации устройства.



Составитель В. Березкин
Техред М. Моргентал

Редактор В. Бугренкова

Корректор О. Кравцова

Заказ 5847

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4