



Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 511590

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 05.05.74 (21) 2021931/24

с присоединением заявки № -

(23) Приоритет -

(43) Опубликовано 25.04.76 Бюллетень № 15

(45) Дата опубликования описания 07.07.77

(51) М. Кл.²

G 06 F 7/52

(53) УДК 681.3

(088.8)

(72) Авторы
изобретения

Б. В. Немытов и А. М. Оранский

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ ЧИСЕЛ

1

Изобретение относится к вычислительной технике, особенно к специализированным вычислителям, и предназначено для выполнения операции деления двух чисел.

Известно устройство для деления чисел, содержащее многоходовой элемент И, регистр делимого, выход которого соединен со входом сумматора-вычитателя делимого, регистр делителя, выход которого соединен со входом сумматора-вычитателя делителя.

Однако для получения делимого $y_i = A/B$ необходимо проводить подготовительные операции, на что требуется дополнительное время; на каждом шаге вычислений необходимо вычислять значения $x_i 2^{-i}$ и $Z_i 2^{-i}$, причем i возрастает с возрастанием шага, что заставило для сокращения времени получения этих значений применить матричные сдвигатели, для реализации которых требуется большой объем оборудования; после каждого шага вычислений необходима передача содержимого сумматоров-вычитателей в соответствующие регистры, на что тратится дополнительное время вычислений.

2

Цель изобретения - сократить объем оборудования для упрощения устройства и повысить быстродействие.

Это достигается тем, что в устройстве отсутствуют сдвигатели, сумматор-вычитатель и регистр частного с соответствующими связями, а дополнительно в него введен блок управления, первый вход которого соединен с первым выходом сумматора-вычитателя делителя, вторые выходы которого через многоходовой элемент И соединены со вторым входом блока управления, выход которого подключен к управляющим входам всех сумматоров-вычитателей и регистров, при этом установочные входы регистра делимого и сумматора-вычитателя делимого подключены к первой шине входного сигнала, а установочные входы регистра делителя и сумматора-вычитателя делителя подключены ко второй шине входного сигнала.

Предлагаемое устройство отличается меньшими затратами на оборудование, высоким быстродействием при высокой точности вычислений. Время выполнения деления

составляет величину t , причем $t_z \leq t \leq n t_z$, где t_z — время одного сложения (вычитания), n — число шагов.

Устройство для деления чисел содержит регистр делимого 1, сумматор-вычитатель делимого 2, регистр делителя 3, сумматор-вычитатель делителя 4, блок управления 5, многовходовой элемент И 6.

Пусть нужно выполнить деление a/b (a и b — нормализованные числа). Алгоритм вычислений запишется

$$\begin{aligned} a_i &= a_{i-1} + \xi_i \cdot a \cdot 2^{-i} \\ b_i &= b_{i-1} + \xi_i \cdot b \cdot 2^{-i}, \end{aligned} \quad (1)$$

где

$$\xi_i \begin{cases} +1, & \text{при } b_{i-1} < 1 \\ -1, & \text{при } b_{i-1} > 1 \\ 0, & \text{при } b_{i-1} = 1 \text{ (останов)} \end{cases}$$

Причем $i = 1, n$. При $b_{i-1} = 1$ на любом промежуточном шаге ($i < n$) определяется значение частного и вычисления прекращаются, что сокращает время вычислений.

Устройство работает следующим образом.

В регистр делимого 1 и сумматор-вычитатель 2 заносится через объединенные установочные входы делимое "а"; в регистр делителя 3 и сумматор-вычитатель 4 — делитель "b", также через свои объединенные входы. Занесение операндов "а" и "b" в регистры 1 и 3 производится со сдвигом на один разряд, т.е. в регистры 1 и 3 сразу же заносятся значения $a \cdot 2^{-1}$ и $b \cdot 2^{-1}$ соответственно.

Вычислительный процесс состоит из последовательности i шагов, заключающихся в передаче из регистров 1 и 3 значений $a \cdot 2^{-i}$ и $b \cdot 2^{-i}$ в соответствующие сумматоры-вычитатели 2 и 4 для сложения или вычитания из содержимого этих сумматоров в соответствии со знаком ξ_i . Так как нормализованное число (делитель) по величине меньше единицы, на первом шаге всегда $\xi_1 = +1$. Одновременно с операцией сложения (вычитания) в сумматорах на каждом шаге, в регистрах 1 и 3 производится сдвиг содержимого их только на один разряд на каждом шаге для получения величины $a \cdot 2^{-i}$ и $b \cdot 2^{-i}$, используемых на следующем шаге вычислений.

Все шаги вычислений аналогичны.

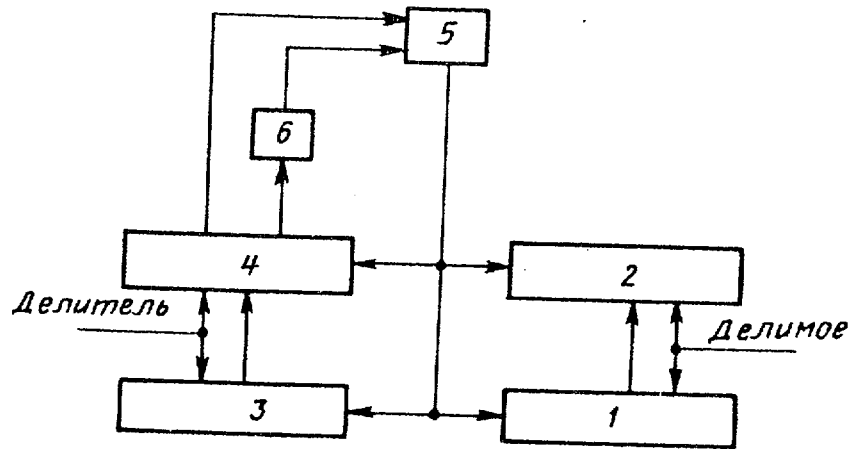
При $b_{i-1} = 1$ процесс останавливается блоком управления, входы которого связаны с двумя выходами сумматора-вычитателя 4, причем первый выход его — выход разряда, находящийся слева от двоичной запятой, и сигнал появляется при $b_{i-1} > 1$. Второй выход элемента 4, представляющий собой группу n нулевых выходов триггеров дробной части сумматора-вычитателя 4, где n — количество разрядов в дробной части, через многовходовой элемент И 6 связан со вторым входом блока управления 5. В случае, когда одновременно на входах блока управления 5 сигналы присутствуют, это соответствует досрочному окончанию вычислений (при $i < n$).

По окончании вычислений результат — частное находится в сумматоре-вычитателе 2.

Погрешность вычислений Δ при разрядности n будет $\Delta \leq b \cdot 2^{-(n+1)}$, что подтверждает высокую точность вычислений при высоком быстродействии ($1 \leq i \leq n$) и малых аппаратных затратах.

Ф о р м у л а и з о б р е т е н и я

Устройство для деления чисел, содержащее многовходовой элемент И, регистр делимого, выход которого соединен со входом сумматора-вычитателя делимого, регистр делителя, выход которого соединен со входом сумматора-вычитателя делителя, о т л и ч а ю щ е е с я тем, что, с целью упрощения устройства и повышения быстродействия, в него дополнительно введен блок управления, первый вход которого соединен с первым выходом сумматора-вычитателя делителя, вторые выходы которого через многовходовой элемент И соединены со вторым входом блока управления, выход которого подключен к управляющим входам всех сумматоров-вычитателей и регистров, при этом установочные входы регистра делимого и сумматора-вычитателя делимого подключены к первой шине входного сигнала, а установочные входы регистра делителя и сумматора-вычитателя делителя подключены ко второй шине входного сигнала.



Составитель В. Соколов
 Редактор О. Стенина Техред М. Левицкая Корректор Л. Веселовская
 Заказ 1318/1354 Тираж 864 Подписное
 ЦНИИПИ Государственного комитета Совета Министров СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4