



Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Зависимое от авт. свидетельства —

(22) Заявлено 03.05.71 (21) 1652538 18-24

с присоединением заявки —

(32) Приоритет —

Опубликовано 15.03.74. Бюллетень № 10

Дата опубликования описания 12.08.74

(11) 419896

(51) М. Кл. G 06f 15/34

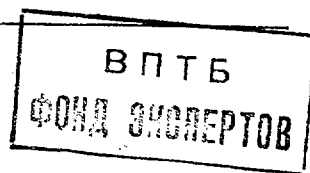
(53) УДК 681.325(088.8)

(72) Авторы
изобретения

В. М. Зайцев и В. Н. Путков

(71) Заявитель

Минский радиотехнический институт



(54) ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬ ФУНКЦИИ СИНУСА И КОСИНУСА

1

Изобретение может быть использовано в устройствах цифрового автоматического управления, в устройствах цифровых радиально-круговых разверток, азимутальной ориентации, в устройствах отображения графической информации. Известен цифровой вычислитель функций синуса и косинуса, содержащий первый блок управления, первый вход которого подключен к выходу генератора тактовых импульсов, второй вход — ко входу вычислителя и входу счетчика аргумента, а его выходы подключены к первым входам четырех групп схем «И» и первым входам второго и третьего блоков управления, выходы которых соединены соответственно с первыми входами регистра косинуса и регистра синуса, второй и третий входы каждого из которых подключены к выходам четвертого блока управления, входы которого через два последовательно соединенных триггера подключены к выходу счетчика аргумента; входы первой и третьей групп схем «И» подключены к выходу регистра косинуса, а их выходы соединены со входами первой групп схем «ИЛИ», вторые входы второй и четвертой групп схем «И» подключены к выходам регистра синуса, а их выходы соединены со входами второй групп схем «ИЛИ». Недостатком таких устройств является необходимость пересчета аргумента при их сопряжении с другими устройствами и сложными связями между узлами.

2

С целью упрощения структуры цифровой вычислитель функций синуса и косинуса содержит сумматор приращений синуса, сумматор приращений косинуса и счетчик коррекции, вход которого соединен со входом вычислителя, а выход — с третьим входом первого блока управления; входы сумматора приращений синуса присоединены к выходам схем «ИЛИ» первой группы и выходу первой схемы «И» первой группы, а его выход подключен ко второму входу третьего блока управления; входы сумматора приращений косинуса присоединены к выходам схем «ИЛИ» второй группы и выходу первой схемы «И» второй группы, а его выход подключен ко второму входу второго блока управления. На чертеже приведена структурная схема предлагаемого устройства, которое состоит из первого блока управления 1, генератора тактовых импульсов 2, счетчика аргумента 3, четырех групп схем «И» 4, 5, 6, 7, второго блока управления 8, третьего блока управления 9, регистра косинуса 10, регистра синуса 11, четвертого блока управления 12, двух триггеров 13 и 14, двух групп схем «ИЛИ» 15 и 16, сумматора приращений синуса 17, сумматора приращений косинуса 18 и счетчика коррекции 19, входа вычислителя 20. В исходном состоянии содержимое счетчика аргумента 3 и содержимое счетчика коррекции 19 равны нулю. Триггеры 13, 14 также находятся в нулевом состоя-

нии, что соответствует первой четверти. Триггеры регистра косинуса 10 и сумматора приращений косинуса 12 устанавливаются в единичное состояние, а триггеры регистра синуса и сумматора приращений синуса 17 устанавливаются в нулевое состояние. Это соответствует начальным условиям интегрирования:

$$\varphi_0 = 0, \sin \varphi_0 = 0, \cos \varphi_0 = 1.$$

При поступлении на вход устройства 20 запускающего импульса в счетчик аргумента 3 и в счетчик коррекции 19 записывается единица. Этот же импульс поступает на блок управления 1 интегрирования. Этот блок формирует из серии импульсов, выдаваемых генератором тактовых импульсов 2, импульсы управления интегрированием. Первый блок управления 1 выдает импульс управления сложением, который опрашивает группы схем «И» 4, 5, передавая на сумматор 17 содержимое регистра косинуса 10 и на сумматор 18 — содержимое регистра синуса 11. Возникающие при этом переполнения сумматоров 17 и 18 поступают на второй и третий блоки управления 8 и 9 соответственно. Во избежание изменения содержимого регистра 10 и 11 импульсы переполнения запоминаются в специальных счетчиках регистрации переполнений блоков управления 8 и 9. После окончания первого такта сложения и запоминания возникших при этом переполнений сумматоров 17 и 18 выдается второй импульс управления сложением, который опрашивает группы схем «И» 5 и 7, передавая содержимое регистров 10 и 11 со сдвигом на один двоичный разряд вправо в сумматоры 17 и 18 соответственно. Эти сложения соответствуют умножению приращения по аргументу на коэффициент 1, 5. Возникающие импульсы переполнения сумматоров 17 и 18 поступают опять в счетчики регистрации переполнений. После окончания второго такта суммирования на блоки управления 8 и 9 поступает импульс передачи переполнений, который осуществляет сложение или вычитание, накопленных за два такта суммирования переполнений в регистры 10, 11, которые выполнены как реверсивные счетчики. Управляющие потенциалы на сложение или вычитание вырабатываются в зависимости от номера четверти в четвертом блоке управления 12. Каждый 21-й цикл интегрирования со счетчика коррекции 19 на первый блок управления 1 поступает сигнал коррекции. При поступлении сигнала коррекции осуществляется коррекция, заключающаяся в одном дополнительном цикле интегрирования при фиксированном значении аргумента в счетчике аргумента 3. Схема управления сложением-вычитанием переполнений в блоке управления 8 служит для запоминания возникающих за два такта суммирования в сумматоре приращений косинуса 18, переполнений и последующей их передачи в регистр косинуса 10. Она представляет собой двухразрядный счетчик, выполненный на триггерах. Возможно лишь три состояния счет-

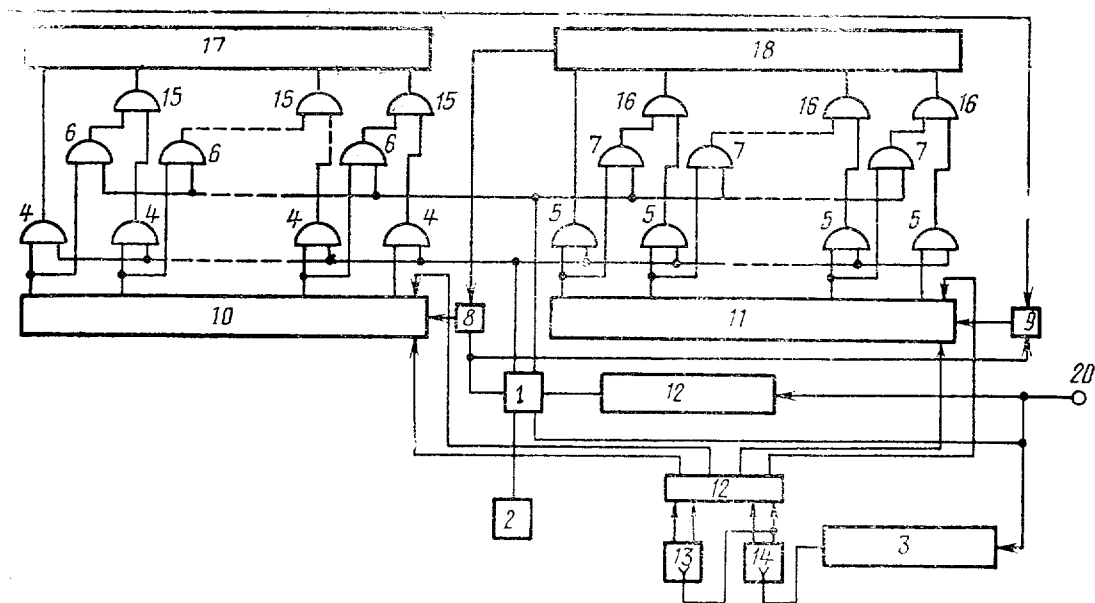
чика регистрации переполнений: 1) «00» — если за два такта сложения переполнения не возникли; 2) «01» — если за два такта сложения возникло одно переполнение в сумматоре приращений косинуса 18; 3) «10» — если за два такта сложения возникли два переполнения в сумматоре приращений косинуса 18. Вслед за двумя импульсами сложения, выдаваемыми блоком управления 1, выдается импульс передачи переполнений, который опрашивает счетчик регистрации переполнений. Переполнения со счетчика регистрации переполнений поступают в регистр косинуса 10, воздействуя на счетные входы триггеров младших разрядов. Блок управления сложением-вычитанием переполнений служит для запоминания возникающих за два такта суммирования в сумматоре приращений синуса 17, переполнений и последующей их передачи в регистр синуса 11. Подобная организация вычислителя позволяет получить однородный вычислительный процесс и, следовательно, предельно простую структуру вычислителя тригонометрических синуса и косинуса. Использование счетчиков регистрации переполнений и схемы управления четвертями позволило исключить операцию вычитания.

Предмет изобретения

Цифровой вычислитель функций синуса и косинуса, содержащий первый блок управления, первый блок которого подключен к выходу генератора тактовых импульсов, второй вход — ко входу вычислителя и входу счетчика аргумента, а его выходы подключены к первым входам четырех групп схем «И» и первым входам второго и третьего блоков управления, входы которых соединены соответственно с первыми входами регистра косинуса и регистра синуса, второй и третий входы каждого из которых подключены к выходам четвертого блока управления, входы которого через два последовательно соединенных триггера подключены к выходу счетчика аргумента; вторые входы первой и третьей групп схем «И» подключены к выходу регистра косинуса, а их выходы соединены со входами первой группы схем «ИЛИ», вторые входы второй и четвертой групп схем «И» подключены к выходам регистра синуса, а их выходы соединены со входами второй группы схем «ИЛИ», отличающийся тем, что, с целью упрощения структуры, он содержит сумматор приращений синуса, сумматор приращений косинуса и счетчик коррекции, вход которого соединен со входом вычислителя, а выход — с третьим входом первого блока управления; входы сумматора приращений синуса присоединены к выходам схем «ИЛИ» первой группы и выходу первой схемы «И» первой группы, а его выход подключен ко второму входу третьего блока управления; входы сумматора приращений косинуса присоединены к выхо-

дам схем «ИЛИ» второй группы и выходу первой схемы «И» второй группы, а выход

подключен ко второму входу второго блока управления.



Составитель И. Шелипова

Редактор Л. Цветкова

Техред Т. Курилко

Корректор Н. Учкина

Заказ 1907/7

Изд. № 1383

Тираж 624

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР
по делам изобретений и открытий
Москва, Ж-35, Раушская наб., д. 4/5

Типография, пр. Сапунова, 2