

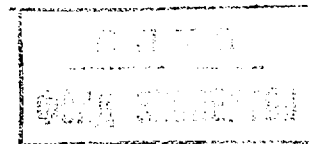


Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 517999



(61) Дополнительное к авт. свид-ву —

(22) Заявлено 10.12.73 (21) 1978058/21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 15.06.76. Бюллетень № 22

Дата опубликования описания 19.07.76

(51) М. Кл.² Н 03К 13/17

(53) УДК 681.325(088.8)

(72) Авторы
изобретения

А. Т. Пешков и А. Н. Морозевич

(71) Заявитель

Минский радиотехнический институт

(54) ПРЕОБРАЗОВАТЕЛЬ НАПРЯЖЕНИЯ В КОД ПОРАЗРЯДНОГО КОДИРОВАНИЯ

1

Изобретение относится к области вычислительной техники.

Известен преобразователь напряжения в код поразрядного кодирования, содержащий последовательно соединенные распределитель импульсов, блок вентиляй, регистр, преобразователь кода в напряжение и схему сравнения, выходы которой подключены к первым входам вентиляй, выход первого из которых соединен с первым входом схемы ИЛИ, а также сборку, входы которой соединены с выходами распределителя импульсов, а выход — с входом первой линии задержки и нулевым входом первого триггера, второй триггер и вторую линию задержки.

Недостатком известного преобразователя является низкое быстродействие.

Для повышения быстродействия в предлагаемом преобразователе включены дешифратор, дополнительный триггер и дополнительная схема ИЛИ, причем выходы схемы сравнения соединены с единичными входами первого и второго триггеров, своими выходами подключенными к дешифратору, первый выход которого соединен с единичным входом дополнительного триггера, второй выход — с первым входом блока вентиляй, второй вход которого подключен к выходу первого вентиля, и с первым входом дополнительной схемы ИЛИ, второй вход которой подключен к третьему выхо-

2

ду дешифратора, а выход — к первому входу распределителя импульсов, второй вход которого соединен с выходом схемы ИЛИ, второй вход схемы ИЛИ соединен с выходом второго вентиля, вторые входы вентиляй подключены к выходу дополнительного триггера, третьи входы — к выходу сборки, соединенному также с нулевым входом второго триггера и второй линией задержки, выход которой подключен к нулевому входу дополнительного триггера, а выход первой линии задержки соединен с входом дешифратора.

На фиг. 1 приведена функциональная схема описываемого преобразователя; на фиг. 2 — функциональная схема блока вентиляй; на фиг. 3 — характеристика переходного процесса установления эталонного напряжения.

Преобразователь напряжения в код содержит схему 1 сравнения, первый и второй триггеры 2 и 3, первую и вторую линии 4 и 5 задержки, дешифратор 6, дополнительный триггер 7, схему 8 ИЛИ, первый и второй вентиля 9 и 10, дополнительную схему 11 ИЛИ, преобразователь кода в напряжение (ПКН) 12, регистр 13, блок 14 вентиляй, сборку 15 и распределитель 16 импульсов.

При наличии переходного процесса установления эталонного напряжения U_k вида, приведенного на фиг. 3, в некоторых случаях можно определить знак разности входного и эта-

лонного напряжений ($U_x - U_k$), не дожидаясь момента t_{ki} конца такта уравнивания i -ого разряда, когда выполняется условие:

$$(U_{k(t_{ki})} - U_{k(t=\infty)}) < \Delta_{\text{доп}},$$

где $\Delta_{\text{доп}}$ — допустимая ошибка преобразования.

Так, если $U_x \gg U_{ki}$, то знак разности ($U_x - U_{ki}$) положителен; если $U_x \ll U_{ki}$, знак разности отрицателен. Если же величина этой разности не превышает максимальных значений амплитуд разнополярных выбросов U_{hi} , величина которых зависит от величины U_{ki} , то величина разности становится и положительной, и отрицательной в течение такта кодирования.

Таким образом, если производить сравнение величин U_x и U_k и фиксировать знаки их разности до момента времени t_{vi} (момент времени, соответствующий максимальному выбросу в сторону, противоположную изменению U_{ki}), то можно в момент времени t_{vi} прекратить анализ знака разности ($U_x - U_{ki}$), если знак не изменился, т. е. сократить длительность такта кодирования, или провести анализ до конца такта (t_{ki}) и перейти к анализу $(i+j)$ -ого разряда, вес которого не меньше значения максимального выброса в сторону, противоположную изменению U_{ki} (величина выбросов может быть определена либо аналитически, либо опытным путем), т. е. сократить число тактов кодирования.

Работа преобразователя осуществляется следующим образом.

Сигнал с выхода распределителя 16 устанавливает в единицу соответствующий (i -ый) разряд регистра 13, с выхода ПКН 12 эталонное напряжение U_{ki} поступает на вход схемы 1 сравнения. Сигнал с выхода распределителя через сборку 15 устанавливает триггеры 2 и 3 в нулевое состояние и опрашивает вентили 9 и 10. На выходах схемы сравнения в зависимости от соотношения величин U_x и U_{ki} появляются сигналы, которые устанавливают в единичное состояние либо триггер 2, либо триггер 3. Спустя время ($t_{vi} - t_{ni}$) сигнал с выхода линии 4 задержки опрашивает дешифратор 6, выходные сигналы которого определяются знаком разности ($U_x - U_{ki}$) за время ($t_{vi} - t_{ni}$). Сигнал на первом выходе дешифратора появляется тогда, когда оба триггера 2 и 3 находятся в единичном состоянии. Сигнал с первого выхода дешифратора устанавливает триггер 7 в единичное состояние. При этом появляется сигнал на выходе одного из вентилях 9 или 10 в зависимости от состояния схемы сравнения, который через схему 11 ИЛИ осуществляет переход к $(i+j)$ -ому такту кодирования. Если при этом в i -ом разряде устанавливается нуль, то все промежуточные разряды

регистра с i -ого по $(i+j)$ -ый через блок 14 устанавливаются в нуль сигналом с вентиля 9 ($U_x < U_{ki}$). В противном случае все промежуточные разряды регистра остаются в нулевом положении.

Если в единичное состояние переключается лишь один из триггеров 2 или 3, то сигнал появляется соответственно либо на втором, либо на третьем выходе дешифратора. Эти сигналы через схему 8 ИЛИ осуществляют прерывание i -ого такта распределителя и переход к $(i+1)$ -ому такту. При этом сигналом со второго выхода дешифратора ($U_x < U_{ki}$) через блок 14 осуществляется установ в нуль i -ого разряда регистра.

Вход 16 блока вентилях (фиг. 2) подключен к выходу вентиля 9, вход 17 — ко второму выходу дешифратора. Цепи установки разрядов регистра в единичное состояние сигналами с выходов распределителя условно не показаны.

Формула изобретения

Преобразователь напряжения в код поразрядного кодирования, содержащий последовательно соединенные распределитель импульсов, блок вентилях, регистр, преобразователь кода в напряжение и схему сравнения, выходы которой подключены к первым входам вентилях, выход первого из которых соединен с первым входом схемы ИЛИ, а также сборку, входы которой соединены с выходами распределителя импульсов, а выход — с входом первой линии задержки и нулевым входом первого триггера, второй триггер и вторую линию задержки, отличающийся тем, что, с целью повышения быстродействия, в него включены дешифратор, дополнительный триггер и дополнительная схема ИЛИ, причем выходы схемы сравнения соединены с единичными входами первого и второго триггеров, своими выходами подключены к дешифратору, первый выход которого соединен с единичным входом дополнительного триггера, второй выход — с первым входом блока вентилях, второй вход которого подключен к выходу первого вентиля, и с первым входом дополнительной схемы ИЛИ, второй вход которой подключен к третьему выходу дешифратора, а выход — к первому входу распределителя импульсов, второй вход которого соединен с выходом схемы ИЛИ, второй вход схемы ИЛИ соединен с выходом второго вентиля, вторые входы вентилях подключены к выходу дополнительного триггера, третьи входы — к выходу сборки, соединенному также с нулевым входом второго триггера и второй линией задержки, выход которой подключен к нулевому входу дополнительного триггера, а выход первой линии задержки соединен с входом дешифратора.

